

Министерство науки и высшего образования
Российской Федерации

Томский государственный университет
систем управления и радиоэлектроники

Н. С. Легостаев

МИКРОСХЕМОТЕХНИКА

Учебное пособие

Томск
Издательство ТУСУРа
2022

УДК 621.382(075.8)
ББК 32.85я73
ЛЗ87

Рецензенты:

Солдатов А. И., д-р техн. наук,
Апасов В. И., канд. техн. наук

Печатается по решению научно-методического совета ТУСУРа
(протокол № 5 от 26.05.2022 г.)

Легостаев, Николай Степанович

ЛЗ87 Микросхемотехника: учеб. пособие / Н. С. Легостаев. –
Томск: Изд-во Томск. гос. ун-та систем упр. и радиоэлектроники,
2022. – 263 с.

ISBN 978-5-86889-964-5

Изложены схемотехнические принципы проектирования цифровых и аналоговых интегральных схем. Рассмотрена схемотехника базовых элементов основных серий цифровых интегральных схем, их статические и динамические параметры. Представлены основные функциональные узлы аналоговых интегральных схем, интегральные операционные усилители, цифроаналоговые и аналого-цифровые преобразователи, описывается их схемотехническое построение, даны характеристики и параметры.

Для студентов высших учебных заведений, обучающихся по техническим направлениям подготовки и специальностям.

УДК 621.382(075.8)
ББК 32.85я73

ISBN 978-5-86889-964-5

© Легостаев Н. С., 2022
© Томск. гос. ун-т систем упр.
и радиоэлектроники, 2022

Введение

Микроэлектроника является одним из важнейших катализаторов научно-технического прогресса современной цивилизации. Уровень развития и объемы производства ее основных изделий – интегральных микросхем (ИМС) – во многом определяют потенциал государства. От уровня развития микроэлектроники напрямую зависит не только уровень и перспективы развития всей экономики, но и степень безопасности государства. В современном мире эта отрасль является стратегической наряду с атомной и другими секторами промышленности.

Микроэлектроника – область электроники, охватывающая проблемы создания электронных устройств в микроминиатюрном интегральном исполнении.

В микроэлектронике используются различные свойства твердых тел, особенно полупроводников, для создания функциональных блоков и узлов, связанных электрически, конструктивно и технологически. В едином технологическом процессе обработки отдельным участкам полупроводника придаются свойства различных элементов (диодов, транзисторов и т. д.) и их соединений, так что они образуют интегральную схему.

Наряду с интегральной микроэлектроникой существуют вакуумная микроэлектроника и функциональная микроэлектроника. В интегральной микроэлектронике используется планарно-эпитаксиальная технология, фотолитография, ионное внедрение, окисление, нанесение металлических плёнок и т. д. Приборы вакуумной микроэлектроники выполняются либо в виде плёночных интегральных схем с навесными микроминиатюрными электровакуумными приборами, либо в виде полностью вакуумных узлов. В функциональной микроэлектронике используются оптические явления (оптоэлектроника), взаимодействие электронов с акустическими волнами (акустоэлектроника), сверхпроводимость и другие процессы.

Новая тенденция в микроэлектронике касается конструирования интегральных схем и заключается в объединении нескольких функционально различных ИМС на одном кристалле, что приводит к созданию так называемых «систем на кристалле» (system-on-chip, SoC). Другой вариант интеграции – объединение нескольких различных кристаллов ИМС в одном корпусе и создании так называемых «систем в корпусе» (system-in-package, SiP). Такая интеграция позволяет с помощью одного устройства микроэлектроники решать целый комплекс задач.

В настоящее время полупроводниковая электроника и полупроводниковые технологии настолько развиты, в них ежегодно делаются такие

капиталовложения, что производительность ИМС каждые два года удваивается и всякие попытки конкуренции с кремниевой CMOS-индустрией (CMOS – complementary metal oxide semiconductors), по мнению специалистов, обречены на провал. Вот почему даже новые области фотоники и спинтроники, отказавшись от использования электрического заряда как носителя информации, тем не менее не отказываются от полупроводников как материальной основы или, по крайней мере, борются за то, чтобы сделать свои устройства CMOS-совместимыми.

В составе микроэлектроники выделяют три основных раздела – физику электронных процессов, технологию и микросхемотехнику.

Микросхемотехника (интегральная схемотехника) – раздел микроэлектроники, охватывающий исследования и разработку электрических и структурных схем, используемых в ИМС и электронной аппаратуре на их основе.

В учебном пособии представлена очень важная область полупроводниковой схемотехники: принципы построения, свойства, схемотехника цифровых, аналоговых, цифроаналоговых и аналого-цифровых интегральных микросхем. В нем не описываются технологии производства микросхем, а в необходимом и вместе с тем достаточном объеме приведены конструкции интегральных транзисторов, диодов, резисторов и других элементов ИМС.

1 МЕТОДОЛОГИЧЕСКИЕ ОСНОВЫ АНАЛИЗА И ПРОЕКТИРОВАНИЯ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

1.1 Основные и специальные функции микроэлектронных структур

Алгебра логики (булева алгебра) является теоретической основой анализа и синтеза цифровых микроэлектронных структур.

Булевой функцией (БФ) называется функция, аргументами которой служат логические переменные, а сама функция, как и ее аргументы, может принимать только два значения – «1» или «0».

Если булева функция зависит от L аргументов, то ее аргументы образуют 2^L логических (двоичных) наборов значений, которые нумеруются от 0 до $2^L - 1$.

Булева функция от L аргументов может быть полностью задана таблицей, содержащей 2^L строк, в которых записываются все возможные двоичные наборы значений аргументов и указаны значения функции на каждом наборе. Она называется *таблицей истинности* (таблицей соответствия).

Значения булевой функции могут быть заданы не на всех 2^L возможных наборах значений аргументов. Такие булевы функции называют не полностью определенными (частичными). Частичная булева функция может быть доопределена путем подстановки на место со знаком «х», «0» либо «1».

Важное значение в алгебре логики играют булевы функции, называемые конъюнкцией единицы (минтермом) и конъюнкцией нуля (макстермом).

Конъюнкция единицы (минтерм) от L аргументов – булева функция, которая принимает единичное значение только на одном логическом наборе значений аргументов, а на остальных $2^L - 1$ логических наборах обращается в нуль.

Конъюнкция нуля (макстерм) от L аргументов – булева функция, которая принимает нулевое значение только на одном логическом наборе значений аргументов, а на остальных $2^L - 1$ логических наборах обращается в единицу.

Булевы функции от многих аргументов могут быть представлены в виде композиции булевых функций, то есть выражаться через более простые функции меньшего числа аргументов. Например:

$$F(x_1, x_2, x_3, x_4, x_5) = f_1 \left\{ f_2 \left[f_3(x_1, x_2), f_4(x_1, x_4), f_5(x_2, x_5) \right] \right\}.$$

Число различных булевых функций от L аргументов конечно и равно 2^{2^L} . Например, для двух аргументов ($L = 2$) существует $2^{2^2} = 16$ различных булевых функций.

Булевы функции, имеющие наиболее важное практическое значение:

- функция «дизъюнкция» (функция «ИЛИ», логическое сложение);
- функция «конъюнкция» (функция «И», логическое умножение);
- функция инверсии (функция «НЕ», логическое отрицание);
- функция «стрелка Пирса» (функция Пирса, функция «ИЛИ-НЕ»);
- функция «штрих Шеффера» (функция Шеффера, функция «И-НЕ»);
- функция «исключающее ИЛИ» (функция сложения по модулю 2).

Булева функция «дизъюнкция» (функция «ИЛИ», логическое сложение) в общем случае может зависеть от L аргументов и обращается в нуль только в том случае, когда все аргументы равны нулю, и в единицу на всех остальных наборах аргументов. Запись дизъюнкции от L аргументов имеет вид

$$f(x_1, x_2, \dots, x_L) = x_1 + x_2 + \dots + x_L.$$

Булева функция «конъюнкция» (функция «И», логическое умножение) в общем случае может зависеть от L аргументов и обращается в единицу только в том случае, когда все аргументы равны единице, и в нуль на всех остальных наборах аргументов. Запись конъюнкции от L аргументов имеет вид

$$f(x_1, x_2, \dots, x_L) = x_1 \cdot x_2 \cdots x_L.$$

Булева функция инверсии (функция «НЕ», логическое отрицание) записывается как

$$f(x) = \bar{x}.$$

Булева функция «стрелка Пирса» (функция Пирса, функция «ИЛИ-НЕ») в общем случае может зависеть от L аргументов и обращается в единицу только в том случае, когда все аргументы равны нулю, и в нуль на всех остальных наборах аргументов. Запись функции Пирса от L аргументов имеет вид

$$f(x_1, x_2, \dots, x_L) = \overline{x_1 + x_2 + \dots + x_L}.$$

Булева функция «штрих Шеффера» (функция Шеффера, функция «И-НЕ») в общем случае может зависеть от L аргументов и обращается в нуль только в том случае, когда все аргументы равны единице, и в единицу на всех остальных наборах аргументов. Запись функции Шеффера от L аргументов имеет вид

$$f(x_1, x_2, \dots, x_L) = \overline{x_1 \cdot x_2 \cdot \dots \cdot x_L}.$$

Булева функция «исключающее ИЛИ» (функция сложения по модулю 2) в общем случае может зависеть от L аргументов и представляет собой логическую функцию, которая обращается в единицу, если нечетное количество аргументов принимает единичное значение, и в нуль, если единичное значение принимает четное количество аргументов. Запись функции «исключающее ИЛИ» от L аргументов имеет вид

$$f(x_1, x_2, \dots, x_L) = x_1 \oplus x_2 \oplus \dots \oplus x_L.$$

Логические выражения, представляющие собой дизъюнкции отдельных членов, каждое из которых в свою очередь есть некоторая функция, содержащая только конъюнкции и инверсии, называются *логическими выражениями дизъюнктивной формы*.

Дизъюнктивная форма представления булевой функции, в которой инверсия применяется лишь непосредственно к аргументам, но не к более сложным функциям от этих аргументов, называется *дизъюнктивной нормальной формой* (ДНФ) представления функции.

Если каждый член дизъюнктивной нормальной формы булевой функции от L аргументов содержит все L аргументов, то такая форма представления называется *совершенной дизъюнктивной нормальной формой* (СДНФ) булевой функции.

Логические выражения, представляющие собой конъюнкции отдельных членов, каждое из которых в свою очередь есть некоторая функция, содержащая только дизъюнкции и инверсии, называются *логическими выражениями конъюнктивной формы*.

По аналогии с дизъюнктивными формами различают *конъюнктивную нормальную форму* (КНФ) и *совершенную конъюнктивную нормальную форму* (СКНФ).

Аналоговые интегральные микросхемы (АИМС) выполняют преобразование аналоговых сигналов – физических величин (напряжения, тока, частоты колебаний и т. д.), мера которых отображает (кодирует) информацию. Выполняемые реальными интегральными схемами преобразования можно представить в виде аналоговых функций (АФ), описывающих действия, производимые АИМС над сигналами.

Аналоговые функции как идеализированные модели преобразований над сигналами не учитывают ошибок, которые проявляются в реальных АИМС и обусловлены такими факторами, как конечное значение сопротивлений АИМС, частотные и температурные зависимости, дрейф параметров, взаимное рассогласование элементов, шумы, нестабильность при изменении питающих напряжений и т. д. Замена реальных АИМС идеализированными аналоговыми функциями упрощает синтез микроэлектронной аппаратуры (МЭА) и является оправданной, поскольку аналоговые ИМС обладают большими запасами по усилению, стабильности, точности и другим параметрам и характеристикам, применяются в таких включениях и режимах, в которых ошибки АИМС оказываются несущественными с точки зрения задач, решаемых микроэлектронной аппаратурой.

Многообразие задач, возлагаемых на МЭА, предполагает количество разновидностей АФ бесконечно большой величиной. Однако для унификации и удобства проектирования МЭА из всего многообразия реальных АФ выделяют лишь основные аналоговые функции (ОАФ): усиление, сравнение, ограничение, перемножение, частотную фильтрацию (рисунок 1.1).



Рисунок 1.1 – Основные аналоговые функции

Перечисленные функции в совокупности образуют функционально полную систему операций, совершаемых над аналоговыми сигналами, и являются удобными, так как воплощены в виде АИС. Например, функцию усиления реализуют ИС операционных усилителей (ОУ); функцию сравнения реализуют ИМС ОУ и компараторов напряжения; функцию перемножения – ИМС перемножителей и т. д.

При синтезе МЭА используют также специальные аналоговые функции (САФ), которые образуют с помощью структур, состоящих из основных аналоговых функций, эталонов и навесных компонентов.

Специальные аналоговые функции реализуют АИМС стабилизаторов напряжения, взаимного преобразования аналоговых и цифровых величин (АЦП и ЦАП), так как основаны на применении аналоговых этало-

нов напряжения (в виде стабилизаторов и высокоточных резистивных матриц) в сочетании с ОАФ, реализуемых ОУ или компараторами.

1.2 Принципы схемотехники интегральных микросхем

Микросхемотехника является самостоятельной ветвью схемотехники, в которой создаются оригинальные схемные и структурные решения, эффективно использующие специфические особенности интегральных микросхем с целью улучшения их основных характеристик. Эти особенности обусловлены интегральной технологией изготовления, накладывающей определенные ограничения на параметры элементов и компонентов ИМС и в то же время открывающей новые возможности их использования [1]. Принципы микросхемотехники – это результат интенсивных исследований, направленных на выявление существенных различий между интегральными микросхемами и схемами на дискретных компонентах. Они отражают специфику технологии производства ИМС и тенденцию роста степени интеграции их функциональных узлов. Таких принципов два: принцип взаимного согласования цепей и принцип схемотехнической избыточности при ограничении размеров полезной площади подложки или кристалла.

Принцип согласования цепей заключается в такой их конструкторско-технологической реализации, при которой требуемые электрические параметры оказываются пропорциональными друг другу в широком интервале внешних воздействий (рисунок 1.2).

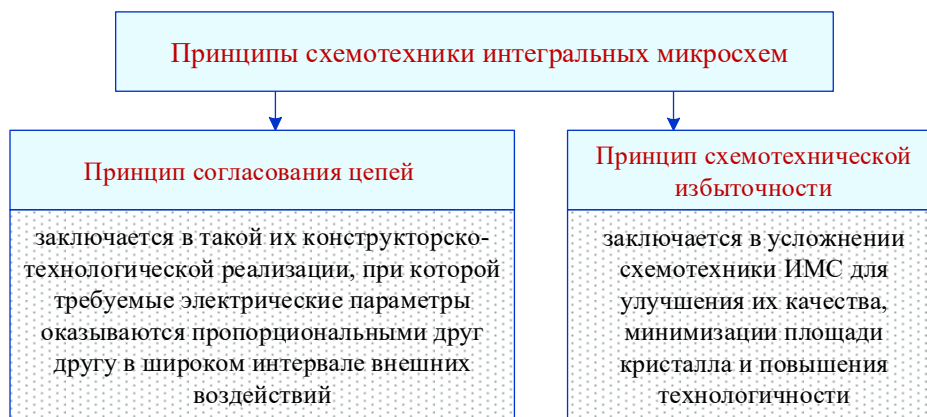


Рисунок 1.2 – Принципы схемотехники интегральных микросхем

Взаимное согласование схмотехнических структур осуществляется за счёт близкого расположения соответствующих элементов их топологии на подложке. Достижимая при этом идентичность (или строгая пропорциональность) параметров обусловлена тем, что исходные материалы и процессы технологической обработки для таких элементов (или структур) практически одинаковы. Возможность изготовления схемных элементов с идентичными характеристиками и весьма близкими тепловыми режимами позволила создать прецизионные структуры с параметрами, не реализуемыми схемами на дискретных компонентах.

Принцип схмотехнической избыточности заключается в усложнении схмотехники ИМС для улучшения их качества, минимизации площади кристалла и повышения технологичности (рисунок 1.3).

Принципы микросхмотехники обусловлены ограничениями и возможностями технологии изготовления ИМС.

Технология изготовления полупроводниковых интегральных схем преимущественно ориентирована на создание схем, в которых $n-p-n$ -транзисторы имеют оптимальные параметры. При этом характеристики других элементов являются производными и значения их параметров в большей степени predeterminedены и ограничены. С целью получения требуемых характеристик таких наиболее важных элементов, как транзисторы со сверхбольшим коэффициентом усиления или полевые транзисторы, в технологический процесс изготовления $n-p-n$ -структур иногда вводят дополнительные стадии. Однако основной метод преодоления ограничений, обусловленных технологиями изготовления, заключается в приспособлении схемно-конструктивных решений к требованиям технологии, а не в разработке специальной технологии для данной схемы.

Другое ограничение связано с реализацией высокоомных резисторов и конденсаторов с емкостями, превышающими десятки пикофарад, поскольку это сопровождается увеличением необходимой площади кристалла. Поэтому высокоомные резисторы обычно реализуются в виде большого динамического внутреннего сопротивления активных источников тока на транзисторах (для транзисторов не требуется большая площадь), а в усилительных каскадах часто используются сложные элементы, такие как пары Дарлингтона, составные транзисторы и управляемые источники тока.

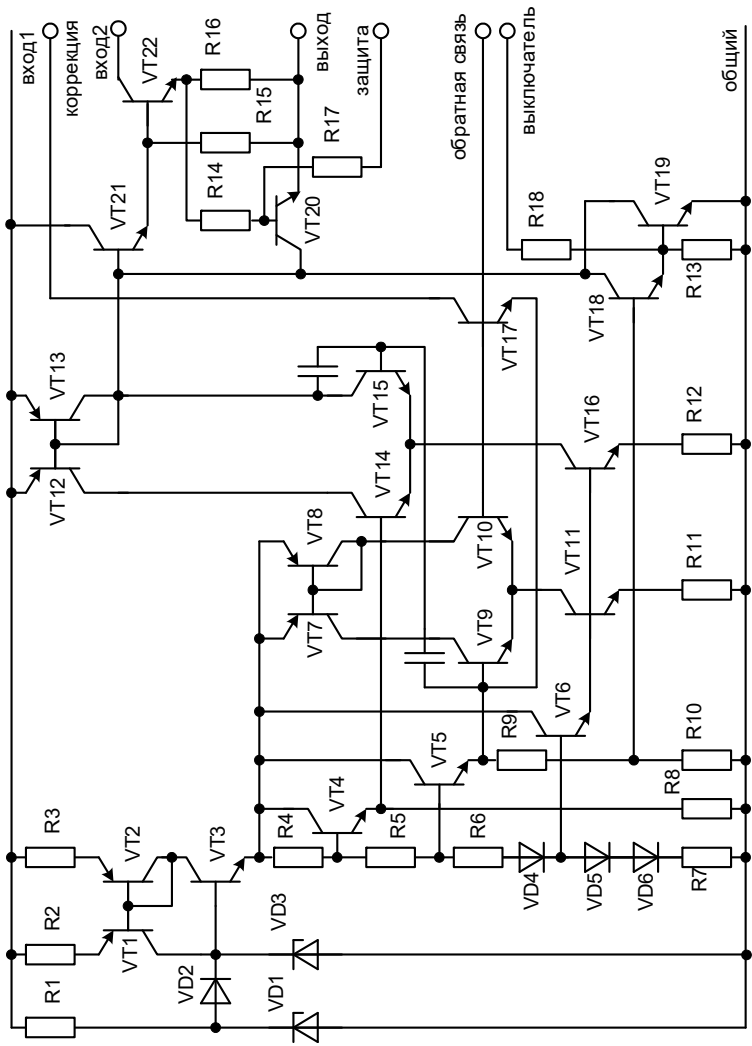


Рисунок 1.3 – Схема интегрального стабилизатора напряжения с регулируемым выходным напряжением

Большие емкости невозможно реализовать даже посредством увеличения их площади на кристалле. По этой причине недопустимо применение межкаскадных конденсаторов, а проблемы согласования уровней каскадов и стабилизации их режима решают в пределах более технологичной, хотя и усложнённой, схемотехники структур с непосредственными связями.

Резисторы с допустимым разбросом сопротивлений менее чем $\pm(5-10)\%$ не могут быть получены без снижения выхода годных изделий. Однако значения отношений сопротивлений с точностью, на порядок превышающей эти значения, можно достичь без дополнительного усложнения технологических процессов. Поэтому схемотехника ИМС направлена на то, чтобы их качественные характеристики определялись не абсолютными значениями сопротивлений, а главным образом их отношениями.

Интегральная технология, наряду с ограничениями, открывает пути создания схемных элементов, позволяющих получить качественно новые свойства. Среди них можно назвать многоэмиттерные транзисторы (МЭТ), которые нельзя реализовать на дискретных компонентах, согласованные транзисторы и т. п. (рисунок 1.4).

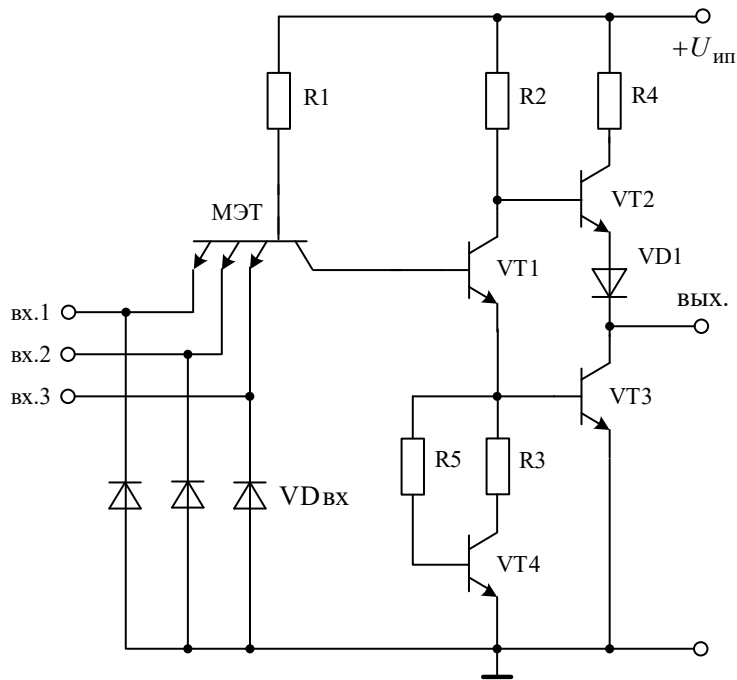


Рисунок 1.4 – Схема логического элемента И-НЕ с многоэмиттерным транзистором на входе

В отличие от разработчиков электронных схем на дискретных компонентах, разработчики интегральных схем не имеют возможности произвольно выбирать схемные компоненты, оптимальные с точки зрения выполнения конкретной функции, но они могут в допустимых пределах изменять технологические режимы для достижения желаемых результатов. В немалой степени схемотехнику интегральных схем определяют допустимая мощность рассеяния, необходимость обеспечения стабильности параметров в широком диапазоне изменения внешней температуры, а также необходимость защиты транзисторов от перегрузок по току.

В настоящее время в результате интенсивных исследований с применением самых современных методов анализа и расчёта разработан набор широко используемых функциональных узлов, а также созданы тщательно отработанные методы объединения этих узлов в полупроводниковые интегральные схемы с требуемыми характеристиками. Знание этих функциональных узлов совершенно необходимо для понимания принципа действия различных ИМС, сравнения их характеристик, расчёта параметров, существенных с точки зрения конкретного применения.

1.3 Процесс проектирования интегральных микросхем

Важнейшей задачей микросхемотехники является проектирование новых типов интегральных микросхем.

Интегральная микросхема – микроэлектронное изделие, выполняющее определенную функцию преобразования, обработки сигналов и (или) накопления информации и имеющее высокую плотность упаковки электрически соединенных элементов (или элементов и компонентов), которое с точки зрения требований к испытаниям, приемке, поставке и эксплуатации рассматривается как единое целое.

Проектирование представляет собой создание описания, необходимого для построения в заданных условиях еще не существующего технического объекта на основе первичного описания этого объекта (технического задания).

Исходное техническое задание на проектирование микросхемы содержит описание функционального назначения и требования к основным статическим и динамическим параметрам и характеристикам.

В процессе проектирования интегральных микросхем выделяют стадии структурного проектирования, схемного проектирования и конструкторско-технологического проектирования (рисунок 1.5).

Стадия структурного проектирования микросхем состоит из структурного синтеза, в ходе которого на той или иной элементной базе создается структурная схема, обеспечивающая выполнение функций, определенных техническим заданием, и структурного анализа, в процессе которого проверяется правильность функционирования синтезированной структуры при различных рабочих условиях и производится приближенная сравнительная оценка ее основных параметров. Обычно при проектировании микросхем создается несколько структурных вариантов, из которых выбираются наилучшие на основании результатов сравнения их параметров.

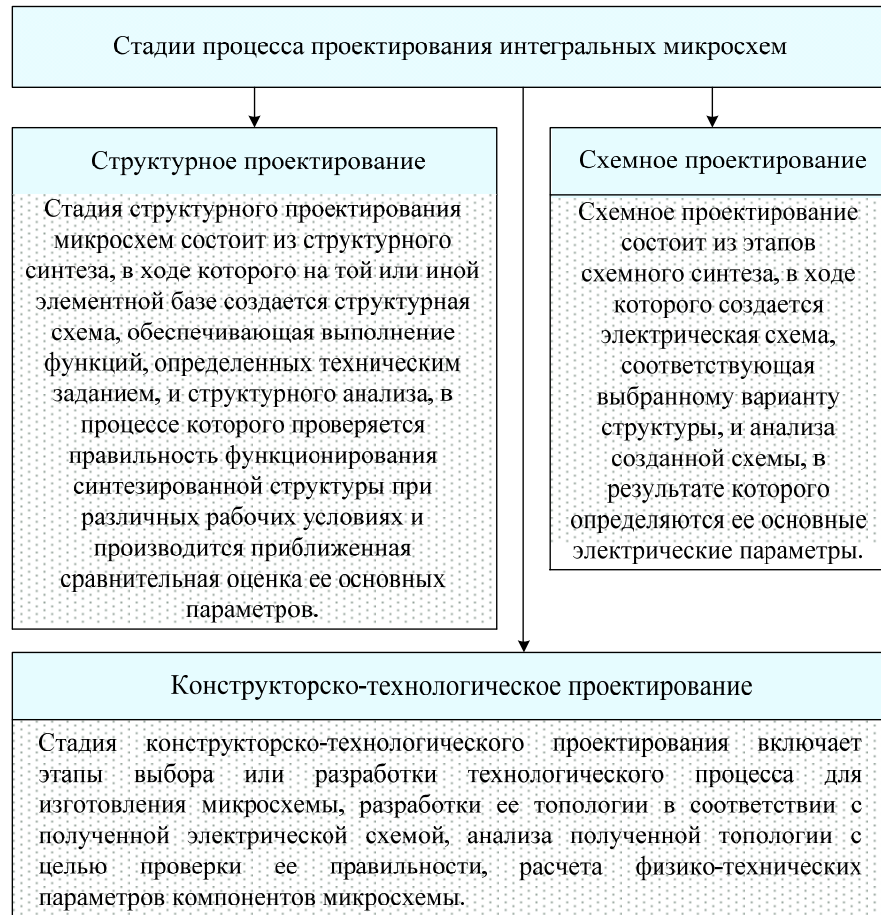


Рисунок 1.5 – Стадии процесса проектирования интегральных микросхем

Для выбранных структурных вариантов производится схемное проектирование, результатом которого является электрическая схема разрабатываемой интегральной микросхемы. Схемное проектирование

состоит из этапов схемного синтеза, в ходе которого создается электрическая схема, соответствующая выбранному варианту структуры, и анализа созданной схемы, в результате которого определяются ее основные электрические параметры. На этапе анализа решается задача параметрической оптимизации схемы. В процессе схемного проектирования обычно разрабатывается несколько вариантов электрических схем, которые отличаются структурой, элементной базой, значениями основных параметров. По результатам анализа производится выбор варианта электрической схемы, наилучшим образом удовлетворяющего требованиям технического задания. Стадии структурного и схемного проектирования образуют процесс *схмотехнического проектирования* интегральных микросхем.

Большинство современных микросхем являются сложными электронными устройствами, поэтому при их описании и анализе используются, по меньшей мере, два уровня схмотехнического представления – *электрическая схема* (первый, наиболее детальный уровень) и *структурная схема* (второй, более общий уровень) (рисунок 1.6).



Рисунок 1.6 – Уровни схмотехнического представления ИМС

Элемент микросхемы – часть микросхемы, реализующая функцию какого-либо изделия электронной техники, которая выполнена нераздельно от кристалла и не может быть выделена как самостоятельное изделие с точки зрения требований к испытаниям, приемке, поставке и эксплуатации (ГОСТ Р 57435-2017. Микросхемы интегральные. Термины и определения). К изделиям электронной техники относят полупроводниковые приборы, резисторы, конденсаторы, микроустройства и др.

Компонент микросхемы – часть гибридной микросхемы, реализующая заданную функцию какого-либо изделия электронной техники, которая может быть выделена как самостоятельное изделие с точки зрения

требований к испытаниям, приемке, поставке и эксплуатации. Компоненты могут содержать совокупность элементов или (и) микросхем в бескорпусном исполнении и др. Компоненты изготавливаются отдельно от ИМС и устанавливаются на подложку при изготовлении ИМС.

Стадия конструкторско-технологического проектирования включает этапы выбора или разработки технологического процесса для изготовления микросхемы, разработки ее топологии в соответствии с полученной электрической схемой, анализа полученной топологии с целью проверки ее правильности, расчета физико-технических параметров компонентов микросхемы.

Поскольку физико-технические параметры компонентов определяют их электрические параметры, после стадии конструкторско-технологического проектирования требуется повторить электрический анализ схемы с целью уточнения ее характеристик.

Интегральные микросхемы выпускаются сериями. *Серия интегральных микросхем* – совокупность типов (типономиналов) микросхем, объединенных с учетом функционального назначения и (или) конструктивно-технологического подобия, изготавливаемых, как правило, в одном базовом технологическом процессе (процессах).

Типономинал микросхемы – микросхема конкретного типа, отличающаяся от других микросхем того же типа значениями одного или нескольких параметров и (или) показателей стойкости к внешним воздействующим факторам.

1.4 Классификация интегральных микросхем

По конструктивному исполнению ИМС делят на *корпусные* и *бескорпусные*. По *конструктивно-технологическому признаку* различают *полупроводниковые, гибридные* и прочие (*пленочные, керамические* и т. д.) ИМС. По *функциональному назначению* все ИМС делятся на два класса: *цифровые* и *аналоговые* (рисунок 1.7).

В полупроводниковых ИМС все элементы и межэлементные соединения выполнены в объеме и на поверхности полупроводниковой подложки. Разновидностью полупроводниковых ИМС являются *совмещенные микросхемы*, в которых транзисторы расположены в активном слое кремния, а пленочные резисторы и диоды, как и проводники, – на слое диоксида кремния. По *типу применяемых активных компонентов* (транзисторов) полупроводниковые микросхемы разделяют на *микросхемы на биполярных транзисторах, микросхемы на МДП-транзисторах* (МДП-

микросхемы), *микросхемы смешанной Би-КМДП-технологии* (рисунок 1.8).



Рисунок 1.7 – Классификация интегральных микросхем

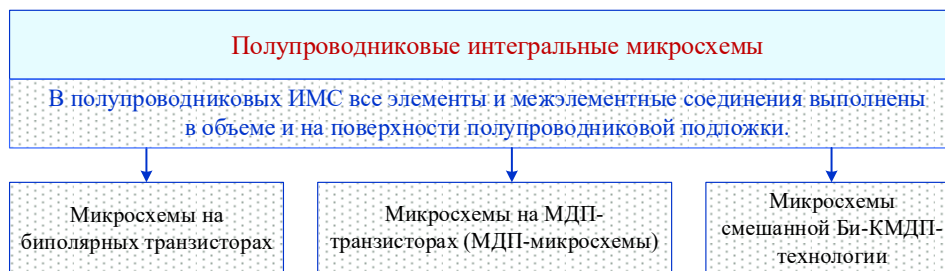


Рисунок 1.8 – Классификация полупроводниковых ИМС

Гибридные интегральные микросхемы содержат пленочные пассивные элементы и навесные компоненты. В гибридных микросхемах используются как простые, например бескорпусные биполярные *n-p-n*-транзисторы, так и сложные навесные компоненты, например бескорпусные кристаллы полупроводниковых микросхем. В пленочных ИМС все элементы и межэлементные соединения выполнены в виде токопроводящих пленок. В зависимости от способа нанесения пленок на поверхность диэлектрической подложки и их толщины различают *тонкопленочные* (толщина пленок менее 1 мкм) и *толстопленочные* (толщина пленок более 1 мкм) микросхемы.

По функциональному назначению все ИМС делятся на два класса: цифровые и аналоговые.

Цифровые интегральные микросхемы (ЦИМС) предназначены для обработки информации, представленной в виде цифровых кодов. Характерной особенностью ЦИМС является то, что в виде цифровых кодов

представлены и входные, и выходные сигналы. По этому признаку *аналого-цифровые* и *цифроаналоговые преобразователи* относятся к классу АИМС.

Внутри каждого класса ИМС принята более детальная классификация по функциональному назначению и целому ряду других признаков.

ЦИМС классифицируются по функциональному назначению, способу представления двоичной информации, типу логики, по электрическим, эксплуатационным и экономическим параметрам, степени интеграции (рисунок 1.9).

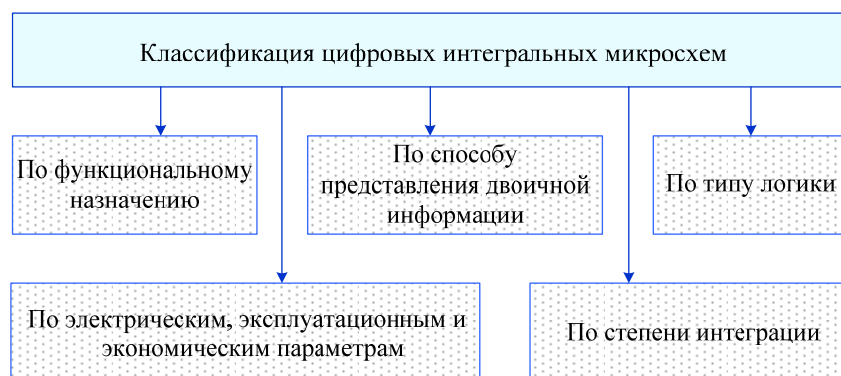


Рисунок 1.9 – Классификация цифровых интегральных микросхем

По *функциональному назначению* ЦИМС разделяют на подгруппы (логические элементы, цифровые устройства, триггеры и пр.) и виды внутри подгрупп (триггеры: универсальные, с отдельным запуском, с задержкой, счетные и т. д.) (рисунок 1.10).

По *способу представления двоичной информации* цифровые интегральные микросхемы подразделяют на импульсные, динамические, потенциальные, импульсно-потенциальные.

В основе классификации цифровых микросхем по *типу логики* лежит принцип схемотехнического построения базового логического элемента серии микросхем. Потенциальные цифровые микросхемы, которые являются наиболее распространенными, по типу логики подразделяют на следующие классы: *диодно-транзисторной логики* (ДТЛ), *транзисторно-транзисторной логики* (ТТЛ), *транзисторно-транзисторной логики с диодами Шоттки* (ТТЛШ), *эмиттерно-связанной логики* (ЭСЛ), *интегральной инжекционной логики* (I^2L), *логики на комплементарных МДП-транзисторах* (КМДП, КМОП), *на МДП-транзисторах с каналом n-типа* (n-МДП, n-МОП) и *на полевых транзисторах с затвором Шоттки на основе арсенида галлия* (ПТШ-GaAs) (рисунок 1.11).



Рисунок 1.10 – Классификация цифровых интегральных микросхем по функциональному назначению

В современной электронной аппаратуре наибольшее распространение получили серии ЦИМС ТТЛШ, ЭСЛ, И²Л, КМОП. Эти серии отличаются лучшими электрическими параметрами, имеют более высокий уровень интеграции, обладают большими функциональными возможностями по сравнению с сериями ЦИМС других типов логики.

При классификации ЦИМС по электрическим параметрам в качестве классификационных признаков чаще всего используются быстродействие и рассеиваемая мощность. По быстродействию выделяют ЦИМС: *сверхбыстродействующие, с высоким быстродействием, со средним быстродействием, с низким быстродействием.*

По мощности рассеяния ЦИМС делят на *микросхемы большой, средней, малой мощности и микромощные.*

Степень интеграции ЦИМС характеризуют *коэффициентом компонентной интеграции k_k и коэффициентом функциональной интеграции k_ϕ .*

Коэффициент компонентной интеграции определяется выражением

$$k_k = \lg N_k,$$

где N_k – общее число элементов и компонентов, расположенных на кристалле, которое характеризует главным образом уровень технологической сложности микросхемы.

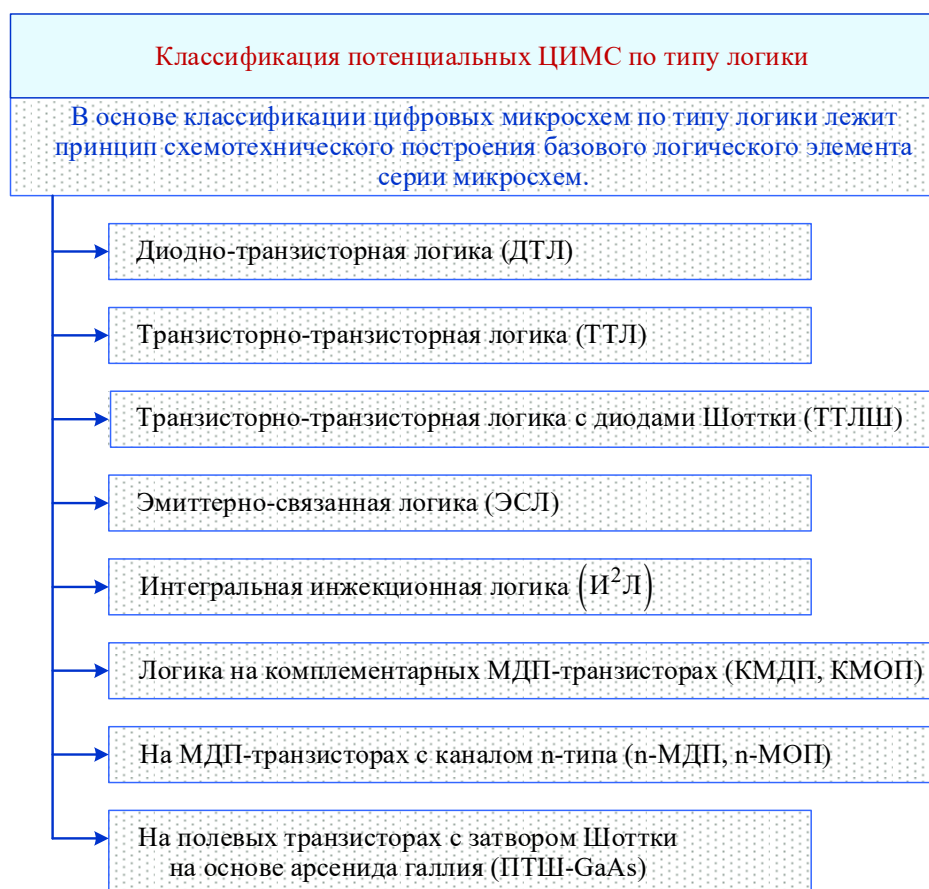


Рисунок 1.11 – Классификация потенциальных ЦИМС по типу логики

По величине коэффициента компонентной интеграции различают: ИМС *первой степени интеграции*, если $k_k \leq 1$; ИМС *второй степени интеграции*, если $k_k \leq 2$; ИМС *третьей степени интеграции*, если $k_k \leq 3$; ИМС *четвертой степени интеграции*, если $k_k \leq 4$, и ИМС *пятой степени интеграции*, если $k_k > 4$.

Для определения функциональной сложности ЦИМС используется коэффициент функциональной интеграции

$$k_{\text{ф}} = \lg N_3,$$

где N_3 – количество логических элементов И-НЕ либо ИЛИ-НЕ, расположенных на кристалле микросхемы.

Если в качестве элементной базы используются другие логические элементы, то величина N_3 определяется числом элементов И-НЕ либо ИЛИ-НЕ, требуемых для реализации эквивалентной логической функции микросхемы. По величине коэффициента функциональной интеграции различают: *малые интегральные схемы* (МИС), содержащие один или несколько логических элементов, когда $k_{\phi} \leq 1$ (триггер); *средние интегральные схемы* (СИС), содержащие один или несколько функциональных узлов, когда $k_{\phi} \leq 2$ (счетчик, регистр, сумматор); *большие интегральные схемы* (БИС), содержащие одно или несколько функциональных устройств, когда $2 \leq k_{\phi} \leq 4$ (АЛУ, ЗУ); *сверхбольшие интегральные схемы* (СБИС), имеющие $k_{\phi} > 4$ и выполняющие функции целых цифровых систем (микро-ЭВМ).

Для оценки сложности ЦИМС используется параметр, получивший название «плотность упаковки»: $\gamma = N_k V^{-1}$, где V – объем кристалла без выводов.

Аналоговые интегральные микросхемы (АИМС) предназначены для обработки электрических сигналов, изменяющихся по законам непрерывных функций (аналоговых сигналов). Аналоговые сигналы представляют собой физические величины (напряжение, ток, частота колебаний и т. д.), мера которых отображает (кодирует) информацию.

В зависимости от выполняемой функции аналоговые ИМС подразделяются на следующие классы: операционные усилители, инструментальные ИМС, радиочастотные ИМС, силовые ИМС (рисунок 1.12).

Операционный усилитель – многоцелевая ИС, предназначения для построения схем с фиксированным коэффициентом передачи и точно синтезированной передаточной функцией.

Инструментальная аналоговая ИМС – многоцелевая ИС, осуществляющая прецизионные преобразования аналоговых сигналов с обеспечением выполнения комплекса требований по точности, частотным свойствам и электрическим параметрам. От операционных усилителей инструментальные ИМС отличаются либо наличием цифровых цепей наряду с аналоговыми, либо внутренними обратными связями, реализующими стабилизацию определённых электрических параметров.

Радиочастотные ИМС предназначены для усиления и преобразования сигналов радиотехнического диапазона волн.

Силовые ИМС используются в источниках вторичного электропитания, усилительных и передающих устройствах.

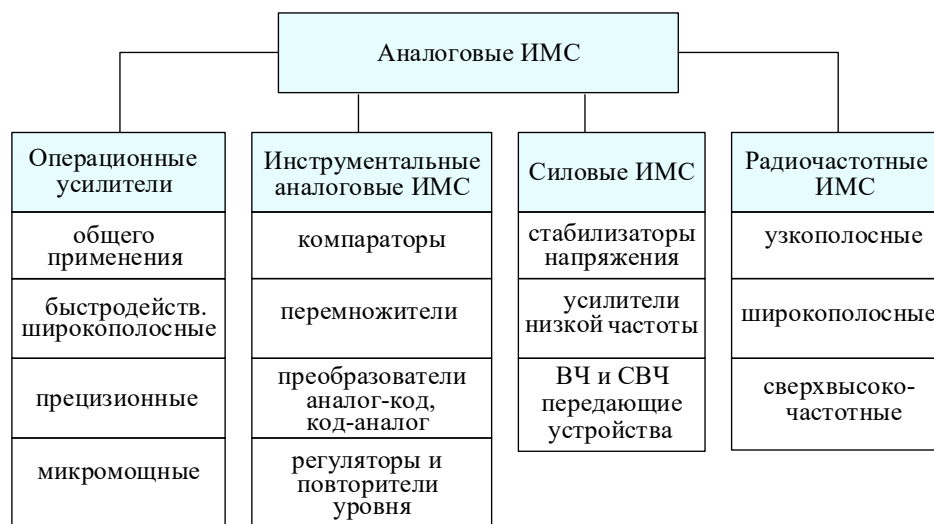


Рисунок 1.12 – Классификация аналоговых ИМС

Среди аналоговых ИС наибольшее применение получили операционные усилители. ОУ используются как основные функциональные узлы в различных линейных и нелинейных устройствах. Широкому распространению ОУ в значительной мере способствовали успехи микроэлектроники, что позволило снизить стоимость и размеры ОУ до стоимости и размеров транзисторов.

Надежность операционных усилителей мало уступает надежности транзисторов, а по своим функциональным возможностям ОУ относятся к самым универсальным элементам микроэлектронной аппаратуры.

Контрольные вопросы

1. Чем обусловлено ограничение на сопротивление резисторов и емкости конденсаторов, применяемых в микроэлектронных структурах?
2. Что подразумевается под схмотехническим проектированием интегральных микросхем?
3. Дайте классификацию потенциальных ЦИМС по типу логики.
4. Дайте определение конститuenty единицы (минтермы) и конститuenty нуля (макстермы).

5. К какому классу интегральных микросхем по функциональному назначению относятся микросхемы аналого-цифровых преобразователей?

2 ХАРАКТЕРИСТИКИ И ПАРАМЕТРЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

2.1 Схемотехнические и конструктивные параметры ЦИМС

Существует большое количество характеристик ЦИМС, определяющих работоспособность микросхем и снимаемых по определенным методикам. Характеристики ЦИМС делятся на статические и динамические. *Статические характеристики представляют собой зависимости между входными и выходными токами и напряжениями в установившемся режиме работы. Динамические характеристики определяют поведение микросхем в переходных режимах, то есть при переключении из одного состояния в другое.* По соответствующим характеристикам определяются статические и динамические параметры ЦИМС. Под работоспособностью микросхемы понимают правильную передачу информационных сигналов при одновременном выполнении заданных техническими условиями требований к числовым значениям параметров. Кроме статических и динамических параметров, каждая интегральная микросхема характеризуется совокупностью конструктивных и схемотехнических параметров.

Основными схемотехническими параметрами цифровых интегральных микросхем являются коэффициент объединения по входу и коэффициент разветвления по выходу логического элемента.

Коэффициент объединения $k_{об}$ по входу логического элемента – число входов логического элемента, по которым реализуется логическая функция, включая входы логических расширителей. Для элементов многоступенчатой логики различают коэффициент объединения $k_{об.ИЛИ}$ по логической функции ИЛИ и коэффициент объединения $k_{об.И}$ по логической функции И.

Коэффициент разветвления по выходу $k_{раз}$ логического элемента (нагрузочная способность) – число единичных нагрузок, которые можно одновременно подключить к выходу логического элемента. Единичной нагрузкой является один вход базового логического элемента данной серии ЦИМС. Для ряда элементов данной серии один вход может быть эквивалентен нескольким единичным нагрузкам. С увеличением числа нагрузок параметры ЦИМС ухудшаются. Допустимое количество входов элементов другой серии специально оговаривается.

2.2 Статические характеристики и параметры ЦИМС

К статическим относятся входная, передаточная, выходная и обратная передаточная характеристики. Основными статическими характеристиками являются первые три.

Для логического элемента, имеющего $k_{об}$ логических входов, к выходу которого может быть подключено $k_{раз}$ нагрузок, для каждой характеристики существует $2^{k_{об}+k_{раз}}$ вариантов построения. Из всех возможных вариантов статических характеристик целесообразно выбирать и использовать наиболее удобные и для разработчиков цифровой аппаратуры, и для всех видов измерений.

Передаточная характеристика – зависимость выходного напряжения от входного, то есть $U_{вых} = f_{пер}(U_{вх})$. Характеристика снимается для одного из входов ЦИМС, а остальные входы подключаются к цепи, в которой в зависимости от логической структуры элемента действуют уровни напряжения логического нуля или логической единицы при заданном количестве нагрузок $k_{раз}$ на выходе элемента. В зависимости от вида передаточной характеристики различают *инвертирующие* и *неинвертирующие логические элементы*. У инвертирующего элемента высокому уровню входного потенциала соответствует низкий, а у неинвертирующего – высокий уровень потенциала на выходе. Передаточная характеристика инвертирующего элемента представлена на рисунке 2.1.

Для нормального функционирования потенциальных цифровых микросхем передаточная характеристика (характеристика 1 на рисунке 2.1) должна иметь три точки пересечения с обращенной передаточной характеристикой (характеристика 2 на рисунке 2.1).

По передаточной характеристике определяют:

- *пороговое напряжение* $U_{пор}$ – входное напряжение, малые отклонения от которого в ту или другую сторону приводят к переходу логического элемента на его выходе из состояния логической «1» в состояние логического «0» или обратно;

- $U_{вых.пор}^1, U_{вых.пор}^0$ – значения выходных пороговых напряжений логических «1» и «0» соответственно, определяемых с помощью пороговых точек a и b , в которых дифференциальный коэффициент усиления по напряжению $k_U = -1$ (см. рисунок 2.1);

- логический перепад $\Delta U = U_{\text{ВЫХ.ПОР}}^1 - U_{\text{ВЫХ.ПОР}}^0$;
- запас помехоустойчивости по уровню логического «0» U_{Π}^+ и по уровню логической «1» U_{Π}^- – разность напряжений, измеряемых по оси входных напряжений передаточной характеристики в рабочей точке и ближайшей к ней точке с единичным усилением;

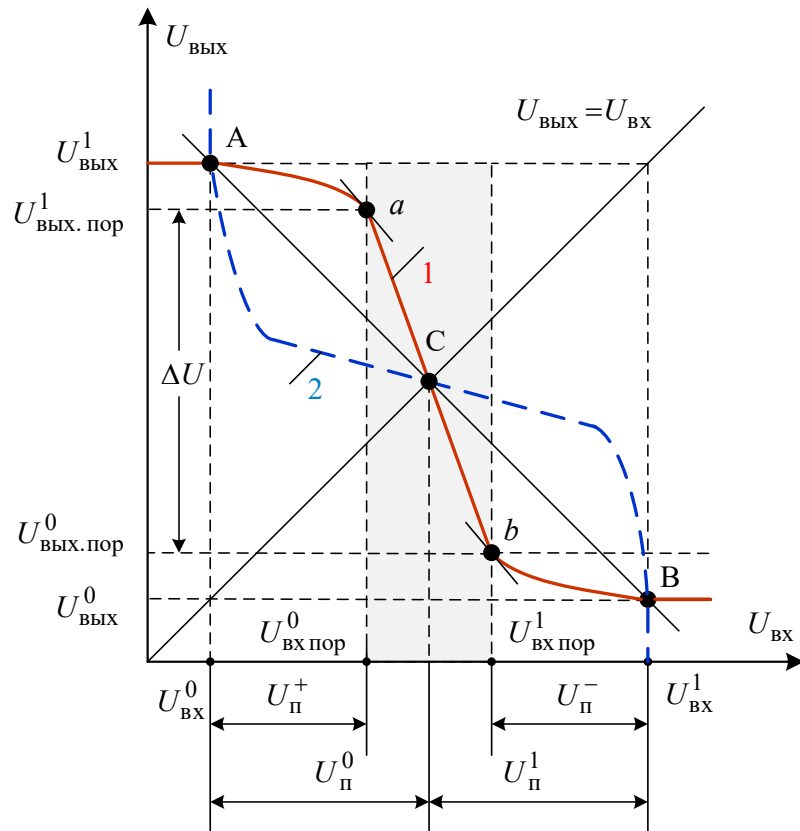


Рисунок 2.1 – Передаточная характеристика инвертирующего элемента

- помехозащищенность по уровню логического «0» U_{Π}^0 и по уровню логической «1» U_{Π}^1 – разность напряжений, измеряемых по оси входных напряжений передаточной характеристики в рабочей точке, и пороговым напряжением;
- помехоустойчивость по уровню логического «0» и «1» – отношение помехозащищенности к логическому перепаду;

▪ уровни напряжения логического нуля U^0 и логической единицы U^1 .

Идеальная передаточная характеристика, для которой запас помехоустойчивости максимальный, должна соответствовать условиям $U_{\text{вых.пор}}^0 = 0$, $U_{\text{вых.пор}}^1 = \Delta U$, $U_{\text{вх.пор}}^0 = U_{\text{вх.пор}}^1 = U_{\text{пор}} = \frac{\Delta U}{2}$ и тогда

$U_{\text{п}}^+ = U_{\text{п}}^- = U_{\text{п}}^0 = U_{\text{п}}^1 = \frac{\Delta U}{2}$. Для повышения помехоустойчивости необходимо

увеличивать логический перепад и значения входных пороговых напряжений, однако увеличение логического перепада связано с ростом напряжения питания и потребляемой мощности, а увеличение пороговых напряжений приводит к уменьшению быстродействия. Для создания помехоустойчивого логического элемента необходимо иметь передаточную характеристику, близкую к симметричной относительно середины области переключения (затемненная область на рисунке 2.1).

Эффективным средством повышения помехоустойчивости схем является получение гистерезиса на их передаточных характеристиках (рисунок 2.2).

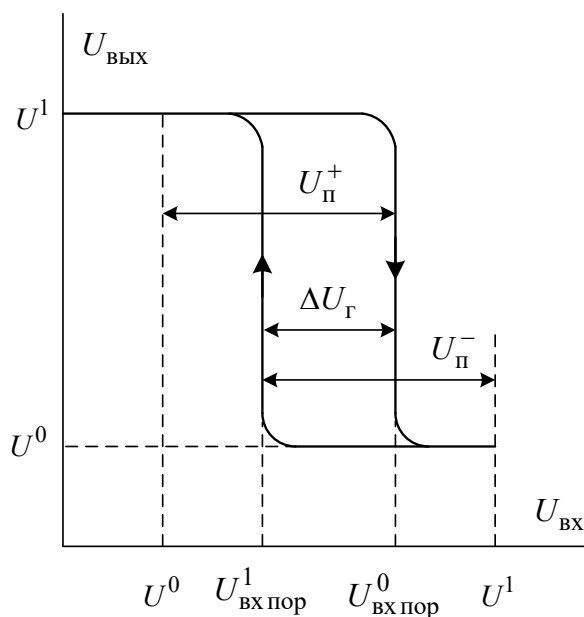


Рисунок 2.2 – Передаточная характеристика инвертирующего элемента с гистерезисом

В этом случае $U_{\text{вх.пор}}^0 > U_{\text{вх.пор}}^1$ и $U_{\text{п}}^+ + U_{\text{п}}^- = \Delta U + \Delta U_{\Gamma}$, где $\Delta U_{\Gamma} = U_{\text{вх.пор}}^0 - U_{\text{вх.пор}}^1$ – ширина петли гистерезиса. В предельном случае при $\Delta U_{\Gamma} = \Delta U$ достигается запас помехоустойчивости $U_{\text{п}}^+ = U_{\text{п}}^- = \Delta U$, вдвое превышающий величину запаса помехоустойчивости в схемах без гистерезиса.

При оценке помехоустойчивости используют *напряжение статической помехи* – наибольшее входное напряжение, не изменяющее состояние элемента.

Реально помехоустойчивость каждой логической схемы устанавливается на основании статистического анализа передаточных характеристик.

Входная характеристика – зависимость входного тока от входного напряжения, то есть $I_{\text{вх}} = f_{\text{вх}}(U_{\text{вх}})$. Характеристика снимается для одного из входов ЦИМС, а остальные входы подключаются к цепи, в которой в зависимости от логической структуры элемента действуют уровни напряжения логического нуля или логической единицы при заданном количестве нагрузок $k_{\text{раз}}$ на выходе элемента. Из входной характеристики

определяют входные токи логического нуля $I_{\text{вх}}^0$ и логической единицы $I_{\text{вх}}^1$ при уровнях напряжения $U_{\text{вх}}^0$ и $U_{\text{вх}}^1$ соответственно и входное сопротивление $R_{\text{вх}}$. Входное сопротивление представляет собой отношение приращения входного напряжения к приращению входного тока:

$$R_{\text{вх}} = \frac{\Delta U_{\text{вх}}}{\Delta I_{\text{вх}}}$$

$R_{\text{вх}}^0$ и $R_{\text{вх}}^1$. Кроме того, характеристика используется при анализе переходных процессов в линиях связи логических элементов.

Выходная характеристика – зависимость выходного тока от выходного напряжения, то есть $I_{\text{вых}} = f_{\text{вых}}(U_{\text{вых}})$. Характеристика снимается для двух состояний элемента: элемент включен и элемент выключен.

Инвертирующий элемент считается включенным, когда на его выходе действует напряжение низкого уровня, и выключенным, когда на его выходе действует напряжение высокого уровня. Неинвертирующий элемент считается включенным, когда на его выходе действует напряжение высокого уровня, и выключенным, когда на его выходе действует напряжение низкого уровня.

Для изменения выходного напряжения используется внешний источник питания с регулируемой полярностью и значением напряжения. Из выходной характеристики определяют выходные токи логического нуля $I_{\text{ВЫХ}}^0$ и логической единицы $I_{\text{ВЫХ}}^1$ при уровнях напряжения $U_{\text{ВЫХ}}^0$ и $U_{\text{ВЫХ}}^1$ соответственно и выходное сопротивление. Выходное сопротивление $R_{\text{ВЫХ}}$ представляет собой отношение приращения выходного напряжения

к приращению выходного тока: $R_{\text{ВЫХ}} = \frac{\Delta U_{\text{ВЫХ}}}{\Delta I_{\text{ВЫХ}}}$. Оно определяется для

двух значений выходного сигнала: $R_{\text{ВЫХ}}^0$ и $R_{\text{ВЫХ}}^1$. Кроме того, характеристика используется при анализе переходных процессов в линиях связи логических элементов.

2.3 Динамические характеристики и параметры ЦИМС

Динамические параметры ЦИМС рассмотрим на примере инвертирующего элемента. Характер изменения входного и выходного напряжений инвертирующего логического элемента в общем случае показан на рисунке 2.3.

Основными параметрами цифровых микросхем при работе в динамическом режиме являются:

- *время перехода $t^{1,0}$ на выходе элемента из состояния логической единицы в состояние логического нуля* – интервал времени, в течение которого напряжение на выходе элемента изменяется от значения $U^1 - 0,9\Delta U$ до $U^0 + 0,1\Delta U$;

- *время перехода $t^{0,1}$ на выходе элемента из состояния логического нуля в состояние логической единицы* – интервал времени, в течение которого напряжение на выходе элемента изменяется от значения $U^0 + 0,1\Delta U$ до $U^1 - 0,9\Delta U$;

- *время задержки включения $t_{\text{зд}}^{1,0}$* – интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логической единицы к уровню логического нуля, измеренный на уровне 0,1 логического перепада входного сигнала и уровне 0,9 логического перепада выходного сигнала;

- *время задержки выключения $t_{\text{зд}}^{0,1}$* – интервал времени между входным и выходным сигналами при переходе выходного напряжения от

уровня логического нуля к уровню логической единицы, измеренный на уровне 0,9 логического перепада входного сигнала и уровне 0,1 логического перепада выходного сигнала;

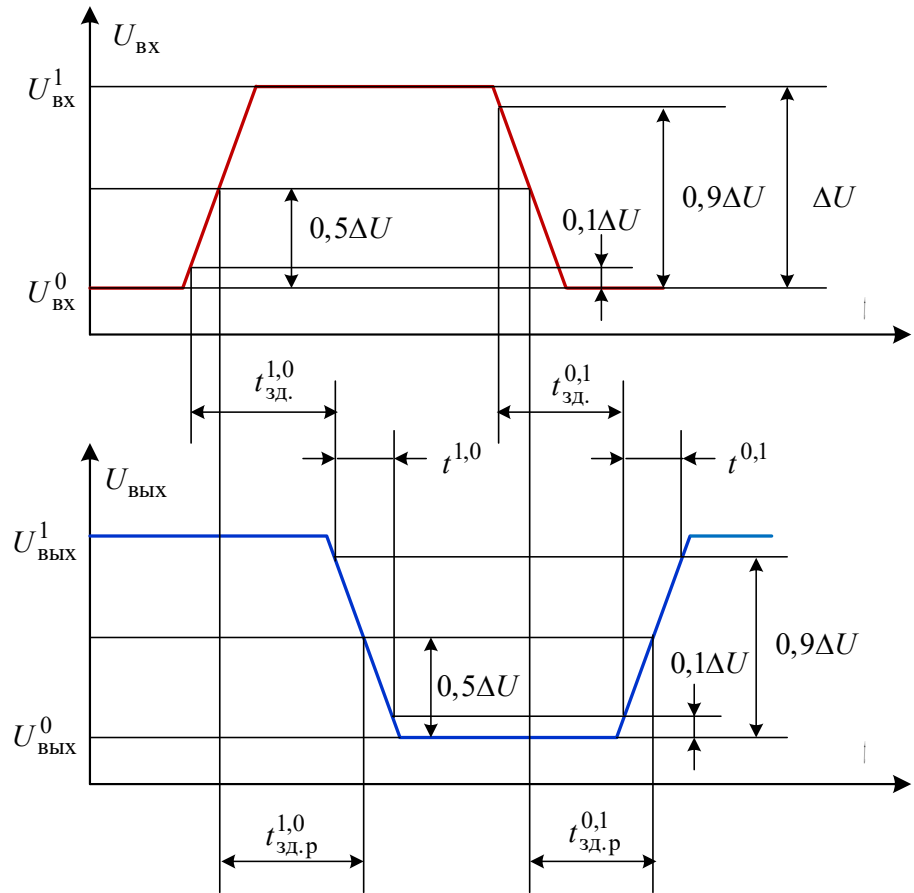


Рисунок 2.3 – Основные динамические параметры цифровых микросхем

- *время задержки распространения сигнала при включении $t_{зд.р}^{1,0}$ – интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логической единицы к уровню логического нуля, измеренный на уровне 0,5 логического перепада входного и выходного сигналов;*
- *время задержки распространения сигнала при выключении $t_{зд.р}^{0,1}$ – интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логического нуля к уровню логической*

единицы, измеренный на уровне 0,5 логического перепада входного и выходного сигналов;

- *среднее время задержки распространения сигнала*

$$t_{\text{зд.р.ср}} = \frac{t_{\text{зд.р}}^{1,0} + t_{\text{зд.р}}^{0,1}}{2};$$

- *приращение среднего времени задержки распространения сигнала на одну единичную нагрузку, включенную на выходе элемента;*

- *приращение среднего времени задержки распространения сигнала на один незадействованный вход элемента;*

- *рабочая частота переключения f_{Π}* – максимальная частота, на которой в наихудших условиях гарантируется срабатывание счетного триггера, составленного из логических элементов данной серии.

Динамическими характеристиками являются:

- *динамические нагрузочные характеристики*

$$t_{\text{зд.р}}^{1,0} = f(C_{\text{H}} \text{ или } k_{\text{раз}}), \quad t_{\text{зд.р}}^{0,1} = f(C_{\text{H}} \text{ или } k_{\text{раз}}), \quad t_{\text{зд.р.ср}} = f(C_{\text{H}} \text{ или } k_{\text{раз}}),$$

где C_{H} – емкость нагрузки;

- *формирующие характеристики* – зависимость времени перехода элемента на его выходе из одного состояния в другое от времени перехода из одного состояния в другое входного сигнала:

$$t_{\text{ВЫХ}}^{1,0} = f(t_{\text{ВХ}}^{0,1}), \quad t_{\text{ВЫХ}}^{0,1} = f(t_{\text{ВХ}}^{1,0});$$

- *характеристика динамической помехоустойчивости (амплитудно-временная характеристика)* – зависимость амплитуды помехи от ее длительности. Эта характеристика существенно зависит от формы сигнала помехи, уровня статической помехоустойчивости и частоты переключения элемента. Сложность получения семейства характеристик динамической помехоустойчивости, как правило, не позволяет приводить их в качестве справочного материала на логические элементы.

2.4 Энергетические характеристики и параметры ЦИМС

Мощность, потребляемая микросхемой от источника питания, зависит от ее логического состояния. Микросхема потребляет ток I_{Π}^0 при $U_{\text{ВЫХ}} = U^0$ и ток I_{Π}^1 при $U_{\text{ВЫХ}} = U^1$, поэтому *мощность потребления*

в состоянии логического нуля определяется выражением $P_{\Pi}^0 = U_{\text{ИП}} I_{\Pi}^0$, а мощность потребления в состоянии логической единицы – выражением $P_{\Pi}^1 = U_{\text{ИП}} I_{\Pi}^1$.

Мощности потребления измеряются при работе логического элемента в режиме холостого хода на выходе (без подключения нагрузок).

Средняя мощность потребления определяется в предположении, что логический элемент периодически переключается со скважностью, равной двум, то есть половину периода на выходе формируется уровень логического нуля и половину периода – уровень логической единицы:

$$P_{\text{п.ср}} = \frac{P_{\Pi}^1 + P_{\Pi}^0}{2}.$$

Мощность потребления указывается в паспорте на один логический элемент или чаще на микросхему в целом.

В процессе переключения цифровых микросхем ток в цепи источника питания существенно увеличивается. Вследствие этого микросхемы потребляют дополнительную, динамическую, мощность $P_{\text{дин}}$, величина которой пропорциональна частоте переключения f_{Π} . В результате средняя мощность, потребляемая микросхемой в режиме переключения, $P = P_{\text{п.ср}} + P_{\text{дин}}$ оказывается больше, чем мощность $P_{\text{п.ср}}$ в статическом режиме. Для микросхем обычно приводят значение P при некоторой рабочей частоте, близкой к максимальной f_{max} .

При повышении $P_{\text{п.ср}}$ путем увеличения токов I_{Π}^0 , I_{Π}^1 возрастает быстродействие микросхемы вследствие ускорения процессов перезаряда этими токами паразитных емкостей. Для большинства микросхем в значительном диапазоне изменения мощности $P_{\text{п.ср.min}} < P_{\text{п.ср}} < P_{\text{п.ср.max}}$

наблюдается обратно пропорциональная зависимость $t_{\text{зд.р.ср}} \sim \frac{1}{P_{\text{п.ср}}}$.

Поэтому для характеристики цифровых микросхем используют параметр, называемый *работой переключения*: $A_{\Pi} = P_{\text{п.ср}} t_{\text{зд.р.ср}}$. Этот показатель оказывается постоянным в диапазоне изменения мощности $P_{\text{п.ср.min}} < P_{\text{п.ср}} < P_{\text{п.ср.max}}$ и характеризует качество схемотехнического проектирования и конструкторско-технологической реализации микросхемы. При увеличении мощности $P_{\text{п.ср}} > P_{\text{п.ср.max}}$ наблюдается возрастание A_{Π} , так как при этом среднее время задержки распространения

сигнала достигает минимальной величины $t_{зд.р.ср.min}$ (рисунок 2.4), определяемой физическими параметрами используемых в схеме транзисторов.

Для цифровых схем на биполярных транзисторах, работающих в режиме насыщения, величина $t_{зд.р.ср.min}$ определяется постоянной времени рассасывания избыточного заряда неосновных носителей в базе. Если транзистор работает в ненасыщенном режиме, то $t_{зд.р.ср.min}$ определяется временем пролета неосновных носителей заряда через базу и собственными постоянными времени перезаряда емкостей эмиттерного и коллекторного переходов.

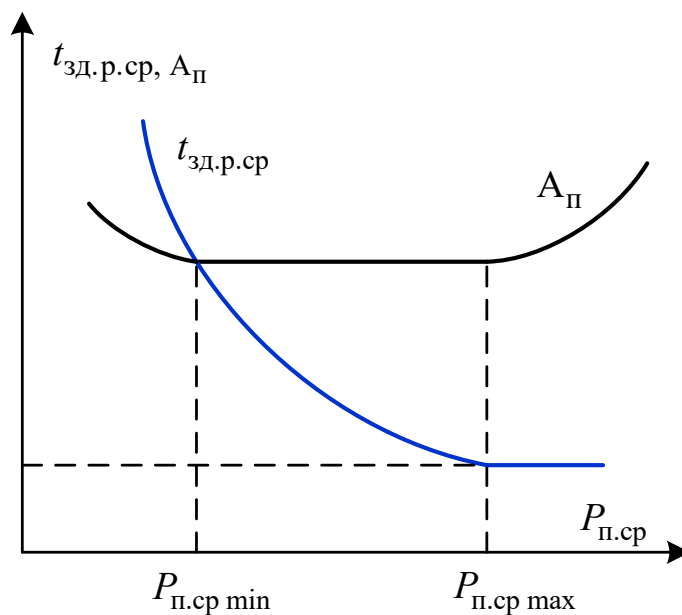


Рисунок 2.4 – Зависимость задержки и работы переключения от потребляемой мощности

Для цифровых схем на МДП-транзисторах $t_{зд.р.ср.min}$ определяется постоянной времени крутизны. При снижении мощности $P_{п.ср} < P_{п.ср.min}$ значение A_{Π} также существенно возрастает (см. рисунок 2.4). Это вызвано тем, что при малых рабочих токах и напряжениях уменьшаются коэффициент передачи тока базы биполярных транзисторов и крутизна МДП-транзисторов, как следствие, уменьшаются средние значения токов, протекающих через транзисторы в процессе переключения схем и обеспечивающих перезаряд паразитных емкостей. В результате

возрастание среднего времени задержки распространения сигнала оказывается более значительным, чем согласно соотношению $t_{зд.р.ср} \sim \frac{1}{P_{п.ср}}$.

2.5 Характеристики и параметры интегральных операционных усилителей

Стандартный набор технических характеристик ОУ включает большое число параметров. Некоторыми из них следует руководствоваться при выборе типа ОУ, в наибольшей степени подходящего для конкретного применения, а другие предназначены для использования в качестве исходных данных при проектировании.

На практике анализ ОУ в переходных и установившихся режимах, как правило, проводят независимо друг от друга, используя при этом типовые воздействия специальных видов.

Для анализа установившихся режимов широко применяют частотные характеристики, для анализа переходных режимов – временные характеристики.

Частотные характеристики отражают реакцию операционного усилителя на тестовое гармоническое воздействие в установившемся режиме. Для компактного представления частотных характеристик используется логарифмический масштаб, в котором строят логарифмические частотные характеристики – логарифмическую амплитудно-частотную характеристику (ЛАЧХ) и логарифмическую фазочастотную характеристику (ЛФЧХ). Логарифмическая амплитудно-частотная характеристика ОУ (диаграмма Боде) представлена на рисунке 2.5.

Коэффициент усиления ОУ зависит от частоты входного сигнала:

$$K_U(f) = \frac{K_U(0)}{\left(1 + j \frac{f}{f_{c1}}\right) \left(1 + j \frac{f}{f_{c2}}\right) \left(1 + j \frac{f}{f_{c3}}\right) \dots},$$

где $K_U(0)$ – коэффициент усиления ОУ без обратной связи на нулевой частоте; $f_{c1}, f_{c2}, f_{c3}, \dots$ – частоты сопряжения (точки излома частотной характеристики).

Коэффициент усиления ОУ определяется отношением приращения значения выходного напряжения операционного усилителя к вызвавшему это приращение значению входного напряжения.

Входное сопротивление – величина, равная отношению приращения входного напряжения операционного усилителя к приращению активной составляющей входного тока.

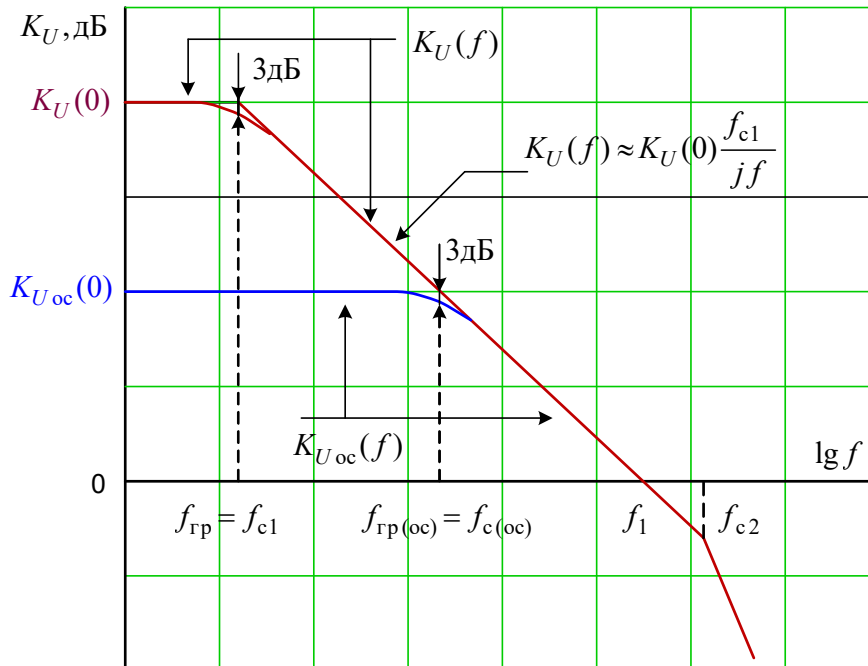


Рисунок 2.5 – Логарифмическая амплитудно-частотная характеристика ОУ (диаграмма Боде)

Выходное сопротивление – величина, равная отношению приращения выходного напряжения операционного усилителя к вызвавшей его активной составляющей выходного постоянного или синусоидального тока.

Основные статические параметры операционных усилителей отражает эквивалентная схема, представленная на рисунке 2.6.

Частота единичного усиления – частота, на которой модуль коэффициента усиления операционного усилителя равен единице.

Граничная частота $f_{гр}$ определяется частотой, на которой коэффициент усиления по напряжению усилителя без обратной связи $K(0)$ на 3 дБ меньше коэффициента усиления, измеренного на низкой частоте.

Полосой пропускания называют диапазон частот, где коэффициент усиления уменьшается не более чем на 3 дБ от своего максимального значения: $\Delta f = f_{гр} = f_{c1}$.

Временные характеристики отражают реакцию электронной схемы на типовые импульсные воздействия при переходе из одного стационарного режима в другой. В качестве типовых воздействий наибольшее применение находят единичное импульсное воздействие и единичное ступенчатое воздействие. На рисунке 2.7 представлена переходная характеристика.

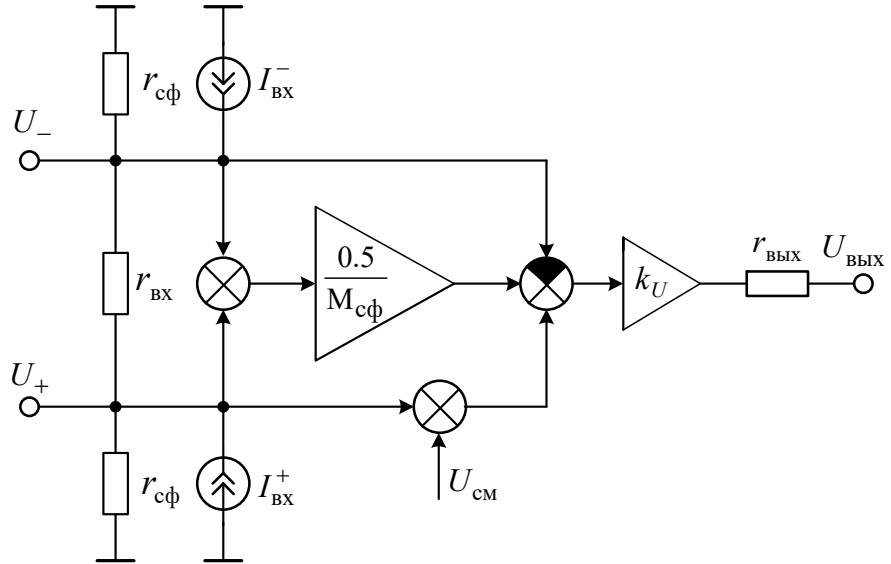


Рисунок 2.6 – Эквивалентная схема операционного усилителя

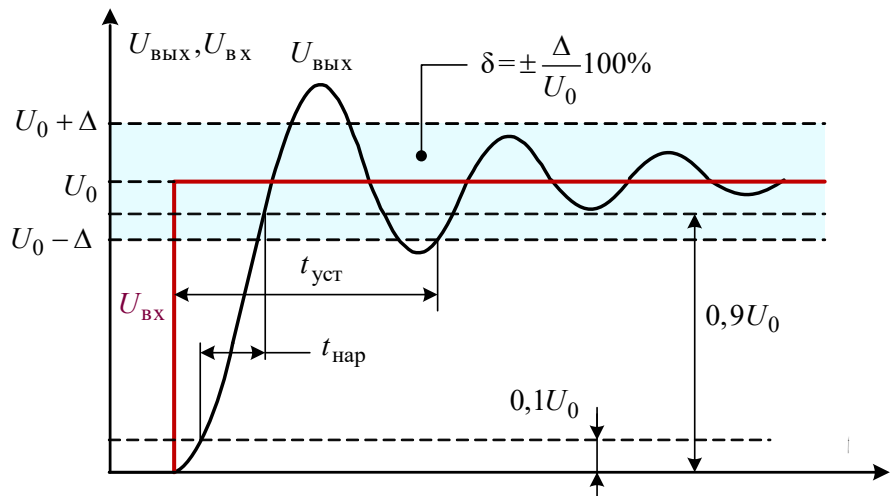


Рисунок 2.7 – Время установления, время нарастания и скорость нарастания выходного напряжения операционного усилителя (зона погрешности дана в увеличенном по отношению к сигналу масштабе)

Время установления выходного напряжения $t_{уст}$ – время с начала воздействия входного импульса напряжения прямоугольной формы до момента, с которого напряжение на выходе операционного усилителя будет отличаться от установившегося значения на значение, не превышающее заданное (см. рисунок 2.7).

Скорость нарастания выходного напряжения – скорость изменения выходного напряжения операционного усилителя при воздействии импульса максимального входного напряжения прямоугольной формы.

Скорость нарастания определяется как отношение приращения выходного напряжения к времени нарастания $t_{нар}$, за которое произошло это приращение.

Контрольные вопросы

1. Сформулируйте принцип согласования цепей и принцип схемотехнической избыточности.

2. Сформулируйте физический смысл порогового напряжения логического элемента.

3. Определите логический перепад, если значения выходных пороговых напряжений логических «1» и «0» $U_{вых.пор}^1 = 2,4 \text{ В}$, $U_{вых.пор}^0 = 0,4 \text{ В}$.

4. Определите помехозащищенность по уровню логического «0», если уровень напряжения логического нуля $U^0 = 0,4 \text{ В}$, а пороговое напряжение $U_{пор} = 2 \text{ В}$.

5. Определите среднее время задержки распространения сигнала, если время задержки распространения сигнала при включении $t_{зд.р}^{1,0} = 18 \text{ нс}$, а время задержки распространения сигнала при выключении $t_{зд.р}^{0,1} = 20 \text{ нс}$.

6. Определите средний ток, потребляемый интегральной микросхемой от источника питания, если средняя статическая мощность потребления $P_{п.ср} = 60 \text{ мВт}$, а напряжение источника питания $U_{ИП} = 5 \text{ В}$.

3 ЭЛЕМЕНТЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

3.1 Резисторы и конденсаторы

Элемент микросхемы – часть микросхемы, реализующая функцию какого-либо изделия электронной техники, которая выполнена нераздельно от кристалла и не может быть выделена как самостоятельное изделие с точки зрения требований к испытаниям, приемке, поставке и эксплуатации.

В полупроводниковых ИМС функцию резистора выполняет объем полупроводника, имеющий определенные размеры и конфигурацию. Резисторы независимо от способа их реализации характеризуются габаритами, номинальным сопротивлением, допустимым отклонением от номинального сопротивления, температурным коэффициентом сопротивления, номинальной мощностью рассеяния, предельным рабочим напряжением.

Полупроводниковые резисторы в зависимости от структуры могут быть разделены на диффузионные, выполняемые на эпитаксиальном слое, резисторы ПИНЧ-типа и резисторы, получаемые ионным легированием. Все полупроводниковые резисторы, кроме последнего из перечисленных типов, изготавливаются одновременно с активными элементами ИМС без дополнительных технологических этапов обработки. Полупроводниковые резисторы создаются на основе коллекторной, базовой или эмиттерной области транзистора. Чаще всего резисторы получают одновременно с диффузией примесей, в процессе которой создаются базовые области *n-p-n*-транзистора. В этом случае в качестве резистора используется область *p*-типа.

На рисунке 3.1 представлена структура (вид сверху и поперечное сечение) диффузионного резистора *p*-типа, полученного при базовой *n-p-n*-диффузии. Схемное применение диффузионного резистора предполагает режим обратносмещенного *p-n*-перехода.

Сопротивление диффузионного резистора определяется по формуле

$$R = \frac{\rho L}{S} = \frac{\rho L}{X_p W},$$

где ρ – среднее удельное электрическое сопротивление; L – эффективная длина резистора; S – площадь поперечного сечения диффузионного резистора; W – ширина диффузионного резистора; X_p – глубина слоя полупроводника *p*-типа.

Удельное сопротивление материала резистора определяется выражением

$$\rho = \frac{1}{\sigma} = \frac{1}{(N_D - N_A) q_e \mu_n},$$

где N_D – концентрация донорной примеси в полупроводниковом слое резистора; N_A – концентрация акцепторной примеси в полупроводниковом слое резистора; q_e – заряд электрона; μ_n – подвижность электронов.

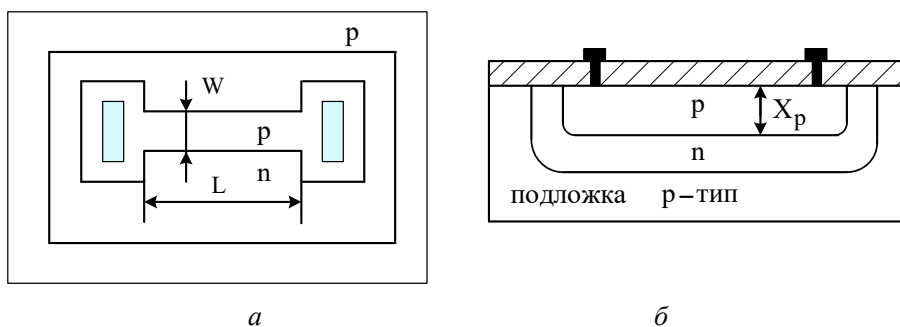


Рисунок 3.1 – Структура диффузионного резистора:
а – вид сверху; б – разрез

При расчетах сопротивления резисторов используют параметр $R_{\text{сл}} = \frac{\rho}{X_p}$ – сопротивление слоя, которое равно сопротивлению единичного квадрата со стороной a , то есть когда $L=W=a$. Единицей измерения сопротивления слоя служит ом на квадрат. Типовое значение сопротивления слоя составляет 100–400 Ом/□.

Сопротивление слоя имеет положительный температурный коэффициент сопротивления (ТКС, в англоязычной документации TCR – Temperature Coefficient of Resistance). Типовые значения температурного коэффициента сопротивления диффузионных резисторов $(0,5-3,0) \cdot 10^{-3} \text{ } ^\circ\text{C}^{-1}$, толщина p -слоя $X_p = 1,0-3,5$ мкм.

Тонкопленочные резисторы в виде тонкой проводящей пленки формируют на поверхности кремниевой пластины после создания в ней активных элементов или на диэлектрической подложке. От остальной части полупроводниковой интегральной схемы тонкопленочные резисторы изолируются слоем диоксида кремния. В качестве материалов тонкопленочных резисторов используются металлы, полупроводники и керметы –

соединения металлов с керамикой. Выбор материала связан с требованиями технологии, обеспечением необходимого номинального сопротивления резистора, температурного коэффициента сопротивления, допустимой мощности и т. п.

В интегральных микросхемах формируются *конденсаторы* трех типов. В конденсаторах первого типа используется барьерная емкость обратносмещенного *p-n*-перехода, в конденсаторах второго типа – трехслойная структура металл-диоксид кремния-полупроводник (МДП-структура), в конденсаторах третьего типа – трехслойная тонкопленочная структура металл-диэлектрик-металл (МДМ-структура).

Емкость конденсатора определяется по формуле

$$C = \frac{\varepsilon_0 \varepsilon S}{w},$$

где ε_0 – электрическая постоянная; ε – относительная диэлектрическая проницаемость полупроводника; S – площадь пластин полупроводника; w – толщина обедненного слоя полупроводника.

Толщина обедненного слоя вычисляется по формуле

$$w = \left[\frac{2\varepsilon_0 \varepsilon U}{q_e (N_D - N_A)} \right]^{\frac{1}{2}}.$$

В полупроводниковых интегральных схемах применяются первые два типа конденсаторов, причем конденсаторы второго типа наиболее широко, так как МДП-структура совместима с обычными технологическими процессами и не требует многочисленных металлизированных слоев.

3.2 Диоды

Диоды с *p-n*-переходом. Существует ряд диодных структур, совместимых с *n-p-n*-структурами. Это означает, что для изготовления таких диодов не требуется никаких дополнительных технологических операций, помимо тех, которые используют в технологии *n-p-n*-транзисторов. На рисунке 3.2 показано пять типичных схем, позволяющих получить диоды из транзисторов типа *n-p-n*.

Выбор той или иной модели в каждой ситуации *зависит от требований к прямому напряжению на диоде при заданном прямом токе, обратному току при заданном обратном напряжении, напряжению пробоя*

и времени восстановления обратного сопротивления. Рассмотрим зависимость этих параметров от схемы включения транзистора.

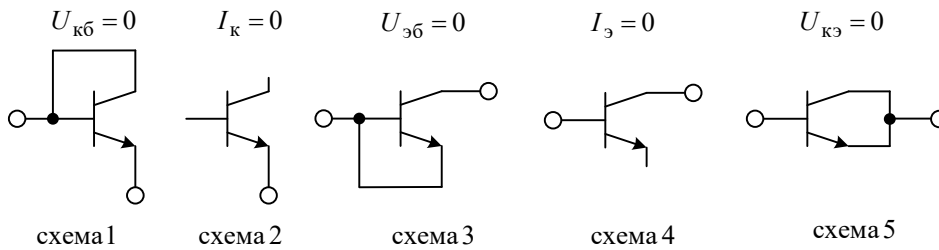


Рисунок 3.2 – Типичные схемы, позволяющие получать диоды из транзисторов типа *n-p-n*

Прямое напряжение на диоде определяется по формуле

$$U_{пр} = \varphi_T \ln \left(\frac{I_{пр}}{I_0} + 1 \right) + I_{пр} r'_б = U_{пер} + U_r, \quad (3.1)$$

где $I_{пр}$ – прямой ток; I_0 – тепловой обратный ток; $r'_б$ – объемное сопротивление базы.

В уравнении (3.1) первое слагаемое определяет падение напряжения на *p-n*-переходе, а второе – на базовой области. Для транзисторной структуры в диодном включении $U_{пер}$ – напряжение на том переходе (или на обоих переходах в схеме 5 на рисунке 3.2), который используется в данной схеме. Сопротивление $r'_б$ также зависит от схемы включения. Это может быть либо сопротивление базы, либо сопротивление коллектора, либо их сумма. Сопротивление эмиттерной области пренебрежимо мало из-за высокой концентрации примесей в ней. При малых прямых токах второе слагаемое можно не учитывать. Например, если $r'_б = 200 \text{ Ом}$, а $U_{пер} = 0,6 \text{ В}$, то область малых токов соответствует условию $I_{пр} \ll 3 \text{ мА}$. Тогда $I_{пр} r'_б = 3 \cdot 10^{-3} \cdot 200 = 0,6 \text{ В}$.

В области малых токов прямые ветви вольт-амперной характеристики (ВАХ) диодов удобнее сравнивать по величине прямого тока $I_{пр}$ при прямом напряжении $U_{пр}$, одинаковом для всех схем. Для определения значения прямого тока нужно выяснить, через какой *p-n*-переход (или переходы) этот ток протекает и из каких составляющих складывается.

Воспользуемся нелинейной инжекционной моделью Эберса – Молла дискретного биполярного транзистора (рисунок 3.3). Диоды VD1 и VD2 модели отражают переходы база-эмиттер и база-коллектор. Ток I_1 – ток, протекающий через переход база-эмиттер при заданном напряжении $U_{эб}$ и закороченном переходе база-коллектор, то есть при напряжении $U_{кб}=0$. Ток I_2 – ток, протекающий через переход база-коллектор при заданном напряжении $U_{кб}$ и закороченном переходе база-эмиттер, то есть при напряжении $U_{эб}=0$. Связь переходов через область базы показана с помощью источников тока, управляемых током, – источников $\alpha_N I_1$ и $\alpha_I I_2$, где α_N – интегральный коэффициент передачи тока эмиттера в коллектор для большого сигнала в схеме с общей базой при нормальном включении транзистора; α_I – интегральный коэффициент передачи тока коллектора в эмиттер для большого сигнала в схеме с общей базой при инверсном включении транзистора. Протекают ли через данный $p-n$ -переход оба указанных тока или только один, зависит от режима работы транзистора, то есть от схемы включения. На эквивалентной схеме указаны также внешние токи транзистора $I_э, I_б$ и $I_к$ – токи эмиттера, базы и коллектора. Резисторы $r'_б$ и $r'_к$ учитывают сопротивления базы и коллектора.

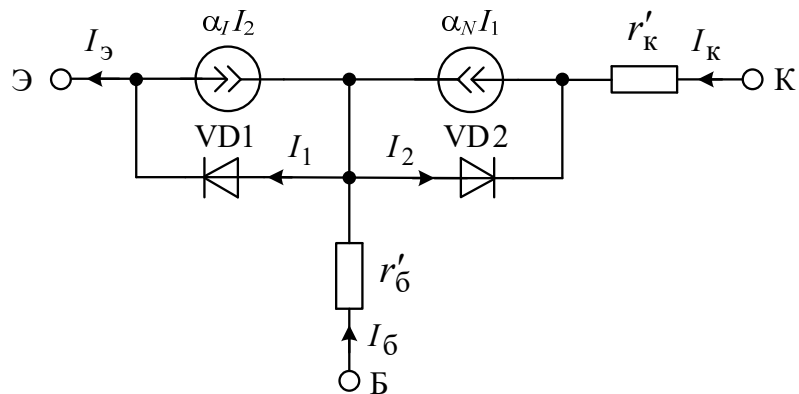


Рисунок 3.3 – Эквивалентная схема биполярного транзистора по модели Эберса – Молла

В схеме 1 (см. рисунок 3.2) напряжение $U_{кб}=0$ и $I_2=0$, транзистор работает в активном режиме, так что

$$I_{\text{пр}} = I_3 = I_1 = I_{30} \left[\exp\left(\frac{U_{\text{пр}}}{\Phi_T} - 1\right) \right], \quad (3.2)$$

где I_{30} – тепловой обратный ток эмиттерного p - n -перехода.

В схеме 2 (см. рисунок 3.2) ток коллектора $I_K = 0$, транзистор работает в режиме насыщения. Тогда

$$I_2 = \alpha_N I_1,$$

$$I_{\text{пр}2} = I_1 - \alpha_I I_2 = I_1 (1 - \alpha_N \alpha_I) = I_{30} (1 - \alpha_N \alpha_I) \left[\exp\left(\frac{U_{\text{пр}}}{\Phi_T} - 1\right) \right].$$

Следовательно, $I_{\text{пр}2} < I_{\text{пр}1}$.

В схеме 3 (см. рисунок 3.2) $U_{36} = 0$, $I_1 = 0$, транзистор работает в инверсном режиме,

$$I_{\text{пр}3} = I_2 = I_{K0} \left[\exp\left(\frac{U_{\text{пр}}}{\Phi_T} - 1\right) \right],$$

где I_{K0} – тепловой обратный ток коллекторного p - n -перехода.

Ток I_{K0} значительно больше тока I_{30} , так как концентрация доноров в коллекторе меньше концентрации акцепторов в базе, следовательно, концентрация дырок (неосновных носителей) в коллекторе, определяющая значение тока I_{K0} , выше, чем концентрация электронов в базе. Кроме того, площадь коллекторного перехода значительно больше, чем эмиттерного. Следовательно, $I_{\text{пр}3} \gg I_{\text{пр}1}$.

В схеме 4 (см. рисунок 3.2) ток $I_3 = 0$, транзистор работает в режиме насыщения, а

$$I_{\text{пр}4} = I_2 - \alpha_N I_1 = (1 - \alpha_N \alpha_I) I_{K0} \left[\exp\left(\frac{U_{\text{пр}}}{\Phi_T} - 1\right) \right],$$

то есть $I_{\text{пр}1} < I_{\text{пр}4} < I_{\text{пр}3}$, так как $(1 - \alpha_N \alpha_I) I_{K0} > I_{30}$.

В схеме 5 ($U_{K3} = 0$) на обоих p - n -переходах действует одинаковое прямое напряжение, а так как $I_{K0} \gg I_{30}$, то $I_2 \gg I_1$. Поэтому $I_{\text{пр}5} \approx (1 - \alpha_I) I_2 \leq I_{\text{пр}4}$.

Таким образом, $I_{\text{пр}3} > I_{\text{пр}4} \geq I_{\text{пр}5} \gg I_{\text{пр}1} > I_{\text{пр}2}$, то есть в области малых токов при одинаковом прямом напряжении наибольший прямой ток в схеме 3, а наименьший – в схеме 2.

В области больших токов прямые ветви ВАХ диодов удобнее сравнивать по величине прямого напряжения $U_{\text{пр}}$ при одинаковом значении прямого тока $I_{\text{пр}}$. В области больших токов основное отличие прямых ветвей ВАХ для пяти схем диодного включения транзистора обусловлено вторым слагаемым в формуле (3.1). В первом приближении достаточно учитывать только различие величин $U_r = I_{\text{пр}} r'_6$.

В схеме 1 (см. рисунок 3.2) напряжение $U_{\text{кб}} = 0$, поэтому через резистор r'_6 течет лишь малая часть прямого тока $I_{\text{пр}}$, равная $(1 - \alpha_N) I_{\text{пр}}$, а через резистор $r'_\text{к}$ – остальная часть, равная $\alpha_N I_{\text{пр}}$. Если $r'_6(1 - \alpha_N) > r'_\text{к}$, то $U_{r1} \approx (1 - \alpha_N) I_{\text{пр}} r'_6$. Если $r'_\text{к} > (1 - \alpha_N) r'_6$, то $U_{r1} \approx \alpha_N I_{\text{пр}} r'_\text{к}$. Обе величины малы, то есть $U_{r1} \ll U_{\text{пер}1}$.

В схемах 2 ($I_\text{к} = 0$) и 5 ($U_{\text{кэ}} = 0$) весь прямой ток протекает через резистор r'_6 , так что $U_{r2} = U_{r5} = I_{\text{пр}} r'_6$.

В схеме 3 ($U_{\text{эб}} = 0$) через резистор r'_6 течет ток $(1 - \alpha_I) I_{\text{пр}}$, а через резистор $r'_\text{к}$ – весь прямой ток, то есть $U_{r3} = [(1 - \alpha_I) r'_6 + r'_\text{к}] I_{\text{пр}}$.

В схеме 4 ток $I_\text{э} = 0$, значит, $U_{r4} = (r'_6 + r'_\text{к}) I_{\text{пр}}$.

Таким образом, $U_{r4} > U_{r3} > U_{r5} = U_{r2} > U_{r1}$, то есть в области больших токов диод по схеме 4 имеет наибольшее, а по схеме 1 – наименьшее прямое напряжение.

Обратный ток кремниевых p - n -переходов определяется током термогенерации

$$I_\Gamma = \frac{q_e S L_{\text{об}}(U) n_i}{\tau},$$

где q_e – заряд электрона; S – площадь p - n -перехода; $L_{\text{об}}(U)$ – толщина обедненного слоя; $S L_{\text{об}}(U) n_i$ – объем обедненного слоя; $\frac{S L_{\text{об}}(U) n_i}{\tau}$ – число носителей, генерируемых в обедненном слое в единицу времени;

τ – время жизни носителей заряда в p - n -переходе; $\frac{n_i}{\tau}$ отражает скорость генерации носителей заряда в единице объема p - n -перехода.

Поскольку концентрация примесей в коллекторе (эпитаксиальном слое) ниже, чем в базе вблизи эмиттерного перехода, толщина обедненного слоя коллекторного p - n -перехода больше, чем эмиттерного. Кроме того, площадь коллекторного перехода S_K больше площади эмиттерного перехода S_ε ($S_K > S_\varepsilon$). Следовательно, при одинаковом обратном напряжении ток генерации $I_{Г.К}$ коллекторного p - n -перехода значительно больше тока генерации $I_{Г.Э}$ эмиттерного p - n -перехода. Отсюда следует соотношение для обратных токов $I_{обр}$ различных схем диодного включения транзистора

$$I_{обр1} = I_{обр2} = I_{Г.Э} \ll I_{обр3} = I_{обр4} = I_{Г.Э} < I_{обр5} = I_{Г.К} + I_{Г.Э}.$$

Таким образом, *наименьший обратный ток характерен для схем 1 и 2, а наибольший – для схемы 5* (см. рисунок 3.2).

Напряжение пробоя $U_{\varepsilon.проб}$ эмиттерного p - n -перехода мало вследствие высокой концентрации примесей, а также малой толщины обедненного слоя и составляет 5–7 В. Для эмиттерного p - n -перехода характерен туннельный механизм пробоя. Поскольку концентрация примесей в коллекторной области ниже, то напряжение пробоя $U_{К.проб}$ выше и для интегральных диодов составляет 30–50 В. В коллекторном p - n -переходе наблюдается лавинный механизм пробоя. Следовательно,

$$U_{проб1} = U_{проб2} = U_{проб5} = U_{\varepsilon.проб} < U_{проб3} = U_{проб4} = U_{К.проб}.$$

Время восстановления высокого обратного сопротивления – важнейший параметр, характеризующий быстродействие диода. В течение этого времени происходит выключение диода, то есть восстанавливается высокое сопротивление после изменения напряжения на диоде с прямого на обратное. Время восстановления обратного сопротивления зависит от величины заряда неосновных носителей, накопленных в областях транзистора (в областях базы и коллектора) при протекании прямого тока, а также от постоянных времени, характеризующих рассасывание этих носителей. Кроме того, на время восстановления высокого обратного сопротивления оказывает влияние барьерная емкость p - n -перехода.

При заданном прямом токе величина заряда неосновных носителей зависит от режима работы транзистора. Среди пяти схем диодного включения транзистора (см. рисунок 3.2) только в схеме 1 коллекторный переход не смещен в прямом направлении, транзистор работает в нормальном активном режиме, а неосновные носители заряда (электроны) накапливаются только в базовой, преимущественно активной, области. В схемах 2, 3, 4 и 5 коллекторный переход смещен в прямом направлении и через него из базы в коллектор инжектируются дырки, а из коллектора в базу – электроны. Так, например, в схеме 2 ($I_k = 0$) транзистор работает в режиме насыщения.

Таким образом, можно заключить, что для схемы 1 ($U_{кб} = 0$) время восстановления обратного сопротивления должно быть наименьшим, а также в силу того, что в этой схеме емкость диода определяется только барьерной емкостью эмиттерного $p-n$ -перехода. Поэтому диодное включение транзистора по схеме 1 используется в быстродействующих цифровых микросхемах. *Наибольшее время восстановления обратного сопротивления у диода по схеме 5 ($U_{кэ} = 0$)*, в которой напряжение прямого смещения обоих переходов имеет наибольшее значение, а следовательно, накапливаемый в коллекторе и базе заряд неосновных носителей максимален. Кроме того, емкость диода по схеме 5 максимальна и равна сумме емкостей коллекторного и эмиттерного $p-n$ -переходов.

Диоды с барьером Шоттки. Кроме диодных структур, совместимых с $n-p-n$ -структурами, в полупроводниковых ИМС широкое применение находят диоды Шоттки. Существенным достоинством диода Шоттки является прежде всего то, что для его изготовления не требуется дополнительных этапов, не входящих в технологический цикл производства ИМС. Кроме того, с помощью диодов Шоттки удастся повысить скорость нестационарных процессов в переключаемых транзисторах ИМС и снизить рассеиваемую мощность.

Как известно, в обычном $p-n$ -переходе, смещенном в прямом направлении, протекание тока обусловлено инжекцией неосновных носителей из одной области в другую. При этом вблизи от $p-n$ -перехода образуется избыток неосновных носителей заряда. Если полярность напряжения изменяется, то эти носители протекают через $p-n$ -переход в обратном направлении. Следовательно, через $p-n$ -переход будет протекать большой обратный ток, пока избыточная концентрация неосновных носителей заряда не снизится до нуля. Это означает, что *$p-n$ -переход не может быть*

мгновенно заперт. В диодах с барьером Шоттки отсутствует накопление зарядов, так как принцип их действия основан на свойствах контакта кремния n -типа с металлом. Весь прямой ток, протекающий через такой контакт, создается электронами, перемещающимися из полупроводника n -типа в металл, которые быстро приходят в равновесие с другими электронами в металле. Этим объясняется отсутствие в диодах Шоттки сколько-нибудь значимого накопления заряда, мешающего быстрому выключению перехода. *Быстродействие диодов Шоттки определяется в основном временем перезаряда барьерной емкости*, которая зависит от ширины области объемного заряда и не связана с накоплением заряда. Время выключения диодов Шоттки не превышает $0,1 \cdot 10^{-9}$ с.

Другая особенность диодов Шоттки, отличающая их от обычного p - n -перехода, заключается в том, что напряжение их отпираания меньше, чем у обычных диодов, имеющих ту же площадь, и может регулироваться подбором типа металла, образующего контакт с полупроводником. Напряжение на диодах Шоттки в открытом состоянии $U_{пр} = 0,35-0,45$ В при величине прямого тока $I_{пр} = 1$ мА, что примерно вдвое меньше падения напряжения на p - n -переходе.

Диоды Шоттки можно изготовить, нанося алюминиевый слой на кремний n -типа. Однако при этом трудно обеспечить достаточную воспроизводимость параметров. Лучшие диоды Шоттки получают, применяя Pt-Ni-сплавы.

3.3 Многоэмиттерный транзистор

Многоэмиттерные n - p - n -транзисторы (МЭТ) отличаются от одноэмиттерных прежде всего тем, что в их базовой области p -типа создается несколько (обычно 4–8) эмиттерных областей n^+ -типа. Эти транзисторы используют в интегральных схемах вместе с одноэмиттерными. Поэтому МЭТ изготавливают с помощью тех же технологических процессов, что и одноэмиттерные, а структура МЭТ содержит те же полупроводниковые слои и изолирующие области.

Основная область применения МЭТ – цифровые интегральные схемы транзисторно-транзисторной логики (ТТЛ). В этих интегральных схемах многоэмиттерные транзисторы включаются на входе и выполняют функцию диодной сборки (рисунок 3.4,*a*), состоящей из $k_{об} + 1$ диодов, где $k_{об}$ – число эмиттеров (входов схемы ТТЛ). Многоэмиттерный транзистор можно представить в виде совокупности отдельных

n - p - n -транзисторов, число которых равно числу эмиттеров (рисунок 3.4,б). Все базовые выводы этих транзисторов, как и коллекторные, соединены между собой.

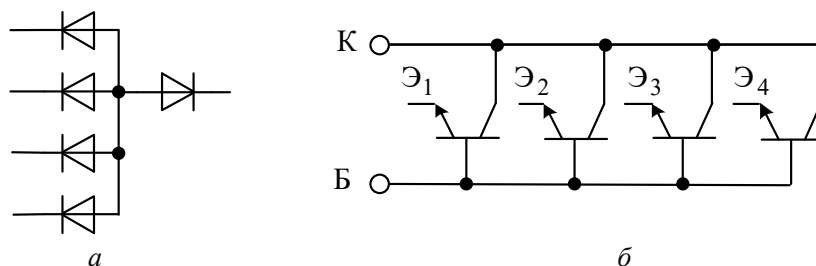


Рисунок 3.4 – Диодная сборка (а) и эквивалентная схема (б) многоэмиттерного транзистора

Рассмотрим в составе МЭТ транзистор \mathcal{E}_i -Б-К, где \mathcal{E}_i – любой из $k_{об}$ эмиттеров МЭТ. В составе элемента ТТЛ-типа этот транзистор может работать либо в инверсном активном режиме (рисунок 3.5), либо в режиме насыщения (рисунок 3.6). В обоих режимах работы транзистора \mathcal{E}_i -Б-К коллекторный переход смещен в прямом направлении. В режиме насыщения весь коллекторный переход МЭТ смещается равномерно и из коллектора происходит инжекция электронов в базы всех транзисторных структур, в том числе и тех, эмиттерные переходы которых смещены в обратном направлении.

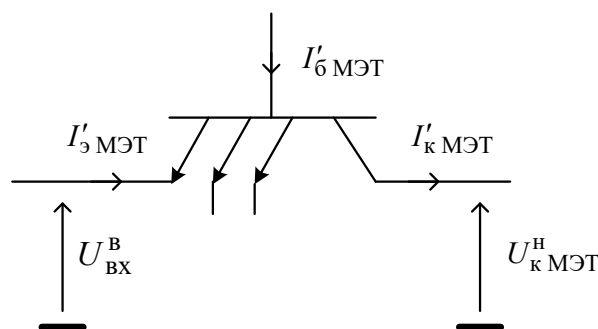


Рисунок 3.5 – Инверсный активный режим транзистора \mathcal{E}_i -Б-К в структуре многоэмиттерного транзистора

Запишем основные соотношения для многоэмиттерного транзистора. На рисунке 3.5 показан транзистор \mathcal{E}_i -Б-К в инверсном активном режиме, где $U_{вх}^B$ – произвольное высокое напряжение на i -эмиттере,

сдвигающее переход Э_i-Б в обратном направлении; $U_{кМЭТ}^H$ – произвольное низкое напряжение на коллекторе МЭТ, сдвигающее переход Б-К в прямом направлении. Для инверсного активного режима транзистора Э_i-Б-К в структуре многоэмиттерного транзистора справедливы соотношения

$$I'_{эМЭТ} = \beta'_I I'_{бМЭТ}; \quad (3.3)$$

$$I'_{кМЭТ} = I'_{бМЭТ} + I'_{эМЭТ} = I'_{бМЭТ} (1 + \beta'_I), \quad (3.4)$$

где $\beta'_I = \frac{I'_{эМЭТ}}{I'_{бМЭТ}}$ – инверсный коэффициент передачи тока базы для одного эмиттера, когда все остальные эмиттеры отключены.

Если на всех эмиттерах действует напряжение $U_{вх}^B$ (рисунок 3.7), то для каждого эмиттера справедливо соотношение (3.3), причем напряжения $U_{вх}^B$ могут подаваться как от одного, так и от разных источников. Тогда

$$I'_{кМЭТ} = I'_{бМЭТ} + k_{об} I'_{эМЭТ} = I'_{бМЭТ} (1 + \beta'_I k_{об}). \quad (3.5)$$

При инверсном включении многоэмиттерного транзистора, когда эмиттеры подключены к одному источнику $U_{вх}^B$, для входного тока многоэмиттерного транзистора справедливо соотношение

$$I'_{вх} = k_{об} I'_{эМЭТ} = k_{об} \beta'_I I'_{бМЭТ}. \quad (3.6)$$

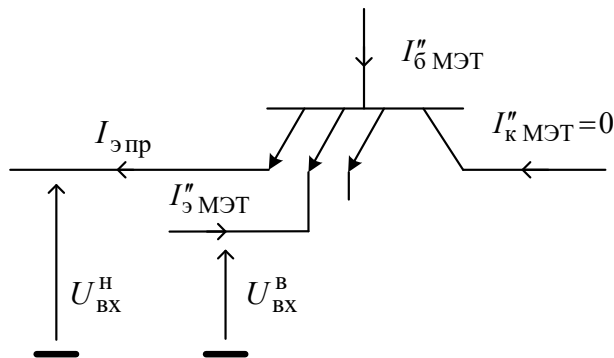


Рисунок 3.6 – Режим насыщения транзистора Э_i-Б-К в структуре многоэмиттерного транзистора

В режиме насыщения транзистора \mathcal{E}_i -Б-К в структуре МЭТ (см. рисунок 3.6) произвольное низкое напряжение $U_{\text{ВХ}}^{\text{H}}$ на i -эмиттере смещает переход \mathcal{E}_i -Б в прямом направлении. Для тока эмиттера транзистора \mathcal{E}_i -Б-К в структуре МЭТ справедливо соотношение

$$I_{\mathcal{E}_i \text{ МЭТ}}'' = \beta_I'' I_{\mathcal{E}_i \text{ МЭТ}}'', \quad (3.7)$$

где $\beta_I'' = \frac{I_{\mathcal{E}_i \text{ МЭТ}}''}{I_{\mathcal{E}_i \text{ МЭТ}}'}$ – инверсный коэффициент передачи тока базы для одного эмиттера (при одном прямосмещенном эмиттере), когда все остальные эмиттеры отключены.

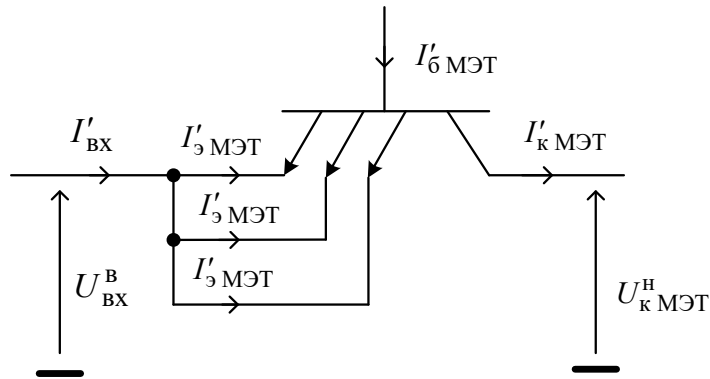


Рисунок 3.7 – Инверсное включение многоэмиттерного транзистора

Для многоэмиттерного транзистора, когда транзистор \mathcal{E}_i -Б-К в структуре МЭТ находится в режиме насыщения, для тока прямосмещенного перехода \mathcal{E}_i -Б МЭТ справедливо уравнение

$$I_{\mathcal{E}_i \text{ пр}} = I_{\mathcal{E}_i \text{ МЭТ}}'' + I_{\mathcal{E}_i \text{ МЭТ}}' = I_{\mathcal{E}_i \text{ МЭТ}}'' (1 + \beta_I''). \quad (3.8)$$

Если на $k_{\text{об}} - 1$ эмиттерах МЭТ действует высокое напряжение $U_{\text{ВХ}}^{\text{B}}$ (рисунок 3.8), то для каждого из $k_{\text{об}} - 1$ эмиттеров справедливо уравнение (3.7), а также уравнение для тока

$$I_{\mathcal{E}_i \text{ пр}} = I_{\mathcal{E}_i \text{ МЭТ}}'' + (k_{\text{об}} - 1) I_{\mathcal{E}_i \text{ МЭТ}}'' = I_{\mathcal{E}_i \text{ МЭТ}}'' [1 + \beta_I'' (k_{\text{об}} - 1)]. \quad (3.9)$$

Если все $k_{об} - 1$ эмиттеров подключены к одному источнику с уровнем напряжения $U_{вх}^B$, то входной ток $I_{вх}''$ (см. рисунок 3.8) определяется уравнением

$$I_{вх}'' = (k_{об} - 1) I_{эМЭТ}'' \quad (3.10)$$

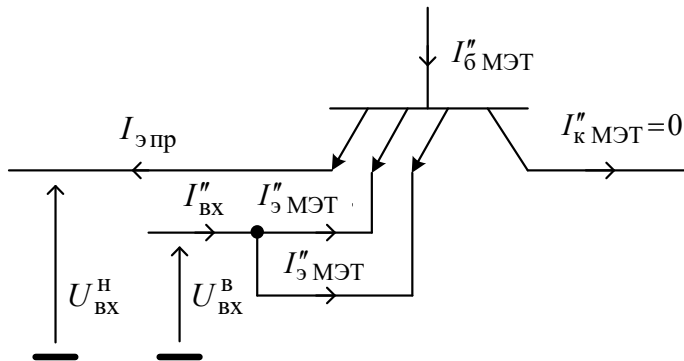


Рисунок 3.8 – Режим нормального включения многоэмиттерного транзистора

3.4 Составные транзисторы

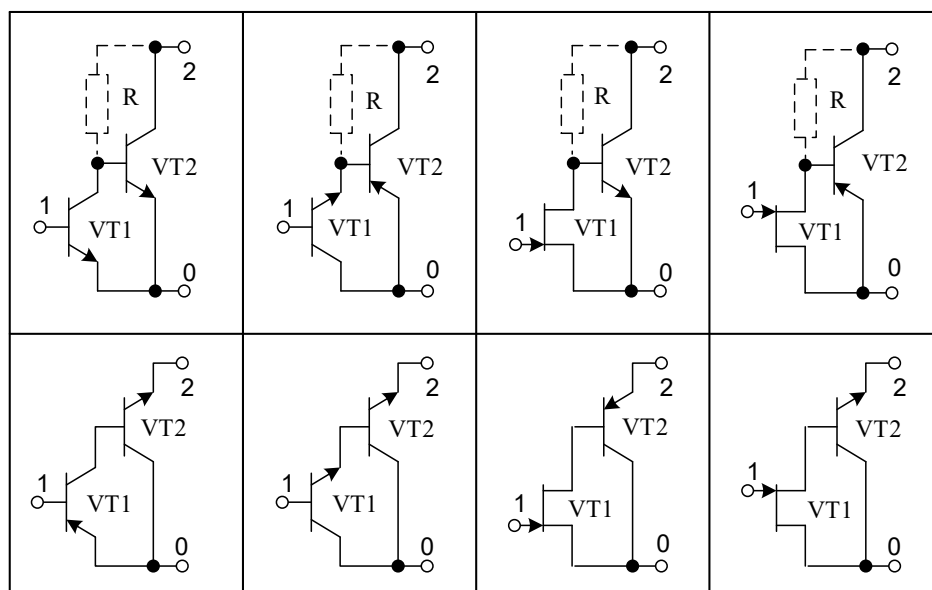
Составной транзистор представляет собой сочетание двух или нескольких транзисторов, соединённых таким способом, что образуется активный компонент с новыми параметрами и характеристиками.

В интегральных микросхемах формируются составные транзисторы в основном из двух транзисторов. По современным технологическим методам можно изготавливать в одной изолированной области два $n-p-n$ -транзистора, когда они имеют общий коллектор, два или несколько $n-p-n$ -транзисторов, когда общим является эмиттер, $n-p-n$ -транзистор с вертикальной инжекцией носителей (горизонтальная транзисторная структура) и $p-n-p$ -транзистор с горизонтальной инжекцией носителей (вертикальная транзисторная структура), $n-p-n$ - и $p-n-p$ -транзисторы (оба с вертикальной инжекцией носителей), когда последний реализуется на подложке. Однако составные интегральные транзисторы не обязательно должны создаваться в одной изолированной области, они могут формироваться в разных изолированных областях, а соединяться в составной транзистор с помощью межэлементных соединений (металлизаций), которые представляют собой алюминиевые дорожки на кристалле.

Сочетание двух биполярных транзисторов одного или разного типов проводимости, а также биполярного и полевого транзисторов, наконец, двух полевых транзисторов с одинаковыми и противоположными проводимостями каналов позволяет получить схемы составных транзисторов. Для примера в таблице 3.1 представлены схемы составных транзисторов.

В этих схемах используются известные схемы нормального включения транзисторов (ОИ, ОС, ОЗ для полевых и ОЭ, ОК, ОБ для биполярных). Если учитывать инверсное включение транзисторов, а также противоположные типы проводимости транзисторов, составных транзисторных схем может быть получено гораздо больше.

Таблица 3.1 – Схемы составных транзисторов



Составной *n-p-n*-транзистор. Среди составных транзисторов наибольшее распространение имеет так называемая *пара Дарлингтона* (рисунок 3.9).

При анализе схемы пару Дарлингтона можно рассматривать как один *n-p-n*-транзистор. Допустив, что коэффициенты усиления по постоянному току равны коэффициентам усиления по переменному току для малого сигнала и обозначив через I_0 ток покоя эмиттера эквивалентного транзистора, получим

$$I_{\varepsilon 1} = \frac{I_{\varepsilon}}{1 + \beta_2}, \quad I_{\varepsilon 2} = I_{\varepsilon}, \quad (3.11)$$

где $I_{\varepsilon 1}$, $I_{\varepsilon 2}$ – эмиттерные токи покоя транзисторов VT1 и VT2 соответственно.

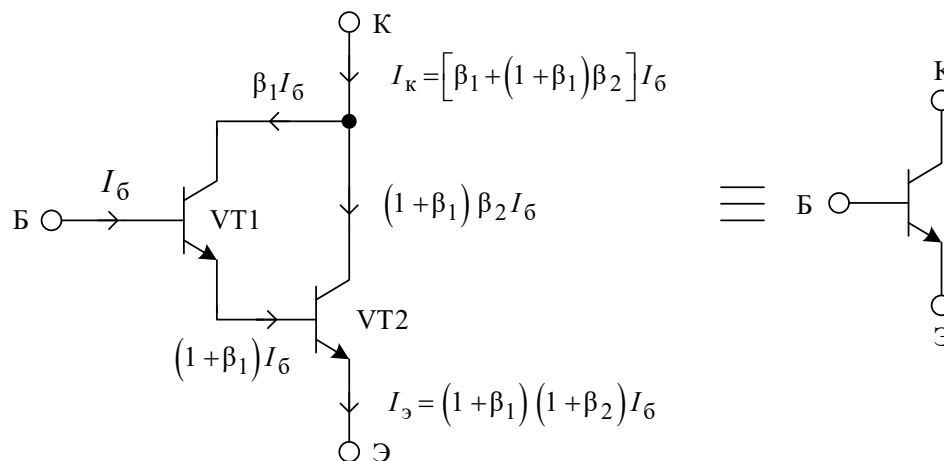


Рисунок 3.9 – Схема пары Дарлингтона

Результирующий коэффициент усиления по току пары Дарлингтона в режиме короткого замыкания приблизительно равен произведению коэффициентов усиления отдельных транзисторов:

$$\beta = \beta_1 + (1 + \beta_1)\beta_2 \approx \beta_1 \beta_2. \quad (3.12)$$

Составной $p-n-p$ -транзистор. В некоторых аналоговых и цифровых интегральных схемах необходимо одновременно иметь биполярные транзисторы двух типов – $n-p-n$ -типа и $p-n-p$ -типа. Поскольку коэффициент передачи β интегрального транзистора типа $p-n-p$ близок к единице, его часто используют в комбинации с транзистором типа $n-p-n$, который позволяет повысить коэффициент передачи такого составного транзистора. На рисунке 3.10 представлена схема составного транзистора. Относительно внешних зажимов такой составной прибор имеет характеристики $p-n-p$ -транзистора.

Коэффициент передачи тока базы составного транзистора определяется выражением

$$\beta_{\text{сост. транзистора}} = \frac{I_{\text{к}}}{I_{\text{б}}} = (1 + \beta_{n-p-n})\beta_{p-n-p} \approx \beta_{n-p-n}\beta_{p-n-p}. \quad (3.13)$$

Составной $p-n-p$ -транзистор интегральных схем имеет более высокий коэффициент передачи, чем $p-n-p$ -транзистор, его площадь больше из-за необходимости размещать рядом $n-p-n$ -транзистор.

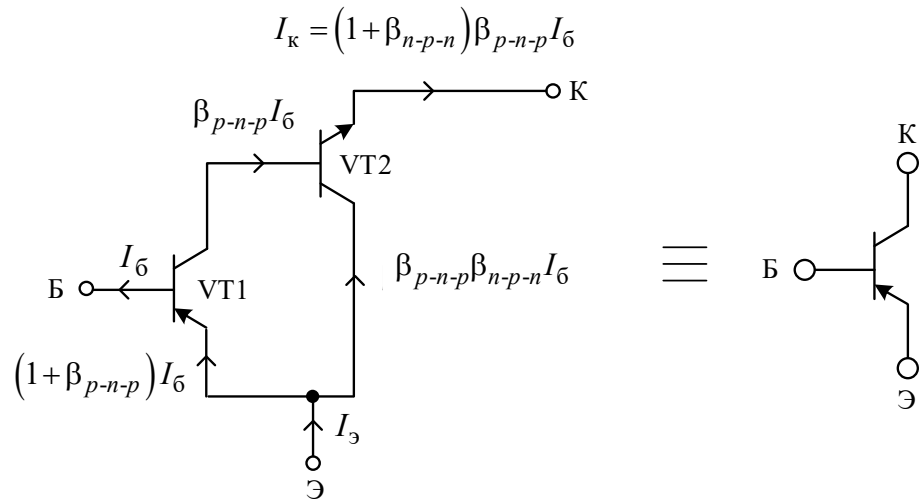
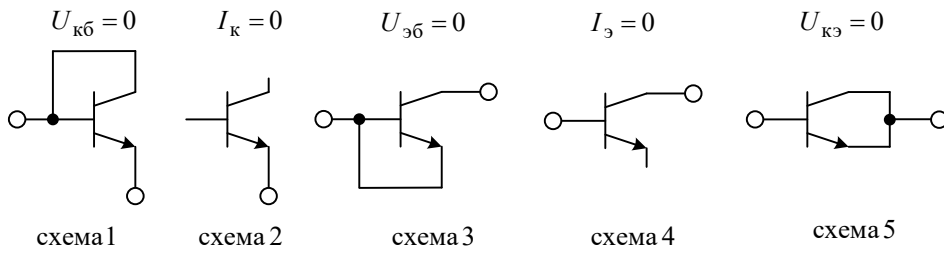


Рисунок 3.10 – Схема составного $p-n-p$ -транзистора

Частотные параметры составного $p-n-p$ -транзистора хуже частотных параметров $p-n-p$ -транзистора, а выходная проводимость выше.

Контрольные вопросы

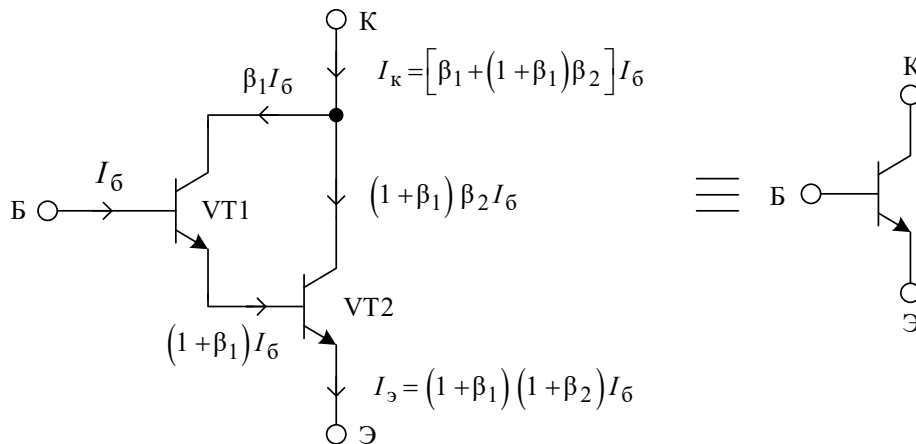
1. Дайте определение элементам интегральных микросхем.
2. Какие структуры используются в качестве конденсаторных?
3. Определите сопротивление слоя диффузионного резистора. Диффузионный резистор представляет собой кремниевую пластину толщиной 0,00254 см, равномерно легированную фосфором с концентрацией 10^{17} см^{-3} и бором с концентрацией $5 \cdot 10^{16} \text{ см}^{-3}$, подвижность электронов $\mu_n = 1300 \frac{\text{см}^2}{\text{В} \cdot \text{с}}$.
4. Представлены типичные схемы, позволяющие получать диоды из транзисторов типа $n-p-n$.



Укажите схему, которая при больших токах имеет наименьшее прямое напряжение. Укажите схему, для которой время восстановления обратного сопротивления наибольшее.

5. Назовите основную область применения многоэмиттерного транзистора.

6. Представлена схема составного $n-p-n$ -транзистора. Какое из приведенных уравнений определяет ток коллектора этого транзистора?



а) $I_k = (1 + \beta_1)(1 + \beta_2) I_б$; б) $I_k = (1 + \beta_1)\beta_2 I_б$;

в) $I_k = [\beta_1 + (1 + \beta_1)\beta_2] I_б$; г) $I_k = (1 + \beta_1) I_б$.

7. Известно, что быстродействие интегрального составного $p-n-p$ -транзистора определяется быстродействием $p-n-p$ -транзистора. Дайте объяснение этому утверждению.

8. Определите токи коллектора и эмиттера составного $p-n-p$ -транзистора, если ток базы $I_б = 1$ мкА, $\beta_{p-n-p} = 30$, $\beta_{n-p-n} = 50$.

4 ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

4.1 Элементарный диодный ключ

Схема элементарного диодного ключа с положительным напряжением питания представлена на рисунке 4.1,а. По информационным свойствам он является ключом-повторителем и может работать как с потенциальными сигналами, так и с импульсными.

Эквивалентная расчетная схема ключа, полученная на основе теоремы об эквивалентном генераторе, представлена на рисунке 4.1,б, причем

$$E' = E \frac{R_H}{R + R_H}, \quad R' = \frac{RR_H}{R + R_H}. \quad (4.1)$$

При работе с потенциальными сигналами входной управляющий сигнал принимает значение одного из двух уровней – низкого $U_{ВХ}^H$ или высокого $U_{ВХ}^B$.

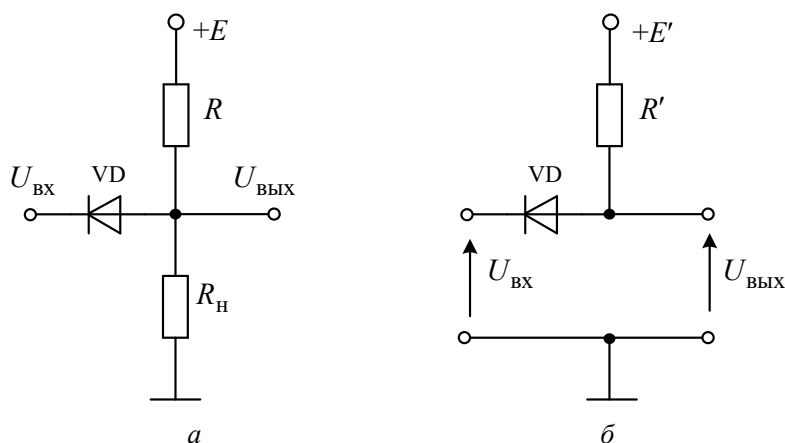


Рисунок 4.1 – Схема элементарного диодного ключа с положительным напряжением питания

Для обеспечения работоспособности схемы низкий уровень входного напряжения должен удовлетворять условию

$$U_{ВХ}^H < E'.$$

В зависимости от величины управляющего напряжения высокого уровня возможны три режима работы схемы: $U_{\text{ВХ}}^{\text{В}} < E'$, $U_{\text{ВХ}}^{\text{В}} > E'$, $U_{\text{ВХ}}^{\text{В}} = E'$.

Основными параметрами, характеризующими ключ в стационарных режимах работы, являются уровни выходного напряжения.

При подаче на вход напряжения низкого уровня диод VD открывается, в результате чего на выходе схемы формируется низкий уровень напряжения $U_{\text{ВЫХ}}^{\text{Н}}$. Используя эквивалентную схему диода, соответствующую кусочно-линейной аппроксимации прямой ветви вольт-амперной характеристики, получим схему замещения диодного ключа (рисунок 4.2,а).

На основании схемы замещения

$$U_{\text{ВЫХ}}^{\text{Н}} = \frac{1}{1 + \frac{R'}{R_{\Gamma} + r_{\text{пр}}}} E' + \frac{1}{1 + \frac{R_{\Gamma} + r_{\text{пр}}}{R'}} (E_{\text{ВХ}}^{\text{Н}} + U_0), \quad (4.2)$$

где $E_{\text{ВХ}}^{\text{Н}}$ – низкий уровень э.д.с. источника управляющих сигналов.

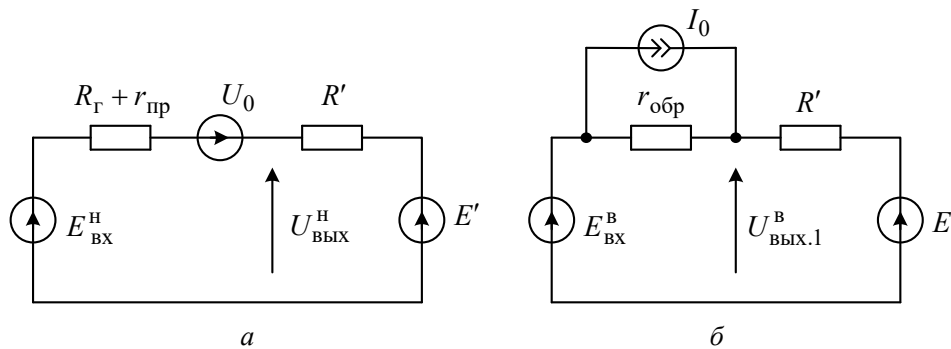


Рисунок 4.2 – Схема замещения диодного ключа

На практике чаще всего параметры удовлетворяют условию $R' \gg (R_{\Gamma} + r_{\text{пр}})$. В этом случае

$$U_{\text{ВЫХ}}^{\text{Н}} = \frac{1}{1 + \frac{R'}{R_{\Gamma} + r_{\text{пр}}}} E' + \frac{1}{1 + \frac{R_{\Gamma} + r_{\text{пр}}}{R'}} (E_{\text{ВХ}}^{\text{Н}} + U_0) \approx E_{\text{ВХ}}^{\text{Н}} + U_0. \quad (4.3)$$

При подаче на вход напряжения высокого уровня $U_{\text{ВХ}}^{\text{В}} > E'$ диод VD закрывается и на выходе формируется напряжение высокого уровня

$U_{\text{ВЫХ}}^{\text{В}}$. Схема замещения ключа, соответствующая кусочно-линейной аппроксимации обратной ветви вольт-амперной характеристики диода, представлена на рисунке 4.2,б. Используя схему замещения, найдем

$$U_{\text{ВЫХ.1}}^{\text{В}} = \frac{1}{1 + \frac{R'}{r_{\text{обр}}}} (E' + R'I_0) + \frac{1}{1 + \frac{r_{\text{обр}}}{R'}} E_{\text{ВХ}}^{\text{В}}. \quad (4.4)$$

В большинстве практических случаев $r_{\text{обр}} \gg R'$, тогда

$$U_{\text{ВЫХ.1}}^{\text{В}} = \frac{1}{1 + \frac{R'}{r_{\text{обр}}}} (E' + R'I_0) + \frac{1}{1 + \frac{r_{\text{обр}}}{R'}} E_{\text{ВХ}}^{\text{В}} \approx E' + R'I_0. \quad (4.5)$$

Поскольку тепловой ток I_0 в значительной степени зависит от температуры, высокий уровень выходного напряжения является нестабильным. Для повышения термостабильности следует выполнить условие $R'I_0 \ll E'$, тогда $U_{\text{ВЫХ.1}}^{\text{В}} \approx E'$.

Если $U_{\text{ВХ}}^{\text{В}} < E'$, то диод VD остается открытым, поэтому справедливы схема замещения, приведенная на рисунке 4.2,а, и выражение (4.2) с заменой $E_{\text{ВХ}}^{\text{Н}}$ на $E_{\text{ВХ}}^{\text{В}}$:

$$U_{\text{ВЫХ.2}}^{\text{В}} = \frac{1}{1 + \frac{R'}{R_{\Gamma} + r_{\text{пр}}}} E' + \frac{1}{1 + \frac{R_{\Gamma} + r_{\text{пр}}}{R'}} (E_{\text{ВХ}}^{\text{В}} + U_0). \quad (4.6)$$

При $R' \gg (R_{\Gamma} + r_{\text{пр}})$ выражение (4.6) принимает вид

$$U_{\text{ВЫХ.2}}^{\text{В}} \approx E_{\text{ВХ}}^{\text{В}} + U_0. \quad (4.7)$$

При $U_{\text{ВХ}}^{\text{В}} = E'$ ток диода VD равен нулю, поэтому $U_{\text{ВЫХ.3}}^{\text{В}} = E'$.

Динамические режимы в диодном ключе обусловлены инерционностью диода, а также емкостями нагрузки $C_{\text{Н}}$ и монтажа $C_{\text{М}}$, шунтирующими выход диодного ключа.

Поскольку инерционность современных импульсных диодов в основном определяется перезарядом паразитных емкостей, при рассмотрении динамических режимов диодного ключа справедлива эквивалентная схема, изображенная на рисунке 4.3, которая содержит суммарную

эквивалентную паразитную емкость $C_{\text{ЭКВ}} = C_{\text{VD}} + C_{\text{H}} + C_{\text{M}}$ и идеальный с точки зрения инерционных свойств диод VD.

При скачкообразном изменении входного напряжения с высокого уровня до низкого идеальный диод эквивалентной схемы на рисунке 4.3 мгновенно включается и схема замещения принимает вид, показанный на рисунке 4.4,а. Схема на рисунке 4.4,а является цепью первого порядка, поэтому выходное напряжение уменьшается по экспоненциальному закону с постоянной времени $\tau_c = C_{\text{ЭКВ}} \left[R' \parallel (R_{\Gamma} + r_{\text{пр}}) \right] \approx C_{\text{ЭКВ}} (R_{\Gamma} + r_{\text{пр}})$ и достигает установившегося значения $U_{\text{ВЫХ}}^{\text{H}}$ в течение времени $\Delta t_c = (3-5) \tau_c \approx (3-5) C_{\text{ЭКВ}} (R_{\Gamma} + r_{\text{пр}})$.

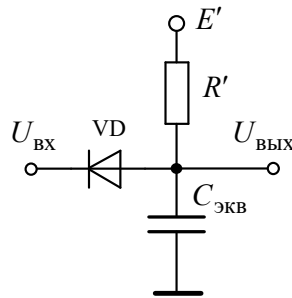


Рисунок 4.3 – Схема замещения диодного ключа для динамических режимов

При скачкообразном изменении входного напряжения с низкого уровня до высокого идеальный диод эквивалентной схемы, изображенной на рисунке 4.3, мгновенно выключается и схема замещения принимает вид, приведенный на рисунке 4.4,б. Выходное напряжение будет увеличиваться по экспоненциальному закону с постоянной времени $\tau_{\phi} = C_{\text{ЭКВ}} \left[R' \parallel (R_{\Gamma} + r_{\text{обр}}) \right] \approx C_{\text{ЭКВ}} R'$.

При $U_{\text{ВХ}}^{\text{B}} < E'$ переходный процесс заканчивается, когда выходное напряжение достигает значения $u_{\text{ВЫХ}} = U_{\text{ВХ}}^{\text{B}}$, при котором включается диод. Соответствующий интервал времени определяется выражением

$$\Delta t_{\phi} = \tau_{\phi} \ln \frac{u_{\text{ВЫХ}}(\infty) - u_{\text{ВЫХ}}(0)}{u_{\text{ВЫХ}}(\infty) - u_{\text{ВЫХ}}(\Delta t_{\phi})}, \quad (4.8)$$

где $u_{\text{ВЫХ}}(\infty) = U_{\text{ВЫХ.1}}^{\text{В}} \approx E' + R'I_0$; $u_{\text{ВЫХ}}(0) = U_{\text{ВЫХ}}^{\text{Н}} \approx E_{\text{ВХ}}^{\text{Н}} + U_0$; $u_{\text{ВЫХ}}(\Delta t_{\phi}) = U_{\text{ВЫХ.2}}^{\text{В}} \approx E_{\text{ВХ}}^{\text{В}} + U_0$.

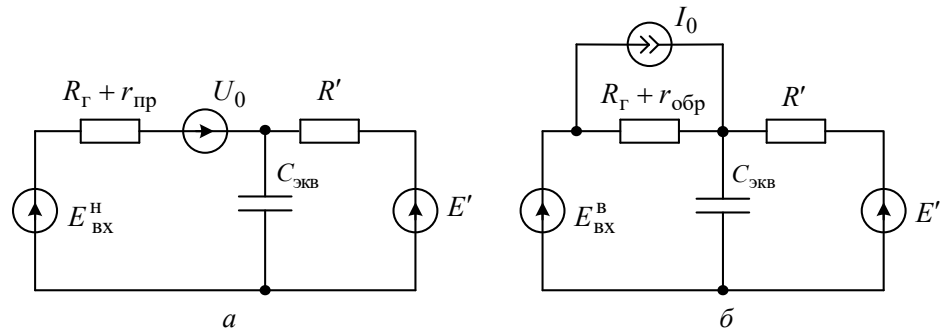


Рисунок 4.4 – Схема замещения диодного ключа

После подстановки получаем

$$\Delta t_{\phi} = R'C_{\text{ЭКВ}} \ln \frac{E' + R'I_0 - U_{\text{ВЫХ}}^{\text{Н}}}{E' + R'I_0 - U_{\text{ВЫХ.2}}^{\text{В}}} = R'C_{\text{ЭКВ}} \ln \frac{1}{1 - \frac{U_{\text{ВЫХ.2}}^{\text{В}} - U_{\text{ВЫХ}}^{\text{Н}}}{E' + R'I_0 - U_{\text{ВЫХ}}^{\text{Н}}}}. \quad (4.9)$$

В первом приближении, полагая, что $E' \gg (R'I_0 - U_{\text{ВЫХ}}^{\text{Н}})$ и $\frac{U_{\text{ВЫХ.2}}^{\text{В}} - U_{\text{ВЫХ}}^{\text{Н}}}{E'} \ll 1$, на основе приближенного равенства

$\ln \frac{1}{1-x} \approx x$ ($x \ll 1$) можно записать

$$\Delta t_{\phi} = R'C_{\text{ЭКВ}} \frac{U_{\text{ВЫХ.2}}^{\text{В}} - U_{\text{ВЫХ}}^{\text{Н}}}{E'}. \quad (4.10)$$

4.2 Многовходовый диодный ключ

Рассмотренный элементарный диодный ключ лежит в основе построения многовходового диодного ключа, схема которого при положительном напряжении питания представлена на рисунке 4.5.

По информационным свойствам многовходовый диодный ключ является конъюнктом для положительной логики и дизъюнктом для отрицательной логики. Как и элементарный диодный ключ, многовходовый

диодный ключ может работать и с потенциальными, и с импульсными входными сигналами.

Для анализа стационарных режимов многовходового диодного ключа удобно использовать обобщенную эквивалентную схему (рисунок 4.6), которая составлена в предположении, что p диодов находится во включенном, а q диодов – в выключенном состояниях, причем $p + q = N$, где N – количество входов многовходового диодного ключа.

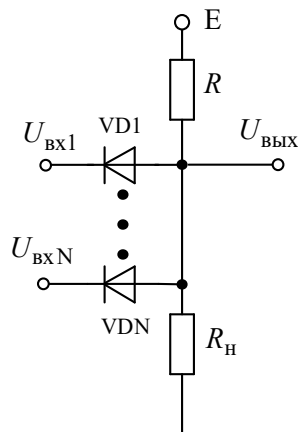


Рисунок 4.5 – Схема многовходового диодного ключа

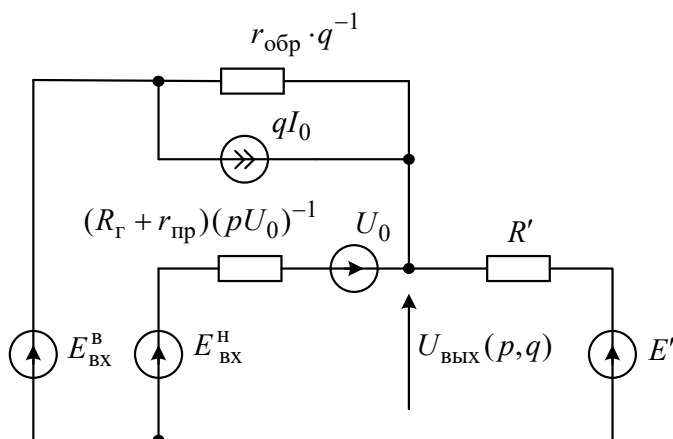


Рисунок 4.6 – Обобщенная эквивалентная схема многовходового диодного ключа

Использование обобщенной схемы замещения позволяет получить обобщенное выражение для выходного напряжения:

$$U_{\text{ВЫХ}}(p, q) = \frac{E' + p \frac{R'}{R_{\Gamma} + r_{\text{пр}}} (E_{\text{ВХ}}^{\text{H}} + U_0) + q \frac{R'}{r_{\text{обр}}} (E_{\text{ВХ}}^{\text{B}} + r_{\text{обр}} I_0)}{1 + p \frac{R'}{R_{\Gamma} + r_{\text{пр}}} + q \frac{R'}{r_{\text{обр}}}}. \quad (4.11)$$

При подаче на все входы напряжения низкого уровня $E_{\text{ВХ}}^{\text{H}}$ все диоды включены, поэтому $p = N$, $q = 0$. В этом случае на выходе формируется минимальное напряжение низкого уровня

$$U_{\text{ВЫХ. min}}^{\text{H}} = U_{\text{ВЫХ}}(N, 0) = \frac{E' + N \frac{R'}{R_{\Gamma} + r_{\text{пр}}} (E_{\text{ВХ}}^{\text{H}} + U_0)}{1 + N \frac{R'}{R_{\Gamma} + r_{\text{пр}}}}. \quad (4.12)$$

При условии $R' \gg (R_{\Gamma} + r_{\text{пр}})$ выражение (4.12) упрощается к виду

$$U_{\text{ВЫХ. min}}^{\text{H}} = E_{\text{ВХ}}^{\text{H}} + U_0. \quad (4.13)$$

При подаче напряжения низкого уровня $E_{\text{ВХ}}^{\text{H}}$ только на один из входов соответствующий диод будет открыт, а остальные диоды закрыты, тогда $p = 1$, $q = N - 1$, а на выходе многовходового диодного ключа формируется максимальное напряжение низкого уровня

$$\begin{aligned} U_{\text{ВЫХ. max}}^{\text{H}} &= U_{\text{ВЫХ}}(1, N - 1) = \\ &= \frac{E' + \frac{R'}{R_{\Gamma} + r_{\text{пр}}} (E_{\text{ВХ}}^{\text{H}} + U_0) + (N - 1) \frac{R'}{r_{\text{обр}}} (E_{\text{ВХ}}^{\text{B}} + r_{\text{обр}} I_0)}{1 + 1 \frac{R'}{R_{\Gamma} + r_{\text{пр}}} + (N - 1) \frac{R'}{r_{\text{обр}}}}. \end{aligned} \quad (4.14)$$

При выполнении условия $R' \gg (R_{\Gamma} + r_{\text{пр}})$ и $r_{\text{обр}} \gg R'$ выражение (4.14) принимает вид

$$U_{\text{ВЫХ. max}}^{\text{H}} \approx E_{\text{ВХ}}^{\text{H}} + U_0 + (N - 1) r_{\text{обр}} I_0. \quad (4.15)$$

При подаче на все входы многовходового диодного ключа напряжения высокого уровня $E_{\text{ВХ}}^{\text{B}} > E'$ диоды схемы выключены, поэтому $p = 0$, $q = N$. В этом случае на выходе формируется напряжение высокого уровня

$$U_{\text{ВЫХ.1}}^{\text{B}} = U_{\text{ВЫХ}}(0, N) = \frac{E' + N \frac{R'}{r_{\text{обр}}} (E_{\text{ВХ}}^{\text{B}} + r_{\text{обр}} I_0)}{1 + N \frac{R'}{r_{\text{обр}}}}. \quad (4.16)$$

При условии $r_{\text{обр}} \gg R'$ выражение (4.16) упрощается:

$$U_{\text{ВЫХ.1}}^{\text{B}} \approx E' + NR'I_0. \quad (4.17)$$

При подаче на все входы многовходового диодного ключа напряжения высокого уровня $E_{\text{ВХ}}^{\text{B}} < E'$ все диоды схемы выключены, поэтому $p = N, q = 0$. На выходе схемы формируется напряжение высокого уровня

$$U_{\text{ВЫХ.2}}^{\text{B}} = U_{\text{ВЫХ}}(N, 0) = \frac{E' + N \frac{R'}{R_{\Gamma} + r_{\text{пр}}} (E_{\text{ВХ}}^{\text{B}} + U_0)}{1 + N \frac{R'}{R_{\Gamma} + r_{\text{пр}}}}. \quad (4.18)$$

Если $R' \gg (R_{\Gamma} + r_{\text{пр}})$, то

$$U_{\text{ВЫХ.2}}^{\text{B}} \approx E_{\text{ВХ}}^{\text{B}} + U_0. \quad (4.19)$$

При подаче на все входы многовходового диодного ключа напряжения высокого уровня $E_{\text{ВХ}}^{\text{B}} = E'$ токи всех диодов схемы равны нулю, поэтому

$$U_{\text{ВЫХ.3}}^{\text{B}} = E'. \quad (4.20)$$

Динамические режимы многовходового диодного ключа обусловлены теми же факторами, что и в случае элементарного ключа: инерционностью диодов схемы, емкостями нагрузки C_{H} и монтажа C_{M} . При анализе динамических режимов многовходового диодного ключа справедлива эквивалентная схема, содержащая суммарную эквивалентную паразитную емкость $C_{\text{ЭКВ}} = NC_{\text{VD}} + C_{\text{H}} + C_{\text{M}}$ и идеальные с точки зрения инерционных свойств диоды (рисунок 4.7).

При скачкообразном изменении управляющего напряжения на p входах схемы с высокого уровня до низкого соответствующие диоды эквивалентной схемы, показанной на рисунке 4.7, мгновенно включаются,

а остальные $N - p$ диодов остаются выключенными. В результате схема замещения принимает вид, изображенный на рисунке 4.8.

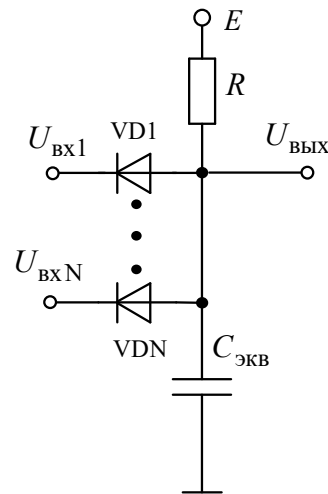


Рисунок 4.7 – Схема многовходового диодного ключа для динамических режимов

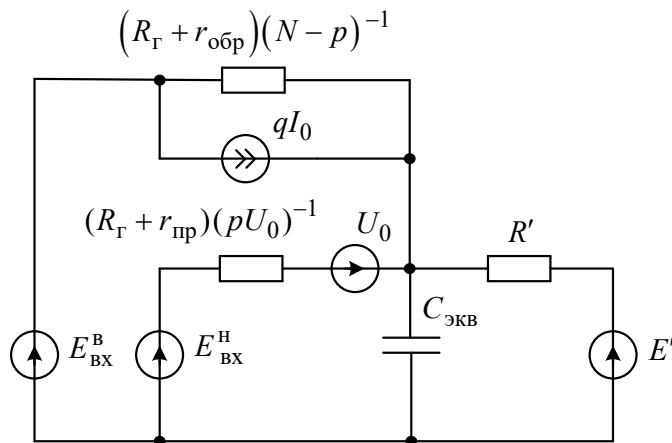


Рисунок 4.8 – Схема замещения многовходового диодного ключа для динамических режимов

Выходное напряжение уменьшается по экспоненциальному закону с постоянной времени

$$\tau_c = C_{\text{ЭКВ}} \left[R' \parallel \frac{R_{\Gamma} + r_{\text{пр}}}{p} \parallel \frac{R_{\Gamma} + r_{\text{обр}}}{N - p} \right] \approx C_{\text{ЭКВ}} \frac{R_{\Gamma} + r_{\text{пр}}}{p}. \quad (4.21)$$

Наихудшим с позиции динамики является случай включения одного диода схемы, когда постоянная времени принимает наибольшее значение $\tau_c \approx C_{\text{ЭКВ}} (R_{\Gamma} + r_{\text{пр}})$. Именно это значение постоянной времени необходимо использовать для оценки быстродействия схемы при включении. Низкий уровень выходного напряжения $U_{\text{ВЫХ}}^{\text{Н}}$ устанавливается в этом случае в течение времени

$$\Delta t_c = (3-5)\tau_c \approx (3-5)C_{\text{ЭКВ}} (R_{\Gamma} + r_{\text{пр}}). \quad (4.22)$$

При скачкообразном изменении управляющего напряжения с низкого уровня до высокого на всех входах схемы все идеальные диоды эквивалентной схемы (см. рисунок 4.7) мгновенно выключаются и схема замещения принимает вид, представленный на рисунке 4.9.

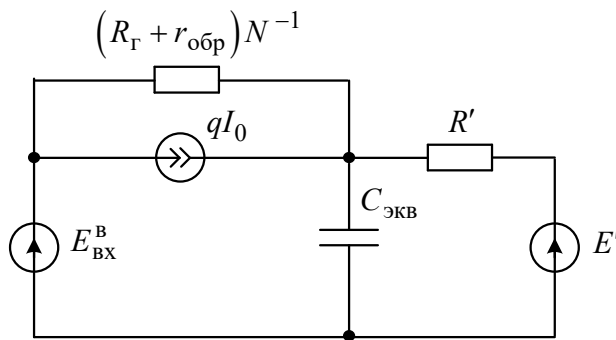


Рисунок 4.9 – Схема замещения многовходового диодного ключа для динамического режима при управляющем напряжении высокого уровня на всех входах схемы

Выходное напряжение будет увеличиваться по экспоненциальному закону с постоянной времени

$$\tau_{\phi} = C_{\text{ЭКВ}} \left[R' \parallel \frac{R_{\Gamma} + r_{\text{обр}}}{N} \right] \approx C_{\text{ЭКВ}} R'.$$

Если $E_{\text{ВХ}}^{\text{Б}} > E'$, выходное напряжение достигает установившегося значения $U_{\text{ВЫХ}}^{\text{Б}}$ в течение времени $\Delta t_{\phi} = (3-5)\tau_{\phi} \approx (3-5)C_{\text{ЭКВ}}R'$.

При $E_{\text{ВХ}}^{\text{Б}} < E'$ переходный процесс заканчивается, когда выходное напряжение достигает значения $u_{\text{ВЫХ}}^{\text{Б}} = U_{\text{ВХ}}^{\text{Б}}$, при котором включается

диод. Наихудшим по динамике является случай, когда перепад управляющего напряжения действует на всех входах ключа. Соответствующий интервал времени определяется выражением

$$\Delta t_{\phi} = \tau_{\phi} \ln \frac{u_{\text{ВЫХ}}(\infty) - u_{\text{ВЫХ}}(0)}{u_{\text{ВЫХ}}(\infty) - u_{\text{ВЫХ}}(\Delta t_{\phi})},$$

где $u_{\text{ВЫХ}}(\infty) = U_{\text{ВЫХ.1}}^{\text{В}} \approx E' + NR'I_0$; $u_{\text{ВЫХ}}(0) = U_{\text{ВЫХ.min}}^{\text{H}} \approx E_{\text{ВХ}}^{\text{H}} + U_0$;

$u_{\text{ВЫХ}}(\Delta t_{\phi}) = U_{\text{ВЫХ.2}}^{\text{В}} \approx E_{\text{ВХ}}^{\text{В}} + U_0$.

После подстановки получаем

$$\Delta t_{\phi} = R'C_{\text{ЭКВ}} \ln \frac{E' + NR'I_0 - U_{\text{ВЫХ.min}}^{\text{H}}}{E' + NR'I_0 - U_{\text{ВЫХ.2}}^{\text{В}}} = R'C_{\text{ЭКВ}} \ln \frac{1}{1 - \frac{U_{\text{ВЫХ.2}}^{\text{В}} - U_{\text{ВЫХ.min}}^{\text{H}}}{E' + NR'I_0 - U_{\text{ВЫХ.min}}^{\text{H}}}}.$$

В первом приближении, полагая, что $E' \gg (NR'I_0 - U_{\text{ВЫХ.min}}^{\text{H}})$ и

$\frac{U_{\text{ВЫХ.2}}^{\text{В}} - U_{\text{ВЫХ.min}}^{\text{H}}}{E'} \ll 1$, на основе приближенного равенства можно записать

сать

$$\Delta t_{\phi} \approx R'C_{\text{ЭКВ}} \frac{U_{\text{ВЫХ.2}}^{\text{В}} - U_{\text{ВЫХ.min}}^{\text{H}}}{E'}. \quad (4.23)$$

Если длительности фронтов входных управляющих импульсов не равны нулю, как полагалось выше, то реальные длительности фронтов выходного напряжения можно определить при помощи интеграла свертки (Дюамеля) или другими способами. При этом если считать, что длительности фронтов входных управляющих сигналов невелики, то в первом приближении длительности фронтов выходного напряжения можно определять по формуле

$$\Delta t_{\phi, \text{ВЫХ}} = \sqrt{\Delta t_{\phi, \text{ВХ}}^2 + \Delta t^2},$$

где $\Delta t_{\phi, \text{ВХ}}$ – длительность фронта входного сигнала; Δt – длительность фронта выходного сигнала при условии скачкообразного изменения сигнала на входе.

4.3 Транзисторные ключи на биполярных транзисторах

Ключи – элементы электронных цепей, выполняющие различные коммутации под воздействием управляющих сигналов. Ключ может находиться в одном из двух стационарных состояний – включенном и выключенном. Входные, управляющие и выходные сигналы могут быть как импульсными, так и потенциальными. В связи с этим выделяют импульсные, потенциальные и импульсно-потенциальные сигналы. Потенциальный сигнал имеет два резко отличных друг от друга уровня напряжения – низкий и высокий. Если закодировать уровни потенциального сигнала цифрами двоичной системы счисления, то эти двоичные значения будут являться информационными значениями потенциального сигнала.

В общем случае ключевая схема может иметь $N > 1$ управляющих входов и $M > 1$ управляемых выходов. Если информационные значения управляющих сигналов обозначить x_i , а информационные значения выходных сигналов – y_j , то для каждого выхода ключевая схема будет реализовывать некоторую булеву (логическую) функцию

$$y_j = f_j(x_1, x_2, \dots, x_N), j = \overline{1, M}.$$

Элементарный ключ имеет один вход и один выход и реализует одну из двух функций – либо функцию $y = x$, либо функцию $y = \bar{x}$.

Схемотехническая реализация базовых логических элементов цифровых интегральных микросхем основана на использовании электронных коммутаторов напряжения или тока, называемых электронными ключами.

Электронный ключ представляет собой элемент электрической цепи, предназначенный для ее коммутации (изменения структуры) под действием электрических управляющих сигналов и реализованный на базе активных электронных компонентов (полупроводниковых диодов, биполярных и полевых транзисторов, оптронов и т. д.).

В схемах электронных ключей, входящих в состав биполярных цифровых интегральных микросхем, как правило, используются кремниевые *n-p-n*-транзисторы и находят применение все основные схемы включения биполярного транзистора: с общим эмиттером (ОЭ), с общим коллектором (ОК) – эмиттерный повторитель, с общей базой (ОБ), схема «звезда» (ни один из электродов транзистора не заземлен), инверсная схема. При

этом наибольшее распространение получили цифровые электронные ключи с общим эмиттером.

Для таких ключей характерно усиление сигналов и по току, и по напряжению, а также инвертирование выходного сигнала по отношению ко входному. Таким образом, *по информационным свойствам транзисторный ключ с общим эмиттером является ключом-инвертором.*

Схемы ключей с общим эмиттером на транзисторах *n-p-n*- и *p-n-p*-типов представлены на рисунке 4.10, где указаны положительные направления токов и напряжений.

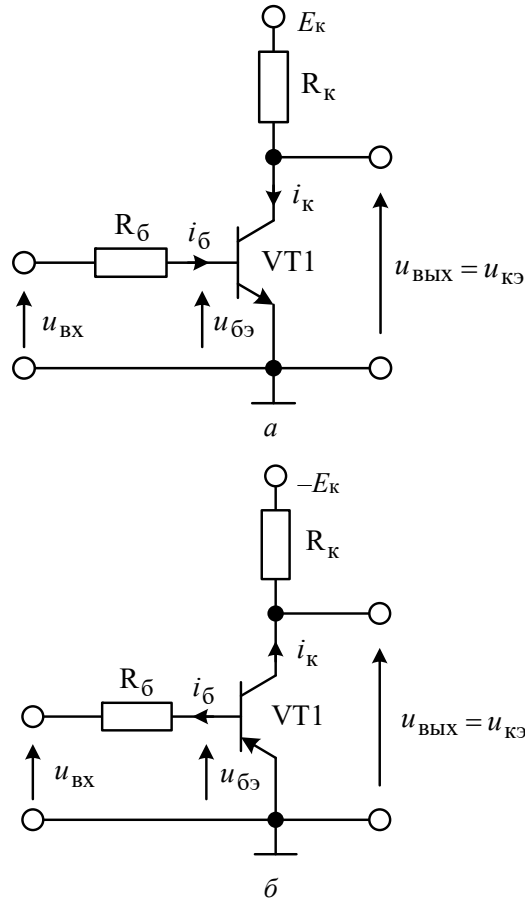


Рисунок 4.10 – Схемы ключей с общим эмиттером на транзисторах *n-p-n*-типа (а) и *p-n-p*-типа (б)

При анализе режима переключения широкое применение находит метод заряда, в соответствии с которым изменение заряда неосновных носителей в базе определяется уравнением

$$C_k \frac{dU_{\text{бк}}}{dt} + \frac{d(\Delta Q)}{dt} + \frac{\Delta Q}{\tau} = i_{\text{б}}, \quad (4.24)$$

где ΔQ – неравновесный заряд неосновных носителей в базе; C_k – барьерная емкость коллекторного перехода; τ – время жизни неосновных носителей заряда в базе.

В нормальном активном режиме $\tau \approx \tau_{\beta} = \frac{1}{2\pi f_{\beta}}$, где f_{β} – предельная частота передачи тока базы, $\Delta Q(t) \approx \frac{\tau_{\beta}}{\beta} i_k(t)$. Тогда уравнение (4.24) принимает вид

$$\beta C_k \frac{dU_{\text{бк}}}{dt} + \tau_{\beta} \frac{di_k}{dt} + i_k = \beta i_{\text{б}}. \quad (4.25)$$

В режиме насыщения в первом приближении можно считать, что $U_{\text{бк}} = \text{const}$ и $\frac{dU_{\text{бк}}}{dt} = 0$, тогда уравнение (4.24) принимает вид

$$\frac{d(\Delta Q)}{dt} + \frac{\Delta Q}{\tau_{\beta}} = i_{\text{б}}. \quad (4.26)$$

В режиме отсечки неравновесный заряд неосновных носителей в базе незначителен и им обычно пренебрегают, считая $\Delta Q_{\text{отс}} \approx 0$.

В установившемся режиме $i_{\text{б}} = \text{const} = I_{\text{б}}$, $i_{\text{э}} = \text{const} = I_{\text{э}}$, $U_{\text{бк}} = \text{const}$, $\frac{dU_{\text{бк}}}{dt} = 0$ и из выражения (4.25) следует, что $\Delta Q_{\text{уст}} = \tau_{\beta} I_{\text{б}}$, то есть различным токам базы соответствуют различные величины неравновесного заряда в базе. С ростом тока базы заряд растет и на границе насыщения достигает значения $\Delta Q_{\text{гр}} = \tau_{\beta} I_{\text{б.нас}} = \tau_{\beta} \frac{I_{\text{к.нас}}}{\beta}$. При дальнейшем увеличении тока базы или эмиттера, то есть в области насыщения, в базе создается избыточный неравновесный заряд $\Delta Q_{\text{изб}} = \Delta Q - \Delta Q_{\text{гр}} = \tau_{\beta} (I_{\text{б}} - I_{\text{б.нас}}) = \tau_{\alpha} (I_{\text{э}} - I_{\text{э.нас}})$, причем $k_{\text{нас}} = \frac{\Delta Q}{\Delta Q_{\text{гр}}}$.

Рассмотрим импульсный режим ключа с общим эмиттером на n - p - n -транзисторе (см. рисунок 4.10,а) при подаче на вход транзистора управляющего напряжения разной полярности (рисунок 4.11).

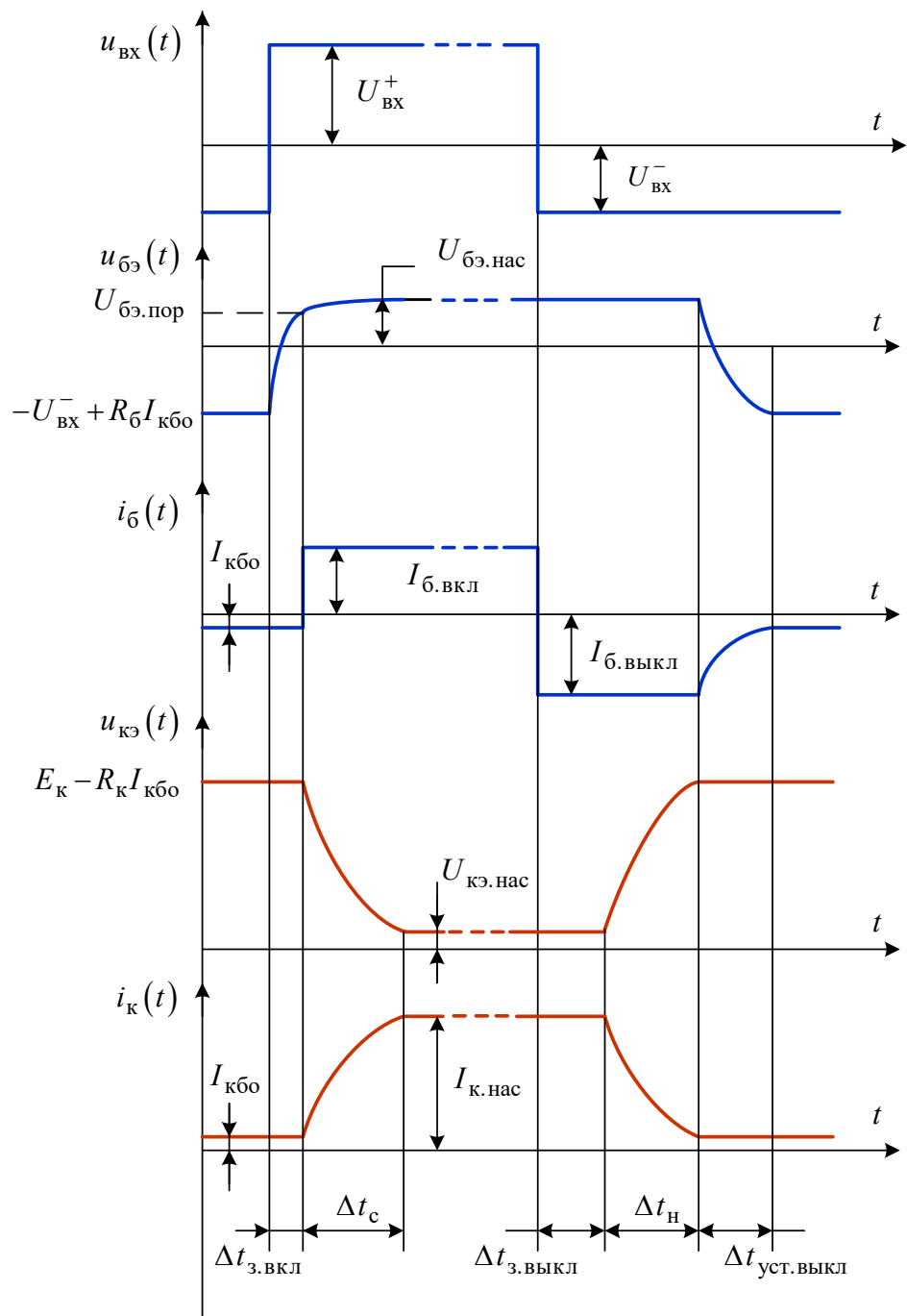


Рисунок 4.11 – Временные диаграммы работы биполярного транзистора в импульсном режиме в схеме с общим эмиттером

При поступлении на вход ключа управляющего напряжения положительной полярности $U_{\text{ВХ}}^+$ начинается процесс включения, состоящий из трех стадий: задержки включения, спада выходного потенциала, накопления избыточного заряда в базе.

Стадия задержки включения обусловлена зарядом входной паразитной емкости транзистора до порогового напряжения $U_{\text{бэ пор}}$, при котором начинается эффективная инжекция неосновных носителей заряда в базу. На интервале задержки включения транзистор находится в режиме отсечки, поэтому $U_{\text{кэ}} = \text{const}$ и $\frac{du_{\text{бк}}}{dt} = \frac{d}{dt}(U_{\text{бэ}} - U_{\text{кэ}}) = \frac{du_{\text{бэ}}}{dt}$. Ток базы за-

пертого транзистора крайне мал, вследствие чего им можно без существенной погрешности пренебречь. В этом случае справедливо уравнение

$$i_{\text{ВХ}} = i_{C_3} + i_{C_{\text{К}}} = C_3 \frac{du_{\text{бэ}}}{dt} + C_{\text{К}} \frac{du_{\text{бк}}}{dt} = (C_3 + C_{\text{К}}) \frac{du_{\text{бэ}}}{dt} = C_{\text{ВХ}} \frac{du_{\text{бэ}}}{dt},$$

то есть входная паразитная емкость транзистора на интервале задержки включения обусловлена барьерными емкостями эмиттерного и коллекторного переходов. Заряд входной паразитной емкости происходит по экспоненциальному закону

$$u_{C_{\text{ВХ}}}(t) = u_{\text{бэ}}(t) = u_{\text{бэ}}(\infty) + [u_{\text{бэ}}(0) - u_{\text{бэ}}(\infty)] \exp\left(-\frac{t}{\tau_{\text{з.вкл}}}\right),$$

где $\tau_{\text{з.вкл}} = R_{\text{б}} C_{\text{ВХ}}$ – постоянная времени цепи заряда;

$$u_{\text{бэ}}(\infty) = U_{\text{ВХ}}^+ + R_{\text{б}} I_{\text{КБ0}} \approx U_{\text{ВХ}}^+; \quad u_{\text{бэ}}(0) = -U_{\text{ВХ}}^- + R_{\text{б}} I_{\text{КБ0}} \approx -U_{\text{ВХ}}^-.$$

Длительность интервала задержки включения определяется выражением

$$\Delta t_{\text{з.вкл}} = \tau_{\text{з.вкл}} \ln \frac{u_{\text{бэ}}(\infty) - u_{\text{бэ}}(0)}{u_{\text{бэ}}(\infty) - u_{\text{бэ}}(\Delta t_{\text{з.вкл}})},$$

которое с учетом условия $u_{\text{бэ}}(\Delta t_{\text{з.вкл}}) = U_{\text{бэ пор}}$ принимает вид

$$\Delta t_{\text{з.вкл}} = R_{\text{б}} C_{\text{ВХ}} \ln \frac{U_{\text{ВХ}}^+ + U_{\text{ВХ}}^-}{U_{\text{ВХ}}^+ - U_{\text{бэ пор}}}. \quad (4.27)$$

На этапе спада выходного потенциала транзистор работает в нормальном активном режиме, при этом происходит накопление заряда

неосновных носителей, инжектированных из эмиттера в базу. В соответствии с зарядовой моделью биполярного транзистора скорость накопления заряда в базе определяет скорость нарастания тока коллектора. По мере увеличения тока коллектора уменьшается выходной потенциал, в результате чего происходит изменение заряда барьерной емкости коллекторного перехода. В течение интервала спада выходного потенциала напряжение на коллекторном переходе изменяется на значительную величину. При этом на эмиттерном переходе напряжение изменяется несущественно (десятки-сотни милливольт) и потенциал базы транзистора можно с достаточной точностью считать постоянным.

$$\text{Тогда } \frac{du_{\text{БК}}}{dt} = \frac{d}{dt}(u_{\text{БЭ}} - u_{\text{КЭ}}) \approx -\frac{du_{\text{КЭ}}}{dt} = -\frac{d}{dt}(E_{\text{К}} - R_{\text{К}}i_{\text{К}}) = R_{\text{К}} \frac{di_{\text{К}}}{dt} \text{ и}$$

уравнение (4.25) принимает вид

$$\tau_{\text{с}} \frac{di_{\text{К}}}{dt} + i_{\text{К}} = \beta i_{\text{Б}},$$

где $\tau_{\text{с}} = \tau_{\beta} + \beta C_{\text{К}} R_{\text{К}}$ – эквивалентная постоянная времени интервала спада выходного потенциала.

Поскольку $i_{\text{Б}} = \frac{U_{\text{ВХ}}^+ - u_{\text{БЭ}}}{R_{\text{Б}}} \approx \text{const} = I_{\text{БВКЛ}}$, ток коллектора будет воз-

растать по экспоненциальному закону:

$$i_{\text{К}}(t) = i_{\text{К}}(\infty) + [i_{\text{К}}(0) - i_{\text{К}}(\infty)] \exp\left(-\frac{t}{\tau_{\text{с}}}\right),$$

или с учетом условий $i_{\text{К}}(\infty) = \beta I_{\text{БВКЛ}}$, $i_{\text{К}}(0) = I_{\text{КБ0}} \approx 0$

$$i_{\text{К}}(t) = \beta I_{\text{БВКЛ}} \left[1 - \exp\left(-\frac{t}{\tau_{\text{с}}}\right) \right].$$

С ростом тока коллектора выходное напряжение экспоненциально уменьшается:

$$u_{\text{ВЫХ}}(t) = u_{\text{КЭ}}(t) = E_{\text{К}} - R_{\text{К}}i_{\text{К}}(t) = E_{\text{К}} - \beta R_{\text{К}}I_{\text{БВКЛ}} \left[1 - \exp\left(-\frac{t}{\tau_{\text{с}}}\right) \right].$$

Интервал спада выходного потенциала завершается, когда транзистор выходит на границу режима насыщения. При этом

$i_k(\Delta t_c) = I_{k \text{ нас}} = \frac{E_k - U_{kэ \text{ нас}}}{R_k}$, а длительность интервала спада выход-

ного потенциала определяется выражением

$$\Delta t_c = \tau_c \ln \frac{i_k(\infty) - i_k(0)}{i_k(\infty) - i_k(\Delta t_c)} = \tau_c \ln \frac{\beta I_{\text{б вкл}}}{\beta I_{\text{б вкл}} - I_{k \text{ нас}}}. \quad (4.28)$$

При включении транзистора «сильным» сигналом, когда $I_{\text{б вкл}} \gg I_{\text{б нас}} = \frac{I_{k \text{ нас}}}{\beta}$, что часто выполняется на практике, выражение (4.28) можно упростить:

$$\Delta t_c \approx \tau_c \frac{I_{\text{б нас}}}{I_{\text{б вкл}}}. \quad (4.29)$$

После окончания интервала спада выходного потенциала транзистор переходит в режим насыщения. Токи транзистора при этом практически не изменяются, а в базе накапливается избыточный заряд неосновных носителей за время $\Delta t_{\text{нак}} \approx (3-5)\tau_\beta$.

Установившееся значение неравновесного заряда неосновных носителей в базе определяется выражением

$$\Delta Q_{\text{уст}} = \tau_\beta I_{\text{б вкл}} = k_{\text{нас}} \Delta Q_{\text{гр}} = \tau_\beta k_{\text{нас}} I_{\text{б нас}} = \tau_\beta k_{\text{нас}} \frac{I_{k \text{ нас}}}{\beta}.$$

При поступлении на вход ключа управляющего напряжения $U_{\text{вх}}^-$ отрицательной полярности начинается процесс выключения, состоящий из трех стадий: задержки выключения, нарастания выходного потенциала, установления выключения.

Задержка выключения связана с процессом рассасывания избыточного заряда неосновных носителей в базе. До тех пор пока избыточный заряд $\Delta Q_{\text{изб}} = \Delta Q - \Delta Q_{\text{гр}} > 0$, транзистор работает в режиме насыщения, а коллекторный ток и напряжения на переходах транзистора практически не изменяются. Следовательно, на интервале задержки выключения изменение заряда барьерных емкостей транзистора не происходит. Ток базы определяется выражением

$$i_{\text{б выкл}} = - \frac{U_{\text{вх}}^- + U_{\text{бэ нас}}}{R_{\text{б}}} = - I_{\text{б выкл}}.$$

В соответствии с уравнением (4.26) неравновесный заряд неосновных носителей в базе уменьшается по экспоненциальному закону:

$$\Delta Q(t) = \Delta Q(\infty) + [\Delta Q(0) - \Delta Q(\infty)] \exp\left(-\frac{t}{\tau_\beta}\right),$$

где $\Delta Q(\infty) = -\tau_\beta I_{\beta \text{ выкл}}$; $\Delta Q(0) = \Delta Q_{\text{уст}} = \tau_\beta I_{\beta \text{ вкл}}$.

Интервал задержки выключения завершается, когда неравновесный заряд неосновных носителей в базе становится равным граничному заряду: $\Delta Q(\Delta t_{\text{з.выкл}}) = \Delta Q_{\text{гр}} = \tau_\beta I_{\beta \text{ нас}} = \tau_\beta \frac{I_{\text{к нас}}}{\beta}$. При этом длительность интервала задержки выключения определяется выражением

$$\Delta t_{\text{з.выкл}} = \tau_\beta \ln \frac{Q(\infty) - Q(0)}{Q(\infty) - Q(\Delta t_{\text{з.выкл}})} = \tau_\beta \ln \frac{I_{\beta \text{ выкл}} + I_{\beta \text{ вкл}}}{I_{\beta \text{ выкл}} + I_{\beta \text{ нас}}}. \quad (4.30)$$

При «сильном» запирающем сигнале, когда $I_{\beta \text{ выкл}} \gg I_{\beta \text{ вкл}} > I_{\beta \text{ нас}}$, выражение (4.30) можно упростить:

$$\Delta t_{\text{з.выкл}} \approx \tau_\beta \frac{I_{\beta \text{ вкл}}}{I_{\beta \text{ выкл}}} = \tau_\beta \frac{k_{\text{нас}} I_{\beta \text{ нас}}}{I_{\beta \text{ выкл}}} = \tau_\beta \frac{k_{\text{нас}}}{\beta} \frac{I_{\text{к нас}}}{I_{\beta \text{ выкл}}}. \quad (4.31)$$

На этапе нарастания выходного потенциала транзистор работает в нормальном активном режиме, а происходящие процессы обусловлены теми же факторами, что и на интервале спада выходного потенциала. Следовательно, для этапа нарастания выходного потенциала справедливы модель и допущения, свойственные интервалу спада выходного потенциала.

Поскольку $i_{\beta \text{ выкл}} \approx \text{const} = -I_{\beta \text{ выкл}}$, ток коллектора будет спадать по экспоненциальному закону, который с учетом условий $i_{\text{к}}(\infty) = -\beta I_{\beta \text{ выкл}}$, $i_{\text{к}}(0) = I_{\text{к нас}} = \beta I_{\beta \text{ нас}}$ имеет вид

$$i_{\text{к}}(t) = \beta I_{\beta \text{ нас}} \exp\left(-\frac{t}{\tau_{\text{н}}}\right) - \beta I_{\beta \text{ выкл}} \left[1 - \exp\left(-\frac{t}{\tau_{\text{н}}}\right)\right],$$

где $\tau_{\text{н}} = \tau_{\text{с}} = (\tau_\beta + \beta C_{\text{к}} R_{\text{к}})$ – эквивалентная постоянная времени интервала нарастания выходного потенциала.

С уменьшением тока коллектора выходное напряжение экспоненциально возрастает:

$$\begin{aligned}
u_{\text{ВЫХ}}(t) &= E_{\text{К}} - R_{\text{К}} i_{\text{К}}(t) = \\
&= E_{\text{К}} - \beta I_{\text{Б НАС}} \exp\left(-\frac{t}{\tau_{\text{Н}}}\right) + \beta I_{\text{Б ВЫКЛ}} \left[1 - \exp\left(-\frac{t}{\tau_{\text{Н}}}\right)\right].
\end{aligned}$$

Интервал нарастания выходного потенциала завершается, когда транзистор выходит на границу режима отсечки. При этом $i_{\text{К}}(\Delta t_{\text{Н}}) = I_{\text{К БО}} \approx 0$ и длительность интервала нарастания выходного потенциала определяется выражением

$$\Delta t_{\text{Н}} = \tau_{\text{Н}} \ln \frac{i_{\text{К}}(\infty) - i_{\text{К}}(0)}{i_{\text{К}}(\infty) - i_{\text{К}}(\Delta t_{\text{Н}})} = \tau_{\text{Н}} \ln \left(1 + \frac{I_{\text{Б НАС}}}{I_{\text{Б ВЫКЛ}}}\right). \quad (4.32)$$

При выключении транзистора «сильным» сигналом, когда $I_{\text{Б ВЫКЛ}} \gg I_{\text{Б НАС}} = \frac{I_{\text{К НАС}}}{\beta}$, выражение (4.32) можно упростить:

$$\Delta t_{\text{Н}} \approx \tau_{\text{Н}} \frac{I_{\text{Б НАС}}}{I_{\text{Б ВЫКЛ}}}. \quad (4.33)$$

На интервале установления выключения транзистор работает в режиме отсечки, при этом происходит перезаряд входной паразитной емкости транзистора до напряжения $U_{\text{С ВХ}} = U_{\text{БЭ}} = -U_{\text{ВХ}}^- + R_{\text{Б}} I_{\text{К БО}} \approx -U_{\text{ВХ}}^-$ по экспоненциальному закону с постоянной времени $\tau_{\text{УСТ. ВЫКЛ}} = R_{\text{Б}} C_{\text{ВХ}} = R_{\text{Б}} (C_{\text{Э}} + C_{\text{К}})$ в течение интервала $\Delta t_{\text{УСТ. ВЫКЛ}} \approx (3-5) \tau_{\text{УСТ. ВЫКЛ}} = (3-5) R_{\text{Б}} (C_{\text{Э}} + C_{\text{К}})$.

За это время барьерная емкость эмиттерного перехода перезарядается до напряжения $U_{\text{СЭ}} = U_{\text{БЭ}} \approx -U_{\text{ВХ}}^-$, а барьерная емкость коллекторного перехода – до напряжения $U_{\text{СК}} = U_{\text{БЭ}} - E_{\text{К}} + R_{\text{Б}} I_{\text{К БО}} \approx -U_{\text{ВХ}}^- - E_{\text{К}}$.

4.4 МДП-транзисторные ключи

МДП-транзисторы, входящие в состав электронных ключей цифровых интегральных схем, используются как в качестве ключевых управляющих элементов (активный компонент), так и в качестве нелинейных резисторов (нагрузочный компонент). На рисунке 4.12 приведена структура

образования ключевых схем на МДП-транзисторах – схем элементарных инверторов интегральных схем на МДП-транзисторах.

Использование полевых транзисторов в качестве нагрузочных компонентов позволяет сократить число различных элементов в интегральных схемах, а в ряде случаев упростить их технологическое изготовление.



Рисунок 4.12 – Формирование ключевых схем на МДП-транзисторах

Использование нелинейных сопротивлений позволяет отказаться от применения высокоомных диффузионных резисторов в интегральных схемах, что дает возможность повысить плотность упаковки ИС, а все ее компоненты создавать в едином технологическом цикле. В качестве активного компонента ключевой схемы могут использоваться МДП-транзисторы со встроенным или индуцированным каналом с проводимостью p - или n -типа, а также полевые транзисторы с управляющим p - n -переходом.

Четыре известных типа МДП-транзисторов с индуцированным и встроенным каналами n - и p -типа в сочетании с различными типами резисторов, которые также могут быть получены на основе МДП-транзисторов, включенных разными способами, образуют большое количество элементарных инверторов. Это осуществляется следующим образом. Каждый из четырех типов МДП-транзисторов может быть использован в качестве нагрузки, при этом его подложка присоединяется к источнику питания или к общей точке схемы. Кроме того, затвор МДП-транзистора, используемого в качестве нагрузки, может иметь пять вариантов подключения (см. рисунок 4.12).

Таким образом, вместе с линейным резистором получается 49 типов резисторов, которые в сочетании с типами активных компонентов в количестве четырех образуют 196 различных вариантов элементарных инверторов. Следует отметить, что некоторые сочетания активных компонентов и нелинейных нагрузочных сопротивлений не используются для создания и реализации логических элементов интегральных схем, так как обладают заведомо худшими свойствами.

Как правило, для ключевых управляющих элементов применяются МДП-транзисторы с индуцированным каналом, поскольку это позволяет в цепочке электронных ключей на транзисторах одного типа проводимости сравнительно просто согласовать выходные потенциалы предыдущих электронных ключей со входными потенциалами последующих. МДП-транзисторы со встроенным каналом обычно используются в электронных ключах как нелинейные резисторы.

Элементарные цифровые электронные ключи на МДП-транзисторах основаны на соединении управляющих ключевых транзисторов по схеме с общим истоком и по информационным свойствам относятся к ключам-инверторам. В настоящее время наибольшее распространение получили пять схем ключей-инверторов на МДП-транзисторах: с линейной нагрузкой, с нелинейной нагрузкой, с квазилинейной нагрузкой, с токостабилизирующей нагрузкой, инвертор на комплементарных МДП-транзисторах (рисунок 4.13).

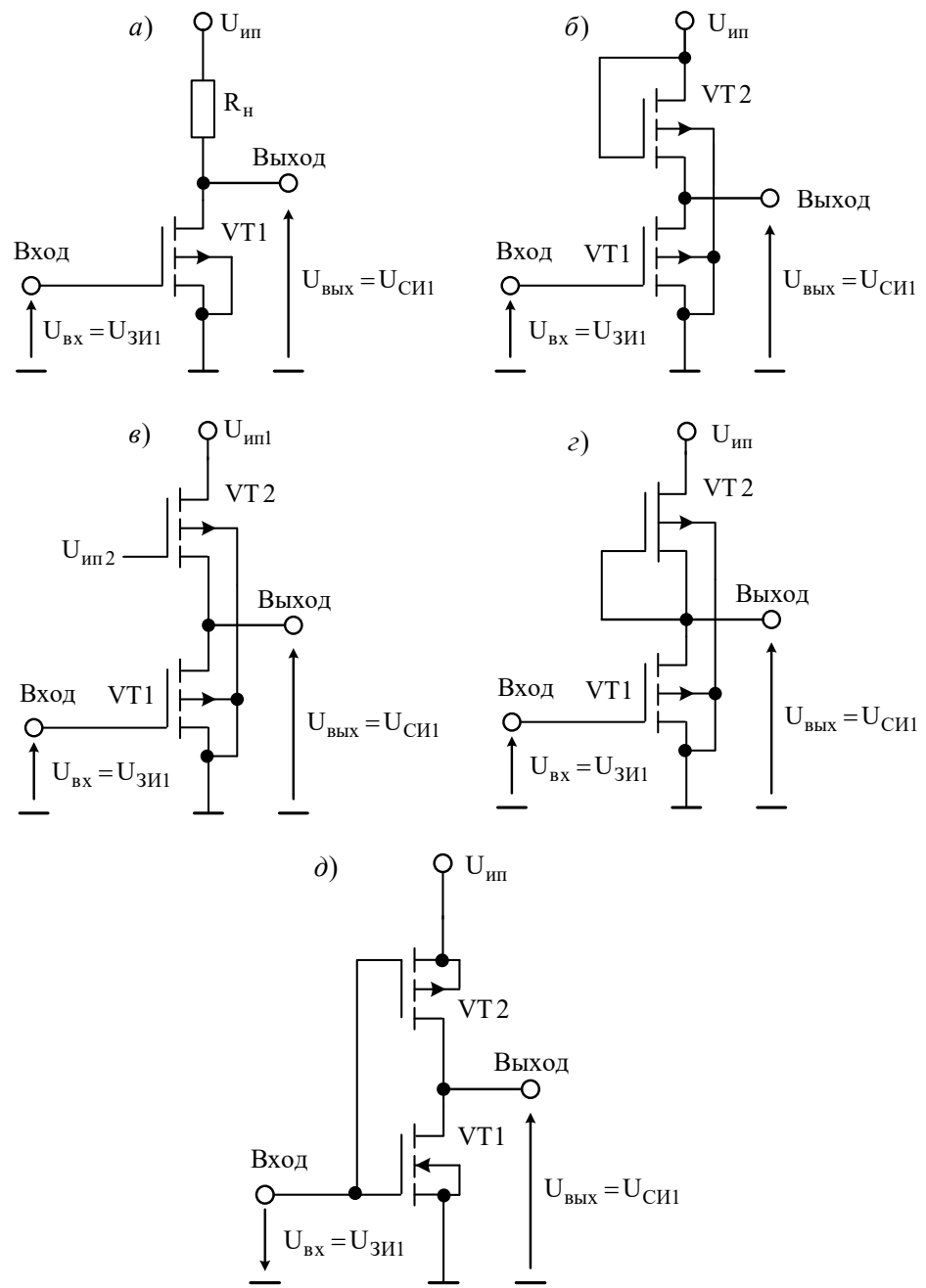


Рисунок 4.13 – Инвертор на МДП-транзисторах:
 а – с линейной нагрузкой; б – с нелинейной нагрузкой;
 в – с квазилинейной нагрузкой; г – с токостабилизирующей нагрузкой;
 д – на комплементарных МДП-транзисторах

Инвертор с линейной нагрузкой. Схема инвертора на МДП-транзисторе с линейной нагрузкой приведена на рисунке 4.13,а. Если в качестве управляющего применяется p -канальный транзистор МДП-типа с индуцированным каналом, то пассивная линейная нагрузка подключается к источнику питания отрицательной полярности, что обеспечивает согласование входных и выходных уровней инвертора.

Инвертор с нелинейной нагрузкой. В инверторе с нелинейной нагрузкой (рисунок 4.13,б) для нагрузочного транзистора VT2 при соединении затвора со стоком выполняется условие $U_{ЗИ2} = U_{СИ2}$. Тогда справедливо неравенство $(U_{ЗИ2} - U_{пор}) < U_{СИ2}$, которое означает, что транзистор VT2 работает на пологом участке выходной характеристики.

При входном напряжении $U_{вх} = U_{ЗИ1} < U_{пор1}$ транзистор VT1 закрыт, а максимальное выходное напряжение близко к напряжению питания: $U_{вых макс}^B = U_{СИ1} \approx U_{ИП}$.

При входном напряжении $U_{вх} = U_{ЗИ1} > U_{пор1}$ транзистор VT1 открыт и на выходе формируется напряжение низкого уровня, величина которого определяется выражением

$$U_{вых}^H = \frac{k_2 (U_{ИП} - U_{пор2})^2}{2k_1 (U_{ЗИ1} - U_{пор1})}, \quad (4.34)$$

где k_1, k_2 – удельная крутизна МДП-транзисторов VT1 и VT2 соответственно.

На практике всегда выполняется условие $U_{ЗИ1} \leq U_{ИП}$ и, как следует из уравнения (4.34), чтобы выходное напряжение низкого уровня $U_{вых}^H$ было мало, в инверторе с нелинейной нагрузкой для транзисторов VT1 и VT2 должно выполняться соотношение $k_2 \ll k_1$, то есть транзисторы должны быть разными, причем существенно.

Известно, что удельная крутизна МДП-транзисторов определяется в первую очередь геометрией транзистора, а именно отношением $\frac{Z}{L}$, т. е. ширины канала к длине канала. Следовательно, у транзистора VT1 отношение $\frac{Z}{L}$ должно быть как можно большим, а у транзистора VT2 – как

можно меньшим. В обоих случаях ограничения накладываются конструктивно-технологическими факторами. Если обеспечить отношение $\frac{k_1}{k_2} = 50-100$, что вполне реально, то напряжение низкого уровня $U_{\text{вых}}^H$

инвертора с нелинейной нагрузкой может составить 50–100 мВ.

Достоинство инвертора с нелинейной нагрузкой – максимальная простота его изготовления при минимальном числе внешних выводов, недостаток – уровень напряжения логической «1» ниже напряжения питания $U_{\text{ИП}}$, то есть $U^1 < U_{\text{ИП}}$.

Инвертор с квазилинейной нагрузкой. Если затвор нагрузочного транзистора МДП-типа подключить к автономному источнику напряжения $U_{\text{ИП}2}$, напряжение которого по модулю превышает напряжение питания инвертора на величину порогового напряжения $U_{\text{пор}2}$, то образуется инвертор с квазилинейной нагрузкой (рисунок 4.13,в). При таком включении резистор МДП-типа все время находится в крутой области выходных характеристик.

В отличие от инвертора с нелинейной нагрузкой инвертор с квазилинейной нагрузкой обеспечивает уровень напряжения логической «1» $U^1 = U_{\text{ИП}}$.

Инвертор с токостабилизирующей нагрузкой. Примером инвертора с токостабилизирующей нагрузкой является схема, приведенная на рисунке 4.13,г. В качестве нагрузки в инверторе используется транзистор со встроенным каналом того же типа проводимости, что и у управляющего транзистора. Затвор резистора МДП-типа со встроенным каналом может быть подключен не только к стоку или к автономному источнику питания, но и к истоку.

Наибольший интерес представляет схема инвертора, в которой затвор резистора МДП-типа соединен с его истоком (выходом инвертора). В зависимости от выходного напряжения резистор МДП-типа со встроенным каналом может работать в пологой области выходных характеристик или в крутой и соответственно ведет себя как нелинейный элемент или как генератор тока. Передаточная характеристика инвертора вблизи уровня выходного напряжения $U_{\text{вых}} = U^1$ определяется характеристикой резистора МДП-типа в крутой области и характеристиками управляющего транзистора в пологой области его выходных характеристик,

а вблизи уровня выходного напряжения $U_{\text{вых}} = U^0$ – характеристикой резистора МДП-типа в пологой области и характеристиками управляющего транзистора в крутой области.

Сравнение передаточных характеристик инверторов с различными типами нагрузки – линейной, нелинейной, квазилинейной и токостабилизирующей, представленное в [2], показывает, что наилучшей передаточной характеристикой обладает инвертор с токостабилизирующей нагрузкой, в которой резистор МДП-типа реализован на МДП-транзисторе со встроенным каналом.

Инвертор на комплементарных МДП-транзисторах. На рисунке 4.13,д представлена схема инвертора, содержащая транзисторы с индуцированными каналами n - и p -типа. Такие схемы называют схемами КМДП-типа или схемами на структурах КМДП-типа. Подложки каждого из транзисторов соединены с их истоками, что предотвращает открывание p - n -переходов. Затворы обоих транзисторов объединены и на них подается входной сигнал, а выходной сигнал снимается с объединенных стоков транзисторов.

Возможны следующие условия работы инвертора:

$$\begin{cases} |U_{\text{пор } p}| + |U_{\text{пор } n}| < |U_{\text{ИП}}| < |U_{\text{проб}}|; \\ \max \left[|U_{\text{пор } p}|, |U_{\text{пор } n}| \right] < |U_{\text{ИП}}| < \left[|U_{\text{пор } p}| + |U_{\text{пор } n}| \right]; \\ \left[|U_{\text{пор } p}| + |U_{\text{пор } n}| \right] = U_{\text{ИП}}, \end{cases}$$

где $U_{\text{проб}}$ – напряжение пробоя перехода сток-подложка n -канального транзистора.

В большинстве интегральных схем на структурах КМДП-типа преобладает первое условие.

Построение и функционирование инвертора КМДП-типа характерно тем, что входное напряжение управляет не только ключевым, но и нагрузочным транзистором. Когда напряжение на входе инвертора, равно напряжению затвор-исток ключевого транзистора, увеличивается, напряжение на затворе нагрузочного транзистора относительно его истока уменьшается, и наоборот. При входном напряжении $U_{\text{вх}} < U_{\text{пор } n}$ транзистор с каналом n -типа закрыт, а транзистор с каналом p -типа открыт, поэтому $U_{\text{вых}} = U_{\text{ИП}}$. Как только $|U_{\text{вх}} - U_{\text{ИП}}|$ станет равным $U_{\text{пор } p}$, транзистор с каналом p -типа закрывается и на выходе инвертора уста-

наливается напряжение логического «0», то есть выходное напряжение инвертора становится равным нулю. В инверторах на комплементарных МДП-транзисторах логические уровни не зависят от удельной крутизны транзисторов k_n и k_p .

На практике, особенно при большой емкостной нагрузке, находит применение схема двухтактного инвертора (рисунок 4.14). В сравнении с рассмотренными инверторами на МДП-транзисторах двухтактный инвертор обладает втрое большим быстродействием при одинаковой мощности рассеяния.

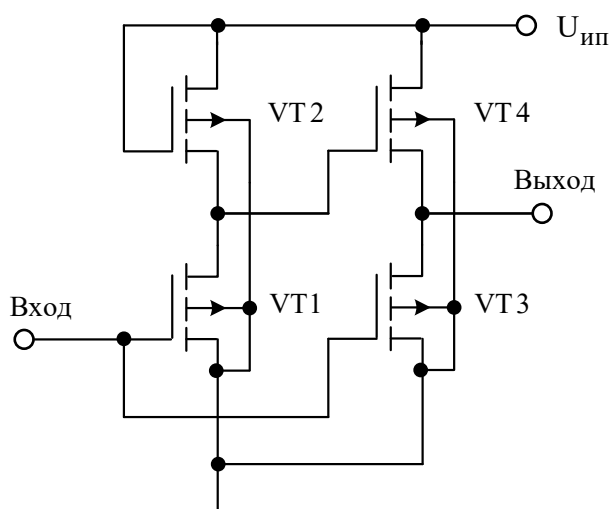


Рисунок 4.14 – Схема двухтактного инвертора

Это объясняется тем, что после поступления на вход инвертора напряжения $U_{вх} = U_{зи1} (U_{зи3}) < U_{пор1} (U_{пор3})$ транзисторы VT1 и VT3 закрываются и на затворе транзистора VT4 устанавливается высокое напряжение. При этом емкостная нагрузка для транзистора VT2 оказывается весьма небольшой и нарастание напряжения на затворе транзистора VT4 происходит очень быстро. В первый момент времени напряжение затвор-исток транзистора VT4 близко к напряжению источника питания $U_{ип}$, поэтому в начальный момент проводимость транзистора VT4 велика, что обеспечивает большую скорость заряда емкости нагрузки и тем самым самую большую скорость нарастания выходного напряжения от значения $U_{вых}^H$ до значения $U_{вых}^B$.

Переходные процессы в инверторе с линейной нагрузкой. Расчетная схема для анализа переходных процессов приведена на рисунке 4.15.

Переходные процессы в инверторах на МДП-транзисторах, в частности в инверторе с линейной нагрузкой, наблюдаются под действием больших импульсных сигналов, когда существенно проявляются нелинейные свойства транзистора, а транзистор выступает в качестве ключевого элемента.

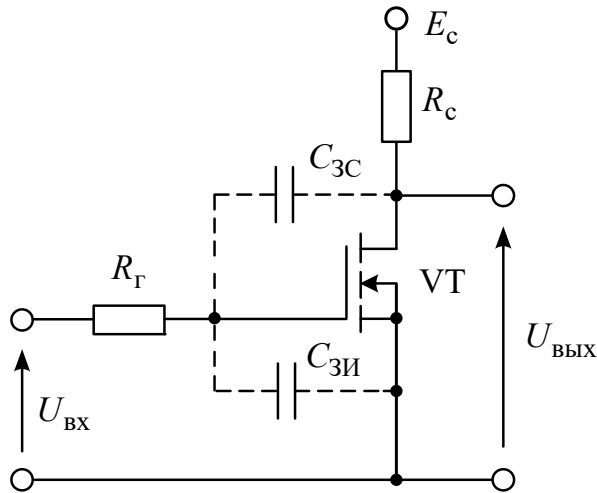


Рисунок 4.15 – Схема инвертора на МДП-транзисторе с линейной нагрузкой

В стационарном состоянии МДП-транзистор может быть выключен либо включен, что соответствует низкому $U_{ВХ}^H$ или высокому $U_{ВХ}^B$ уровню входного управляющего напряжения.

При входном напряжении, удовлетворяющем условию $U_{ВХ} = U_{ВХ}^H < U_{пор}$, токопроводящий канал отсутствует, транзистор закрыт и в его стоковой цепи протекает малый неуправляемый остаточный ток $I_{C\text{ост}}$. На выходе схемы формируется напряжение высокого уровня

$$U_{ВЫХ}^B = E_C - R_C I_{C\text{ост}} \approx E_C.$$

При входном напряжении $U_{ВХ} = U_{ВХ}^B > U_{пор}$ транзистор открывается. Для обеспечения малого выходного напряжения транзистор должен работать в крутой области стоковых характеристик, что возможно при условии

$$U_{\text{ВХ}}^{\text{В}} > U_{\text{пор}} + \frac{I_{\text{СВКЛ}}}{S} = U_{\text{пор}} + \sqrt{\frac{2I_{\text{СВКЛ}}}{k}},$$

где $I_{\text{СВКЛ}}$ – ток стока включенного транзистора; S – крутизна МДП-транзистора; k – удельная крутизна МДП-транзистора.

При $U_{\text{ВХ}} = U_{\text{ВХ}}^{\text{В}} > U_{\text{пор}}$ на выходе формируется напряжение низкого уровня

$$U_{\text{ВЫХ}}^{\text{Н}} = U_{\text{СИост}} = R_{\text{СИВКЛ}} I_{\text{СВКЛ}} = \frac{R_{\text{СИВКЛ}}}{R_{\text{СИВКЛ}} + R_{\text{С}}} E_{\text{С}}, \quad (4.35)$$

где $R_{\text{СИВКЛ}} = \frac{1}{k(U_{\text{ВХ}}^{\text{В}} - U_{\text{пор}})}$ – сопротивление канала транзистора.

Инерционные свойства МДП-транзисторов при работе в импульсном режиме обусловлены главным образом перезарядкой паразитных емкостей.

При скачкообразном изменении входного напряжения с низкого уровня до высокого начинается процесс включения, который содержит три стадии: задержки включения, спада выходного потенциала, установления включения.

Стадия задержки включения обусловлена зарядом входной емкости транзистора до порогового напряжения. На интервале задержки включения транзистор выключен, поэтому с достаточной точностью можно считать, что $U_{\text{СИ}} = \text{const}$. Тогда $\frac{du_{\text{ЗС}}}{dt} = \frac{d}{dt}(U_{\text{ЗИ}} - U_{\text{СИ}}) = \frac{du_{\text{ЗИ}}}{dt}$. Ток затвора МДП-транзистора крайне мал, в силу чего им можно без существенной погрешности пренебречь. В этом случае справедливо уравнение

$$\begin{aligned} i_{\text{ВХ}} &= i_{\text{СЗИ}} + i_{\text{СЗС}} = C_{\text{ЗИ}} \frac{du_{\text{ЗИ}}}{dt} + C_{\text{ЗС}} \frac{du_{\text{ЗС}}}{dt} = \\ &= (C_{\text{ЗИ}} + C_{\text{ЗС}}) \frac{du_{\text{ЗИ}}}{dt} = C_{\text{ВХ}} \frac{du_{\text{ЗИ}}}{dt}, \end{aligned} \quad (4.36)$$

то есть входная паразитная емкость транзистора на интервале задержки включения обусловлена емкостями $C_{\text{ЗИ}}$ и $C_{\text{ЗС}}$. Заряд входной емкости осуществляется по экспоненциальному закону, а длительность интервала задержки включения определяется выражением

$$\Delta t_{\text{ЗВКЛ}} = \tau_{\text{ВХ}} \ln \frac{U_{\text{ЗИ}}(\infty) - U_{\text{ЗИ}}(0)}{U_{\text{ЗИ}}(\infty) - U_{\text{ЗИ}}(\Delta t_{\text{ЗВКЛ}})}, \quad (4.37)$$

где $\tau_{\text{вх}} = R_{\Gamma} C_{\text{вх}} = R_{\Gamma} (C_{\text{ЗИ}} + C_{\text{ЗС}})$; $U_{\text{ЗИ}}(\infty) = U_{\text{ВХ}}^{\text{В}}$; $U_{\text{ЗИ}}(0) = U_{\text{ВХ}}^{\text{Н}}$;
 $U_{\text{ЗИ}}(\Delta t_{\text{ЗВКЛ}}) = U_{\text{ПОР}}$.

В результате

$$\Delta t_{\text{ЗВКЛ}} = R_{\Gamma} C_{\text{вх}} \ln \frac{U_{\text{ВХ}}^{\text{В}} - U_{\text{ВХ}}^{\text{Н}}}{U_{\text{ВХ}}^{\text{В}} - U_{\text{ПОР}}} \approx C_{\text{вх}} R_{\Gamma} \frac{U_{\text{ЗИ ПОР}} - U_{\text{ВХ}}^{\text{Н}}}{U_{\text{ВХ}}^{\text{В}}}. \quad (4.38)$$

На стадии спада выходного потенциала МДП-транзистор открывается и переходит в область насыщения. Коэффициент усиления для приращений входного и выходного напряжений определяется выражением $k_U = -SR_C = -k(U_{\text{ЗИ}} - U_{\text{ПОР}})R_C$ и при типовых значениях параметров составляет величину порядка десятков-сотен. Это свидетельствует о том, что приращение напряжения затвор-исток, определяемое как $\Delta u_{\text{ЗИ}} = \frac{\Delta u_{\text{СИ}}}{|k_U|} = \frac{\Delta u_{\text{ВЫХ}}}{|k_U|}$, существенно меньше изменения выходного

напряжения. На стадии спада выходного потенциала в схеме ключа действует сильная отрицательная обратная связь через емкость $C_{\text{ЗС}}$ (эффект Миллера), в результате чего действующее значение входной емкости МДП-транзистора резко возрастает:

$$\begin{aligned} i_{\text{вх}} &= i_{C_{\text{ЗИ}}} + i_{C_{\text{ЗС}}} = C_{\text{ЗИ}} \frac{du_{\text{ЗИ}}}{dt} + C_{\text{ЗС}} \frac{du_{\text{ЗС}}}{dt} = \\ &= C_{\text{ЗИ}} \frac{du_{\text{ЗИ}}}{dt} + C_{\text{ЗС}} \frac{d}{dt}(u_{\text{ЗИ}} - u_{\text{СИ}}) = \\ &= C_{\text{ЗИ}} \frac{du_{\text{ЗИ}}}{dt} + C_{\text{ЗС}} \frac{d}{dt}(u_{\text{ЗИ}} + |k_U| u_{\text{ЗИ}}) = \\ &= [C_{\text{ЗИ}} + C_{\text{ЗС}}(1 + |k_U|)] \frac{du_{\text{ЗИ}}}{dt} = C_{\text{вх.д}} \frac{du_{\text{ЗИ}}}{dt}, \end{aligned}$$

то есть $C_{\text{вх.д}} = C_{\text{ЗИ}} + C_{\text{ЗС}}(1 + |k_U|) = C_{\text{ЗИ}} + C_{\text{ЗС}}(1 + SR_C)$. Возрастает также постоянная времени входной цепи $\tau_{\text{вх.д}} = R_{\Gamma} C_{\text{вх.д}}$, что приводит к характерному замедлению изменения напряжения $u_{\text{ЗИ}}$. Таким образом, в первом приближении можно принять, что на интервале спада выходного потенциала напряжение затвор-исток остается постоянным, равным его среднему значению:

$$u_{\text{ЗИ}} = \text{const} = U_{\text{ЗИ ср}} = U_{\text{ЗИ ПОР}} + \frac{E_C - U_{\text{СИ ост}}}{2R_C S}. \quad (4.39)$$

При типовых значениях параметров выполняются неравенства

$$C_{\text{вх.д}} \approx C_{3C}(1 + SR_C) \gg C_{3И},$$

$$\tau_{\text{вх.д}} \approx R_{\Gamma} C_{3C}(1 + SR_C) \gg \tau_{\text{вых}} = R_C(C_{3C} + C_{СИ}),$$

что говорит о несущественном влиянии емкостей $C_{3И}$ и $C_{СИ}$ на стадию спада выходного потенциала.

С учетом равенства (4.39) для схемы ключа справедливы соотношения

$$\frac{du_{3И}}{dt} = 0; \quad \frac{du_{3C}}{dt} = \frac{d}{dt}(u_{3И} - u_{СИ}) = -\frac{du_{СИ}}{dt} = -\frac{du_{\text{вых}}}{dt}; \quad (4.40)$$

$$i_{\text{вх.вкл}} = \text{const} = I_{\text{вх.вкл}} = \frac{U_{\text{вх}}^B - U_{3И \text{ ср}}}{R_{\Gamma}}; \quad (4.41)$$

$$I_{\text{вх.вкл}} = C_{3C} \frac{du_{3C}}{dt} = -C_{3C} \frac{du_{\text{вых}}}{dt} = C_{3C} \frac{|\Delta u_{\text{вых}}|}{\Delta t}. \quad (4.42)$$

При этом выходное напряжение уменьшается практически по линейному закону.

Оценивая длительность стадии спада выходного потенциала как интервал времени изменения выходного напряжения от уровня $0,9(U_{\text{вых}}^B - U_{\text{вых}}^H)$ до уровня $0,1(U_{\text{вых}}^B - U_{\text{вых}}^H)$, то есть при $|\Delta u_{\text{вых}}| = 0,8(U_{\text{вых}}^B - U_{\text{вых}}^H) \approx 0,8(E_C - U_{СИ \text{ ост}})$, из соотношений (4.40)–(4.42) получаем

$$\Delta t_c = 0,8 R_{\Gamma} C_{3C} \frac{E_C - U_{СИ \text{ ост}}}{U_{\text{вх}}^B - U_{\text{пор}} - \frac{E_C - U_{СИ \text{ ост}}}{2R_C S}}. \quad (4.43)$$

На стадии установления включения выходное напряжение практически не изменяется: $u_{\text{вых}} \approx U_{СИ \text{ ост}}$, действие внутренней обратной связи в схеме прекращается, а входная емкость $C_{\text{вх}} = C_{3И} + C_{3C}$ экспоненциально заряжается до значения $U_{\text{вх}}^B$ с постоянной времени $\tau_{\text{вх}} = R_{\Gamma} C_{\text{вх}} = R_{\Gamma}(C_{3И} + C_{3C})$ за время

$$\Delta t_{\text{уст.вкл}} \approx (3-5)\tau_{\text{вх}} = (3-5)R_{\Gamma}(C_{3И} + C_{3C}). \quad (4.44)$$

При скачкообразном изменении входного напряжения с высокого уровня до низкого начинается процесс выключения, который также содержит три стадии: задержки выключения, нарастания выходного потенциала, установления выключения.

Задержка выключения обусловлена разрядом входной емкости транзистора с напряжения $U_{\text{ВХ}}^{\text{В}}$ до напряжения, при котором МДП-транзистор перейдет в область насыщения:

$$U_{\text{ЗИ кр}} = U_{\text{пор}} + \frac{I_{\text{С ВКЛ}}}{S} = U_{\text{пор}} + \frac{E_{\text{С}} - U_{\text{СИ ост}}}{R_{\text{С}} S}. \quad (4.45)$$

Разряд емкости происходит по экспоненциальному закону с постоянной времени $\tau_{\text{ВХ}} = R_{\text{Г}} C_{\text{ВХ}} = R_{\text{Г}} (C_{\text{ЗИ}} + C_{\text{ЗС}})$ за интервал времени

$$\Delta t_{\text{з. выкл}} = \tau_{\text{ВХ}} \ln \frac{U_{\text{ВХ}}^{\text{В}}}{U_{\text{ЗИ кр}}} = R_{\text{Г}} (C_{\text{ЗИ}} + C_{\text{ЗС}}) \ln \frac{U_{\text{ВХ}}^{\text{В}}}{U_{\text{пор}} + \frac{E_{\text{С}} - U_{\text{СИ ост}}}{R_{\text{С}} S}}. \quad (4.46)$$

На стадии нарастания выходного потенциала МДП-транзистор работает в области насыщения и справедливы допущения, сделанные для интервала спада выходного потенциала. Таким образом,

$$i_{\text{ВХ. выкл}} = \text{const} = -I_{\text{ВХ. выкл}} = -\frac{U_{\text{ЗИ ср}} - U_{\text{ВХ}}^{\text{Н}}}{R_{\text{Г}}}; \quad (4.47)$$

$$I_{\text{ВХ. выкл}} = C_{\text{ЗС}} \frac{du_{\text{ЗС}}}{dt} = C_{\text{ЗС}} \frac{du_{\text{ВЫХ}}}{dt} = C_{\text{ЗС}} \frac{\Delta u_{\text{ВЫХ}}}{\Delta t}. \quad (4.48)$$

Оценивая длительность стадии нарастания выходного потенциала как интервал времени изменения выходного напряжения от уровня $0,1 (U_{\text{ВЫХ}}^{\text{В}} - U_{\text{ВЫХ}}^{\text{Н}})$ до уровня $0,9 (U_{\text{ВЫХ}}^{\text{В}} - U_{\text{ВЫХ}}^{\text{Н}})$, из выражений (4.47) и (4.48) получаем

$$\Delta t_{\text{н}} = 0,8 R_{\text{Г}} C_{\text{ЗС}} \frac{E_{\text{С}} - U_{\text{СИ ост}}}{U_{\text{пор}} + \frac{E_{\text{С}} - U_{\text{СИ ост}}}{2 R_{\text{С}} S} - U_{\text{ВХ}}^{\text{Н}}}. \quad (4.49)$$

На стадии установления выключения выходное напряжение практически не изменяется: $u_{\text{ВЫХ}} \approx E_{\text{С}}$, действие внутренней обратной связи в схеме прекращается, а входная емкость $C_{\text{ВХ}} = C_{\text{ЗИ}} + C_{\text{ЗС}}$ разряжается до

значения $U_{\text{ВХ}}^{\text{Н}}$ с постоянной времени $\tau_{\text{ВХ}} = R_{\Gamma} C_{\text{ВХ}} = R_{\Gamma} (C_{\text{ЗИ}} + C_{\text{ЗС}})$ за время

$$\Delta t_{\text{уст. выкл}} \approx (3-5) \tau_{\text{ВХ}} = (3-5) R_{\Gamma} (C_{\text{ЗИ}} + C_{\text{ЗС}}). \quad (4.50)$$

Переходные процессы в инверторе с линейной нагрузкой при включении транзистора по схеме с общим истоком представлены на рисунке 4.16.

Представленная методика анализа переходных процессов в инверторе с линейной нагрузкой может быть использована и для анализа переходных процессов в инверторах с нелинейной, квазилинейной и токостабилизирующей нагрузками, а также в инверторе на транзисторах с разным типом проводимости. При анализе переходных процессов в инверторе на транзисторах с разным типом проводимости следует учитывать, что заряд и разряд емкости нагрузки $C_{\text{Н}}$ осуществляется через открытые транзисторы. Поскольку в инверторе на транзисторах с разными типами проводимости логические уровни $U_{\text{ВЫХ}}^0$ и $U_{\text{ВЫХ}}^1$ не зависят от удельной крутизны транзисторов – $U_{\text{ВЫХ}}^0 = 0$, $U_{\text{ВЫХ}}^1 = U_{\text{ИП}}$, то с целью уменьшения времени $t^{1,0}$ перехода из состояния логической «1» в состояние логического «0» и времени $t^{0,1}$ перехода из состояния логического «0» в состояние логической «1» удельная крутизна транзисторов может быть взята достаточно большой.

Если в инверторах с линейной нагрузкой или нагрузкой МДП-типа выполняется условие равенства значения напряжения $U_{\text{ВЫХ}}^0$ для всех схем, то время $t^{0,1}$ более чем на порядок больше, чем время $t^{1,0}$ для всех схем, за исключением инвертора с токостабилизирующей нагрузкой. Наибольшее время $t^{0,1}$ имеет инвертор с нелинейной нагрузкой, затем в порядке уменьшения времени $t^{0,1}$ идут схемы инвертора с квазилинейной нагрузкой, с линейной нагрузкой и с токостабилизирующей нагрузкой.

Время $t^{1,0}$ для всех схем практически одинаково и определяется параметрами управляющего транзистора, за исключением инвертора с нелинейной нагрузкой, у которого время $t^{1,0}$ примерно в 1,4 раза больше, чем у остальных инверторов [2].

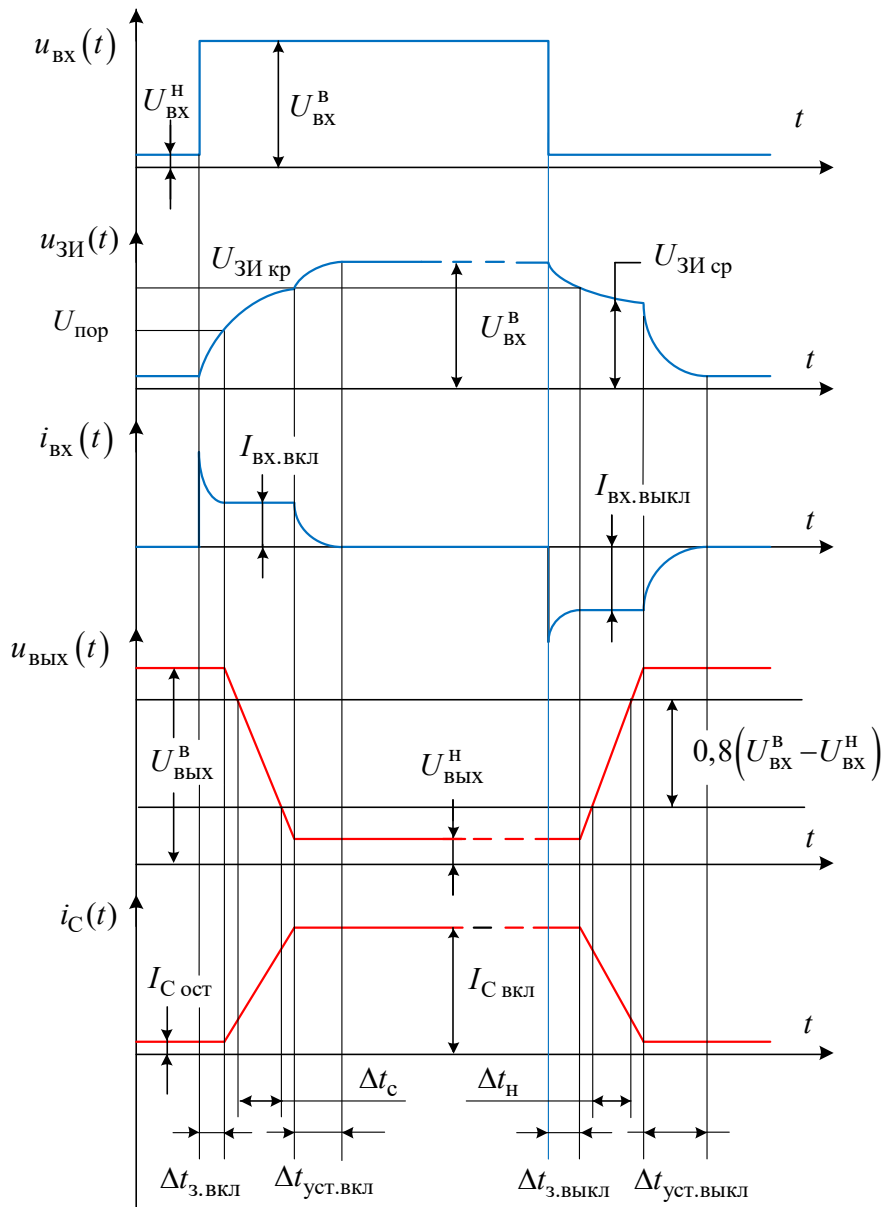


Рисунок 4.16 – Временные диаграммы работы МДП-транзистора в импульсном режиме в схеме с общим истоком

4.5 Переключатель тока

Переключателем тока называют симметричную схему (рисунок 4.17), в которой заданный ток I_0 протекает через ту или иную ее ветвь в зависимости от потенциала U_6 на одном из входов. Потенциал

$U_{\text{оп}}$ на втором входе поддерживается неизменным. Переключатель тока является функциональным узлом цифровых интегральных схем эмиттерно-связанной логики (ЭСЛ).

Управление переключателем тока осуществляется не током, как в простейшем ключе на биполярном транзисторе, а напряжением. Транзисторы переключателя тока в открытом состоянии работают в нормальном активном режиме, что обеспечивает повышенную скорость переключения вследствие уменьшения времени задержки выключения, обусловленного процессом рассасывания избыточного заряда неосновных носителей в базе.

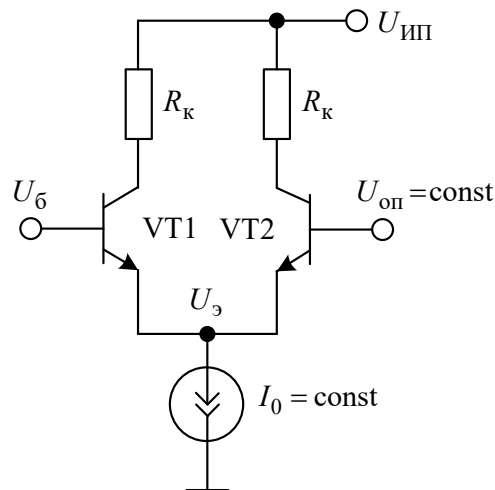


Рисунок 4.17 – Переключатель тока

Рассмотрим принцип работы переключателя тока в статическом режиме.

Предположим, что $U_{\text{б}} = U_{\text{оп}}$. При этом оба транзистора открыты и через каждый открытый транзистор протекают равные по величине токи $I_{\text{кVT1}} = I_{\text{кVT2}} = 0,5 I_0$. Потенциалы эмиттеров $U_{\text{э}}$ транзисторов VT1, VT2 меньше потенциала $U_{\text{оп}}$ на величину $U^* = U_{\text{бэVT1}} = U_{\text{бэVT2}}$ и становятся равными: $U_{\text{эVT1}} = U_{\text{эVT2}} = U_{\text{оп}} - U^*$.

Допустим, что потенциал на базе транзистора VT1 уменьшился на величину $\delta \geq 0,1 \text{ В}$. Поскольку потенциал $U_{\text{э}}$ не меняется, напряжение $U_{\text{бэVT1}}$ также уменьшится на величину δ , а ток транзистора VT1 уменьшится в десятки раз. Следовательно, при входном сигнале

$U_{\text{вх}} = U_{\text{б}} \leq U_{\text{оп}} - \delta$ транзистор VT1 закрыт, а через транзистор VT2 протекает полный ток источника тока I_0 . Таким образом, потенциал $U_{\text{б}}^- = U_{\text{оп}} - \delta$ является потенциалом, при котором транзистор VT1 закрывается, то есть является *закрывающим потенциалом*.

Допустим, что потенциал на базе транзистора VT1 возрос на величину δ , тогда на ту же величину возрастет потенциал эмиттеров транзисторов VT1, VT2 и уменьшится напряжение $U_{\text{бэVT2}}$ транзистора VT2, что приведет к резкому уменьшению его тока. Следовательно, при входном сигнале $U_{\text{б}} \geq U_{\text{оп}} + \delta$ транзистор VT2 можно считать закрытым и весь ток источника тока I_0 протекает через транзистор VT1, а значит, потенциал $U_{\text{б}}^+ = U_{\text{оп}} + \delta$ является потенциалом, при котором транзистор VT1 открывается, то есть *открывающим потенциалом*.

Таким образом, *перепад потенциала* $U_{\text{б}} = \pm \delta$ *около средней величины* $U_{\text{оп}}$ *обеспечивает переключение тока* I_0 *из одного транзистора в другой*. Соотношения между открывающим и закрывающим потенциалами определяются уравнениями

$$U_{\text{б}}^+ - U_{\text{б}}^- = 2\delta, \quad (4.51)$$

$$\frac{1}{2}(U_{\text{б}}^+ + U_{\text{б}}^-) = U_{\text{оп}}. \quad (4.52)$$

Полагая, что открытый транзистор работает в нормальном активном режиме, и учитывая, что ток эмиттера $I_{\text{э}} = I_0$, получаем для токов коллектора и базы известные формулы

$$I_{\text{к}} = \alpha I_0; \quad (4.53)$$

$$I_{\text{б}} = I_{\text{э}} - I_{\text{к}} = (1 - \alpha)I_0 = \frac{I_0}{\beta + 1}. \quad (4.54)$$

Потенциал коллектора открытого транзистора определяется выражением

$$U_{\text{к}} = U_{\text{ИП}} - R_{\text{к}}I_{\text{к}} = U_{\text{ИП}} - \alpha R_{\text{к}}I_0. \quad (4.55)$$

Для того чтобы обеспечить нормальный активный режим транзистора, то есть избежать режим насыщения, нужно выполнить условие

$U_{кб} \geq 0$ или $U_{к} > U_{б}$. Учитывая, что $U_{к} = U_{ИП} - \alpha R_{к} I_0$ и $U_{б} = U_{б}^+$, неравенство $U_{к} > U_{б}$ можно представить в виде

$$U_{ИП} - \alpha R_{к} I_0 \geq U_{б}^+. \quad (4.56)$$

На практике это неравенство можно заменить равенством, так как небольшие отрицательные значения напряжения $U_{кб}$ не вызывают существенной инжекции в коллекторном переходе, а значит, и накопления избыточного заряда. Тогда условие обеспечения нормального активного режима работы транзистора можно записать в виде

$$U_{ИП} - \alpha R_{к} I_0 = U_{б}^+ = U_{оп} + \delta. \quad (4.57)$$

Остаточное напряжение на транзисторе при условии граничного режима ($U_{кб} = 0$) равно напряжению на эмиттерном переходе транзистора:

$$U_{ост} = U_{бэ} = U^*.$$

Из выражения (4.55) следует, что потенциал коллектора открытого транзистора не зависит от входного сигнала $U_{б}^+$ и от изменений коэффициента β , поскольку коэффициент $\alpha \approx 1$. При стабилизированном напряжении питания $U_{ИП}$ единственным параметром, определяющим величину потенциала коллектора открытого транзистора, является сопротивление $R_{к}$.

Для реализации источника тока I_0 существуют разные способы. Наиболее простым является использование резистора R_0 (рисунок 4.18).

Если открыт транзистор VT2, то ток I_{0VT2} определяется соотношением

$$I_{0VT2} = \frac{U_{э}}{R_0} = \frac{U_{оп} - U^*}{R_0}.$$

Если открыт транзистор VT1, то ток I_{0VT1} имеет несколько большее значение:

$$I_{0VT1} = \frac{U_{э}}{R_0} = \frac{U_{б}^+ - U^*}{R_0}.$$

Поскольку $U_6^+ = U_{оп} + \delta$, $I_{0VT2} = \frac{U_{оп} - U^*}{R_0}$, то уравнение, позволя-

ющее определить ток I_{0VT1} , можно представить в виде

$$I_{0VT1} = \frac{U_6^+ - U^*}{R_0} = \frac{U_{оп} + \delta - U^*}{R_0} = \frac{U_{оп} - U^*}{R_0} + \frac{\delta}{R_0} = I_{0VT2} + \frac{\delta}{R_0},$$

откуда следует, что ток I_0 при переключении не остается постоянным,

а изменяет свое значение на величину $\frac{\delta}{R_0}$.

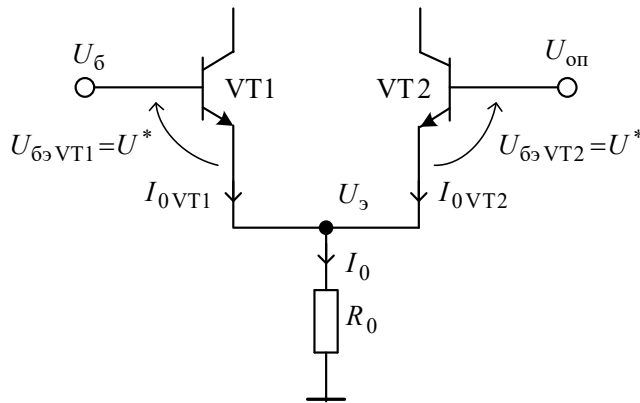


Рисунок 4.18 – Переключатель тока с резистором в качестве источника тока

Чтобы изменение тока I_0 при переключении транзисторов было пренебрежимо малым, должно выполняться условие

$$\frac{\delta}{R_0} \ll \frac{U_{оп} - U^*}{R_0} \text{ или } U_{оп} - U^* \gg \delta.$$

4.6 Бистабильные ячейки

Простейшие ключи определяют основу всех цифровых интегральных схем. Ключи широко применяются как самостоятельно, так и в составе отдельных функциональных узлов, и прежде всего в бистабильных ячейках. Для бистабильных ячеек характерно использование не только прямых связей между ключами, но и положительных обратных связей.

Электронные схемы, которые имеют два равноценных варианта устойчивых состояний, называют бистабильными ячейками. На рисунке 4.19 представлена бистабильная ячейка на биполярных транзисторах *n-p-n*-типа.

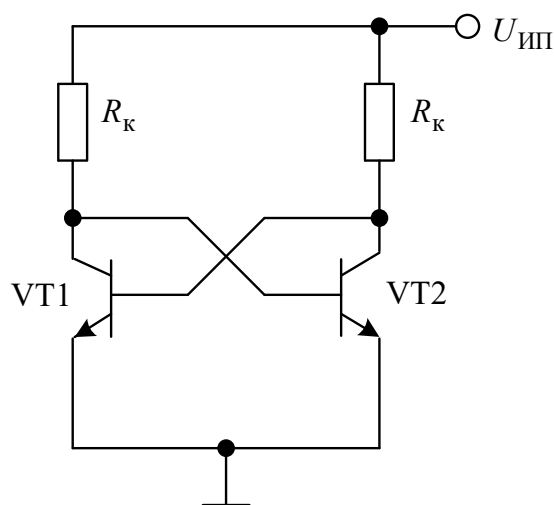


Рисунок 4.19 – Бистабильная ячейка

Схеме бистабильной ячейки, представленной на рисунке 4.19, свойственны симметричная конфигурация и наличие перекрестных (взаимных) обратных связей. Устойчивое состояние может иметь два варианта: транзистор VT1 закрыт, транзистор VT2 открыт или, наоборот, транзистор VT1 открыт, транзистор VT2 закрыт. Другими словами, *бистабильной ячейке свойственна электрическая асимметрия*, которая является следствием *регенерации* – лавинообразного процесса нарастания тока в одной половине бистабильной ячейки и уменьшения тока в другой половине ячейки. Когда один из транзисторных ключей бистабильной ячейки закрывается, а другой ключ открывается, процесс регенерации заканчивается. *Электрическая симметрия в бистабильной ячейке невозможна.*

При анализе бистабильной ячейки можно с равным основанием считать исходным любое из двух возможных устойчивых состояний. Цель управления бистабильной ячейкой состоит в том, чтобы с помощью внешних сигналов задавать то или иное из двух устойчивых состояний.

Для реализации режима установки параллельно каждому из транзисторов, входящих в состав бистабильной ячейки, подключается еще один транзисторный ключ – транзистор VT3 параллельно транзистору VT1 и транзистор VT4 параллельно транзистору VT2 (рисунок 4.20,а). Эти

транзисторные ключи управляются внешним сигналом, который принимает одно из двух значений – I_6^+ или «0».

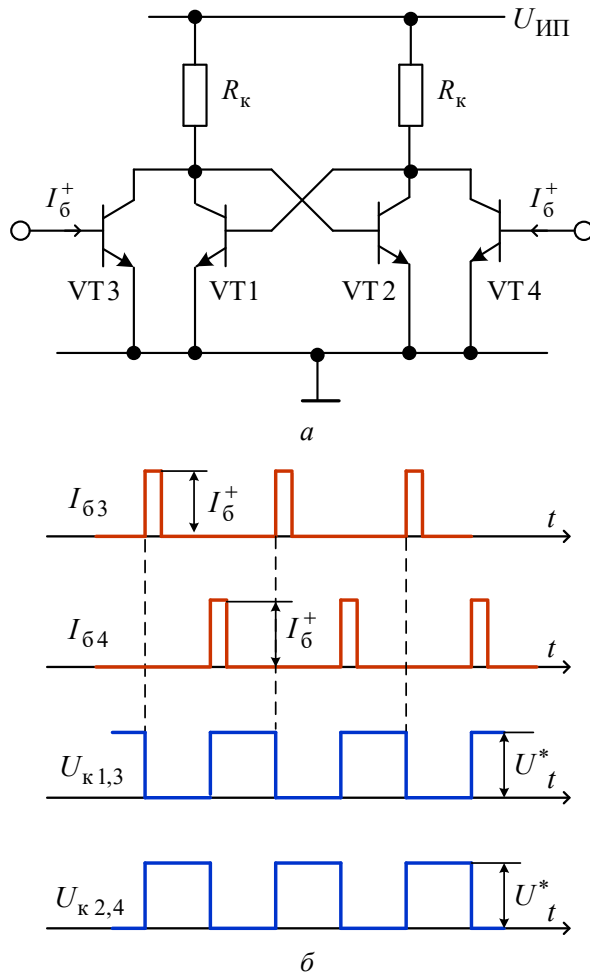


Рисунок 4.20 – Схема (а) и временные диаграммы (б) бистабильной ячейки с отдельными входами установки

Пусть в исходном состоянии транзистор VT1 бистабильной ячейки закрыт, транзистор VT2 открыт и находится в режиме насыщения, а транзисторные ключи VT3 и VT4 закрыты. Если транзистор VT4 открыть током I_6^+ , то состояние бистабильной ячейки не изменится, так как потенциал $U_{кVT2}$ в исходном состоянии до подачи тока I_6^+ соответствовал значению, близкому к нулю. Если транзистор VT3 открыть током I_6^+ , то

потенциал $U_{кVT1}$ падает до нуля и, как следствие, падает до нуля потенциал базы $U_{бVT2}$ транзистора VT2, он закрывается, а транзистор VT1, благодаря регенерации, открывается. После того как достигнуто новое устойчивое состояние, транзисторный ключ VT3 теряет свое управляющее действие – его включение и выключение не влияет на уровень потенциалов $U_{кVT1}$, $U_{бVT2}$ и, как следствие, на состояние бистабильной ячейки. Чтобы вернуть бистабильную ячейку в исходное состояние, необходимо транзистор VT4 открыть током I_6^+ .

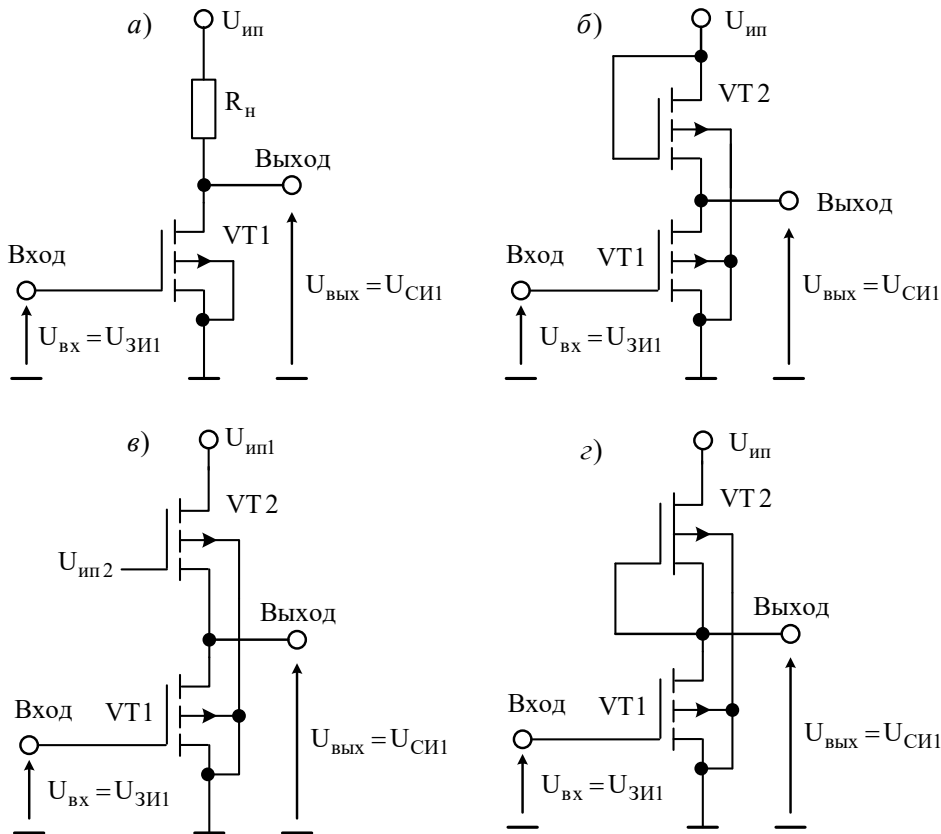
Следует отметить, что *подача токов I_6^+ на управляющие транзисторы бистабильной ячейки одновременно недопустима*. Действительно, если управляющие токи I_6^+ на транзисторные ключи VT3, VT4 поданы одновременно, то потенциалы $U_{бVT1}$, $U_{бVT2}$ на базах транзисторов VT1, VT2 будут близки к нулю и они будут закрыты. По окончании действия управляющих токов I_6^+ транзисторы VT1, VT2 откроются, то есть бистабильная ячейка на определенное время приобретет симметричное состояние, из которого с равной вероятностью может перейти в любое из двух устойчивых состояний. Таким образом, *результат одновременного действия токов I_6^+ на управляющие транзисторы бистабильной ячейки оказывается неоднозначным*, что для цифровых интегральных схем неприемлемо.

Бистабильная ячейка с отдельными входами установки получила название RS-триггера. Следует отметить, что *бистабильная ячейка составляет лишь основу всякого триггера, а триггеры различаются способами управления бистабильной ячейкой*.

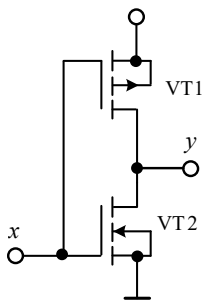
Контрольные вопросы

1. Известно, что в схемах электронных ключей, входящих в состав цифровых биполярных интегральных микросхем, как правило, используются *n-p-n*-транзисторы. Дайте объяснение этому утверждению.
2. Какими динамическими параметрами характеризуются переходные процессы в биполярном ключе?
3. Представьте порядок формирования ключевых схем на МДП-транзисторах.

4. Укажите схему инвертора на МДП-транзисторе с токостабилизирующей нагрузкой.



5. Укажите функциональное назначение схемы на МДП-транзисторах:



- а) логический элемент с нелинейной нагрузкой;
- б) логический элемент НЕ с квазилинейной нагрузкой;
- в) логический элемент НЕ на комплементарных МДП-транзисторах;
- г) логический элемент НЕ с токостабилизирующей нагрузкой.

6. Чем обусловлены инерционные свойства МДП-транзисторов при работе в импульсном режиме?

7. Объясните принцип действия бистабильной ячейки.

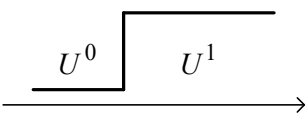
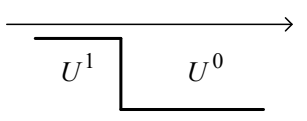
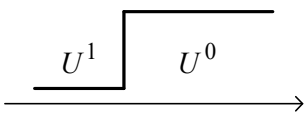
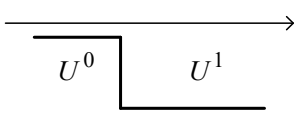
5 СХЕМОТЕХНИКА ЦИФРОВЫХ МИКРОЭЛЕКТРОННЫХ СТРУКТУР

5.1 Диодно-транзисторные логические элементы

Основными и наиболее простыми комбинационными цифровыми устройствами являются логические элементы, которые выполняют элементарные логические операции над двоичными переменными, – инвертор (логический элемент НЕ), конъюнктор (логический элемент И), дизъюнктор (логический элемент ИЛИ), и которые образуют функционально полную систему. Функционально полную систему образуют также составные (комбинированные) логические элементы – логический элемент Шеффера (элемент И-НЕ) и логический элемент Пирса (элемент ИЛИ-НЕ).

Существуют два рода так называемых *логических соглашений* в зависимости от того, каким уровнем напряжения кодировать логическую «1» и логический «0». В соглашении *положительной логики* более высокий уровень напряжения (H – high) соответствует логической «1», низкий (L – low) – логическому «0». В соглашении *отрицательной логики* – наоборот (таблица 5.1).

Таблица 5.1 – Кодирование уровней напряжения

Логика	Полярность напряжения питания	
	Положительная	Отрицательная
Положительная		
Отрицательная		

Самым важным следствием применения отрицательной логики является то, что при переходе от положительной логики к отрицательной функция «И» превращается в «ИЛИ» и наоборот. Это вытекает из теоремы де Моргана (теоремы двойственности) – инверсия конъюнкции есть

дизъюнкция инверсий; инверсия дизъюнкции есть конъюнкция инверсий: $\overline{x_1 \cdot x_2} = \overline{x_1} + \overline{x_2}$, $\overline{x_1 + x_2} = \overline{x_1} \cdot \overline{x_2}$.

В качестве примера в таблице истинности приведены значения аргументов и функции двухвходового логического элемента, представленные в виде уровней напряжений.

№	x_1	x_2	y
0	L	L	L
1	L	H	L
2	H	L	L
3	H	H	H

В соглашении положительной логики («1» – H, «0» – L) таблица истинности приобретает вид

№	x_1	x_2	y
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Она соответствует логическому элементу «И».

В соглашении отрицательной логики («0» – H, «1» – L) таблица истинности приобретает вид

№	x_1	x_2	y
0	1	1	1
1	1	0	1
2	0	1	1
3	0	0	0

Она соответствует логическому элементу «ИЛИ».

Отсюда общий вывод: *если логический элемент в положительной логике реализует логическую функцию «И», то в отрицательной логике этот же элемент реализует функцию «ИЛИ», и наоборот, логический элемент «ИЛИ» положительной логики реализует функцию «И» в отрицательной логике.*

Интегральные логические элементы составляют основу (элементную базу) более сложных интегральных схем. В зависимости от схемотехни-

ческой реализации логические элементы подразделяются на группы, основными из которых являются:

- диодно-транзисторные логические элементы (ДТЛ);
- транзисторно-транзисторные логические элементы (ТТЛ);
- транзисторные логические элементы на переключателях тока (элементы ЭСЛ-типа);
- логические элементы на МДП-транзисторах.

До недавнего времени тип интегральных микросхем диодно-транзисторной логики применялся редко. Интерес к нему возник вновь после того, как удалось создать логические ИС, работающие на данном принципе, с временем задержки сигнала 1,6 нс, рассеиваемой мощностью 0,5 Вт/инвертор. В новых ИС ДТЛ резисторы и диоды выполнены из поликресталлического кремния, что позволило увеличить площадь монокристалла, отводимую под активные компоненты.

Основу ИС ДТЛ составляет конъюнктор. Положительная логика на практике используется наиболее часто. В дальнейшем (для определенности) будет рассматриваться положительная логика и только в отдельных случаях отрицательная логика.

Электрическая схема конъюнктора на диодах положительной логики с положительным питанием представлена на рисунке 5.1.

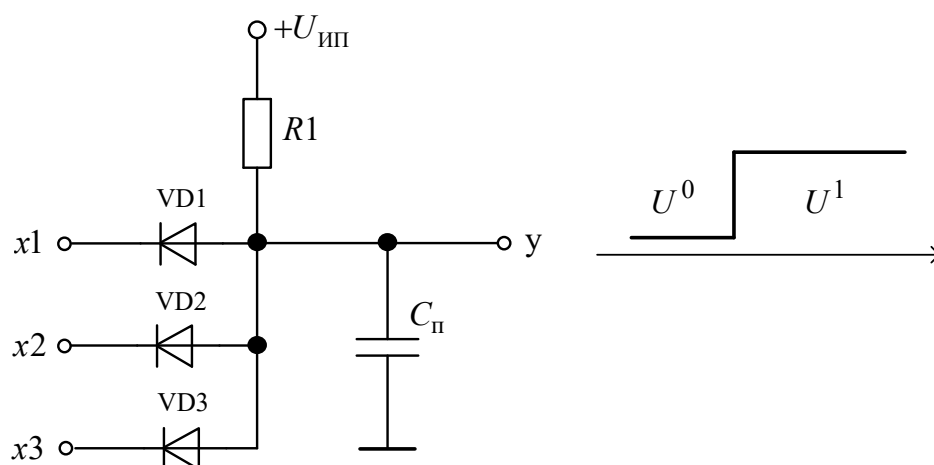


Рисунок 5.1 – Электрическая схема конъюнктора на диодах положительной логики с положительным питанием

Рассмотрим принцип работы конъюнктора, полагая диоды идеальными, то есть $r_{\text{пр}} = 0$, $r_{\text{обр}} = \infty$, где $r_{\text{пр}}$, $r_{\text{обр}}$ – сопротивление диода при

прямом и обратном напряжении; $C_{\Pi} = C_{\text{м}} + C_{\text{д}} + C_{\text{н}}$ – паразитная емкость, где $C_{\text{м}}, C_{\text{д}}, C_{\text{н}}$ – емкости монтажа, диодов и нагрузки.

Если на всех входах x_1, x_2, x_3 уровни напряжения U^0 , то диоды VD1, VD2 и VD3 открыты и проводят ток, потенциал в точке «а» равен нулю, емкость C_{Π} разряжена и на выходе конъюнктора уровень напряжения U^0 (рисунок 5.2).

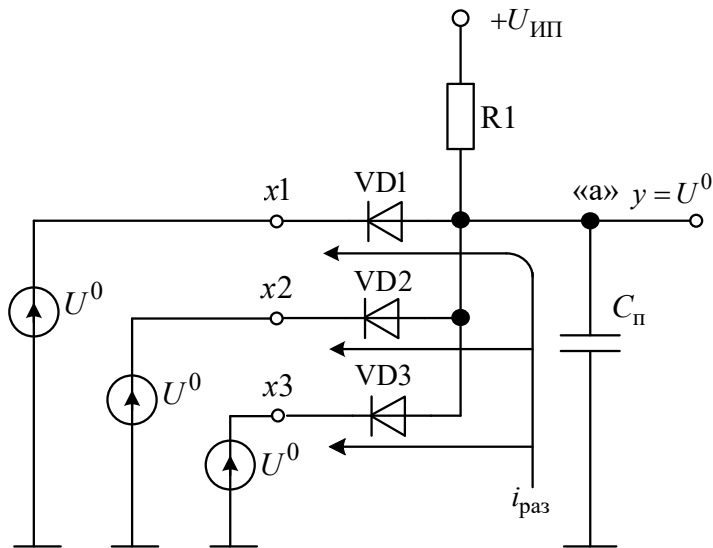


Рисунок 5.2 – На входах конъюнктора уровни напряжения логического нуля

Если хотя бы на одном входе конъюнктора, например x_1 , уровень напряжения U^0 , а на оставшихся входах уровень напряжения U^1 , то диод VD1 открыт и проводит ток, а диоды VD2 и VD3 закрыты, так как паразитная емкость C_{Π} разряжена (рисунок 5.3). При этом на выходе конъюнктора будет напряжение U^0 .

Если на всех входах конъюнктора уровень напряжения U^1 , то диоды VD1, VD2 и VD3 закрываются, так как паразитная емкость C_{Π} разряжена, а заряд емкости не может измениться мгновенно. Постепенно паразитная емкость C_{Π} заряжается, потенциал в точке «а» изменяется от уровня напряжения $U^0 = 0$ В, стремясь к уровню напряжения логической «1» $U^1 = U_{\text{ИП}}$ (рисунок 5.4).

Сигнал на выходе конъюнктора за время $t^{0,1}$ перехода из состояния логического «0» в состояние логической «1» имеет искаженную форму за счет заряда емкости C_{Π} с постоянной времени $\tau_{\text{зар}} = C_{\Pi} R_1$.

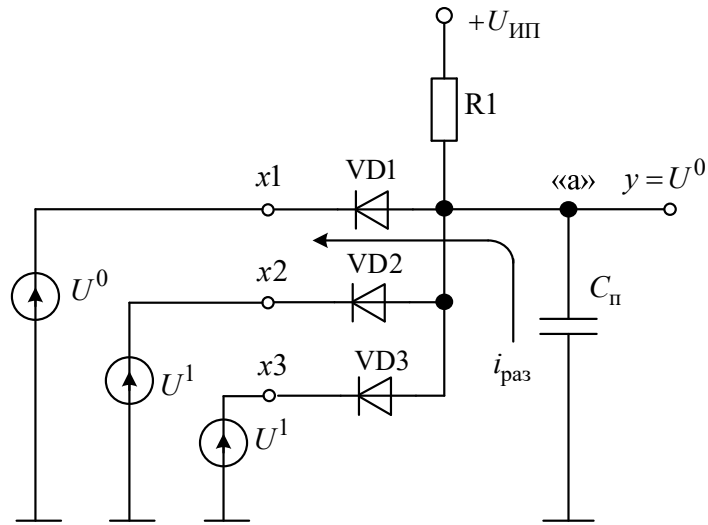


Рисунок 5.3 – На одном входе конъюнктора уровень напряжения логического нуля

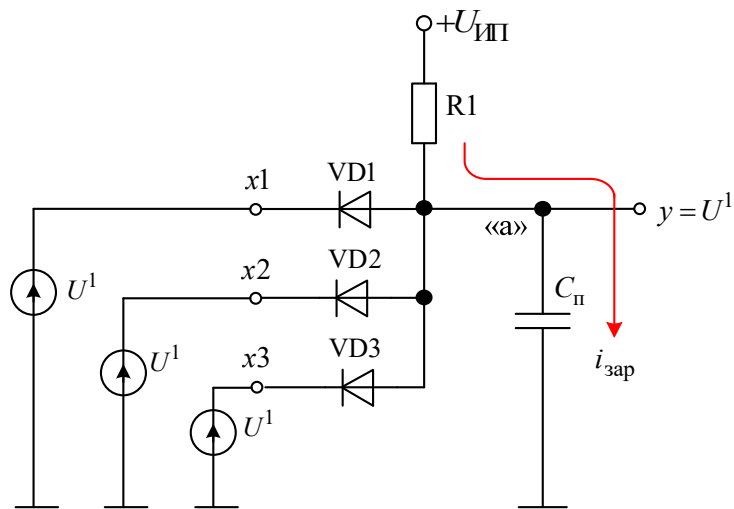


Рисунок 5.4 – На всех входах конъюнктора уровень напряжения логической единицы

Верхний уровень выходного сигнала зависит от соотношений напряжения $U_{\text{ИП}}$ и верхних уровней входных сигналов:

если $\forall U_i^B \geq U_{\text{ИП}}$, то верхний уровень выходного сигнала $U_{\text{ВЫХ}}^B = U_{\text{ИП}}$;

если $\exists U_i^B < U_{\text{ИП}}$, то верхний уровень выходного сигнала $U_{\text{ВЫХ}}^B = U_{\text{ВХ. min}}^B$.

Здесь U_i^B – верхний уровень i -го входного сигнала; $U_{\text{ВЫХ}}^B$ – верхний уровень выходного сигнала; \forall – математический символ «для всех»; \exists – математический символ «существует» (смысл математических символов \forall и \exists соответствует ISO 800000-2).

Электрическая схема конъюнктора на диодах отрицательной логики с отрицательным питанием представлена на рисунке 5.5.

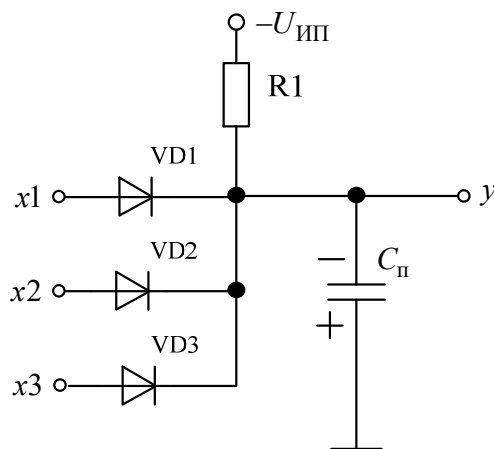


Рисунок 5.5 – Электрическая схема конъюнктора на диодах отрицательной логики с отрицательным питанием

На рисунке 5.6 показана временная диаграмма выходного напряжения конъюнктора на диодах отрицательной логики с отрицательным питанием.

На рисунке 5.7 представлена схема конъюнктора с нагрузкой.

По величине сопротивления нагрузки $R_{\text{Н}}$ различают конъюнктор с переключением напряжения, если $R_{\text{Н}} \geq R1$, и с переключением тока, если $R_{\text{Н}} \ll R1$.

Полагаем, диоды кремниевые, для которых $\Delta U_{\text{VD}} = 0,7 \text{ В}$, транзисторы VT_i на входах конъюнктора работают в ключевом режиме, так что

в режиме насыщения $U_{кз} = 0,3 \text{ В}$, а в режиме отсечки обратный ток $I_{ко} = 0$.

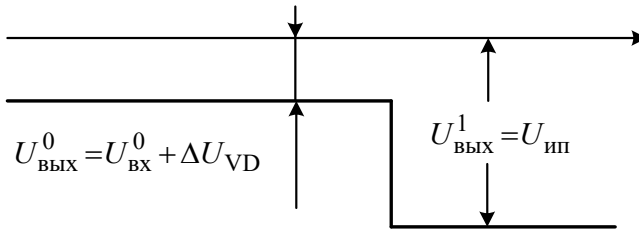


Рисунок 5.6 – Временная диаграмма выходного напряжения конъюнктора на диодах отрицательной логики с отрицательным питанием

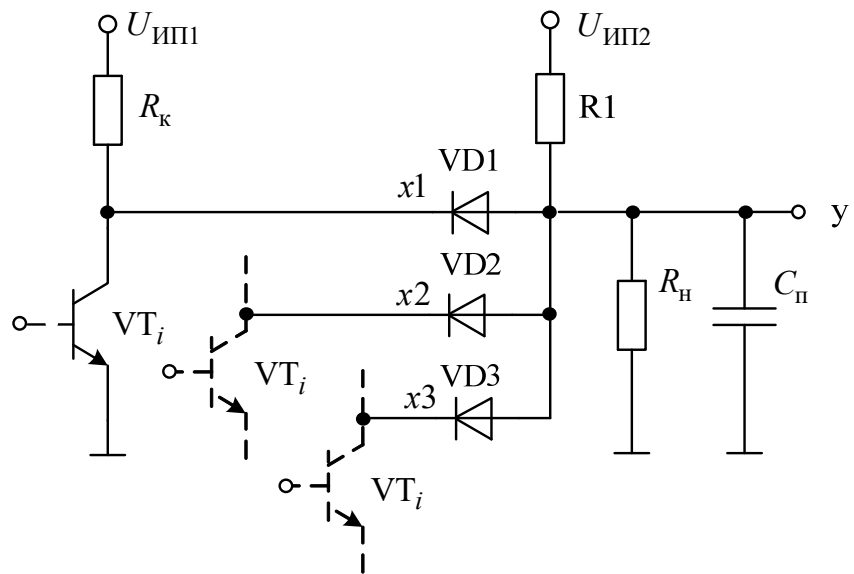


Рисунок 5.7 – Схема конъюнктора с нагрузкой

Для конъюнктора с нагрузкой $R_k = 1,0 \text{ кОм}$; $R_1 = 3,0 \text{ кОм}$; $R_n = 6,0 \text{ кОм}$; $C_п = 100 \text{ пФ}$; $U_{ИП1} = 5 \text{ В}$; $U_{ИП2} = 6 \text{ В}$. По входам x_2 , x_3 транзисторы VT_i находятся в режиме отсечки, а по входу x_1 – в режиме насыщения. Тогда $U_{вх}^0 = 0,3 \text{ В}$, диод $VD1$ открыт и проводит ток, а диоды $VD2$, $VD3$ закрыты. Напряжение на выходе конъюнктора $U_{вых}^0 = U_{вх}^0 + \Delta U_{пр} = 1,0 \text{ В}$. Паразитная емкость $C_п$ заряжена до напряжения $U_{вх}^0 + \Delta U_{пр} = 1,0 \text{ В}$.

Если на входах x_1, x_2, x_3 действует напряжение $U_{\text{ВХ}}^1$, то транзисторы VT_i находятся в режиме отсечки, диоды $VD1 - VD3$ закрываются и паразитная емкость $C_{\text{П}}$ стремится зарядиться до напряжения

$$U_{C_{\text{П}}} = U_{\text{ВЫХ}}^1 = \frac{U_{\text{ИП2}} R_{\text{Н}}}{R_1 + R_{\text{Н}}} = \frac{6 \cdot 6 \cdot 10^3}{3 \cdot 10^3 + 6 \cdot 10^3} = 4 \text{ В} .$$

Тогда логический перепад

$$\Delta U_{\text{ВХ}} = U_{\text{ВХ}}^1 - U_{\text{ВХ}}^0 = U_{\text{ИП1}} - U_{\text{ВХ}}^0 = 4,7 \text{ В} ,$$

$$\text{а логический перепад выходного напряжения } \Delta U_{\text{ВЫХ}} = U_{\text{ВЫХ}}^1 - U_{\text{ВЫХ}}^0 = 3,0 \text{ В} .$$

Таким образом, в схеме конъюнктора на диодах уровни выходных напряжений $U_{\text{ВЫХ}}^0, U_{\text{ВЫХ}}^1$ отличаются от уровней входных напряжений $U_{\text{ВХ}}^0$ и $U_{\text{ВХ}}^1$, а логический перепад напряжения на выходе конъюнктора отличается от логического перепада напряжения на его входе, что является недостатком данной схемы конъюнктора.

На рисунке 5.8 показана схема логического элемента И-НЕ диодно-транзисторной положительной логики с положительным напряжением питания.

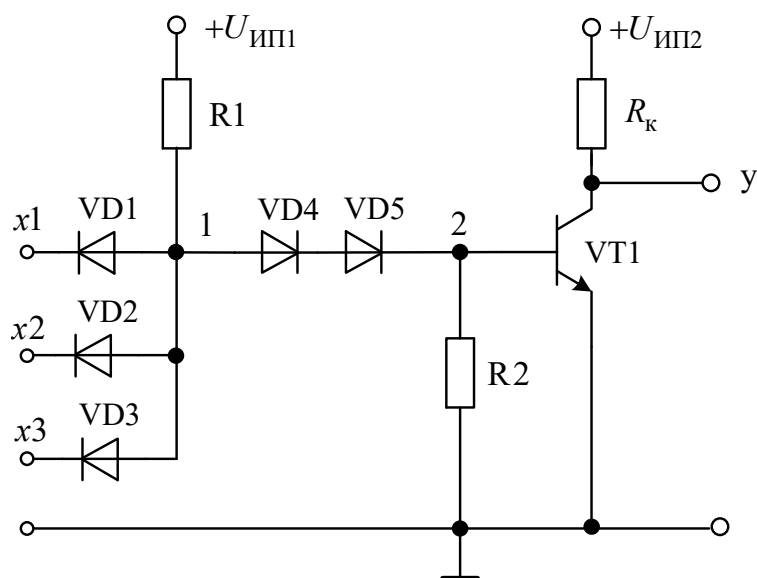


Рисунок 5.8 – Логический элемент И-НЕ диодно-транзисторной логики

Логический элемент И-НЕ диодно-транзисторной логики представляет собой соединение через диоды смещения $VD4, VD5$ двух логических

элементов – диодного элемента И (конъюнктора) и транзисторного элемента НЕ (инвертора). Задача диодов смещения VD4, VD5 обеспечить сдвиг потенциала φ_1 узла 1 относительно потенциала φ_2 узла 2 на величину $U_{12} = \varphi_1 - \varphi_2 = 2\Delta U_{VD} = 1,4$ В.

Входные сигналы подаются на элемент И, выходной сигнал снимается с элемента НЕ. Таким образом, на выходе элемента И-НЕ будет напряжение логической «1», если на входе элемента НЕ действует напряжение, соответствующее логическому «0». Чтобы это имело место, необходимо хотя бы на один вход элемента И подать напряжение $U_{вх}^0$. Полагая, что на входе x_1 напряжение $U_{вх}^0 = 0,3$ В, а на входах x_2, x_3 напряжение $U_{вх}^1$. Тогда диод VD1 открыт и напряжение в узле 1 определяется выражением $U_1 = U_{вх}^0 + \Delta U_{VD1} = 1,0$ В. Напряжение в узле 2 определяется выражением $U_2 = U_{бэ VT1} = U_1 - \Delta U_{VD4} - \Delta U_{VD5} = -0,4$ В. Поскольку транзистор VT1 *n-p-n*-типа, то при напряжении $U_{бэ VT1} = -0,4$ В на его эмиттерном переходе он находится в режиме отсечки и на выходе логического элемента И-НЕ формируется напряжение логической единицы $U_{вых}^1 = U_{ИП2}$.

Таким образом, наличие диодов смещения обеспечивает надежное запирающее транзисторов в том случае, если хотя бы на одном из входов схемы действует напряжение $U_{вх}^0$ логического нуля.

5.2 Транзисторно-транзисторные логические элементы

Элемент транзисторно-транзисторной логики появился как результат развития элемента ДТЛ благодаря замене матрицы диодов многоэмиттерным транзистором (МЭТ). Логическая функция И в МЭТ выполняется в общей для нескольких эмиттеров базовой области и коллекторной области, также общей для нескольких эмиттеров. Эмиттеры МЭТ расположены таким образом, что прямое взаимодействие между ними через разъединяющий их участок пассивной базы практически исключается.

На рисунке 5.9 представлена схема логического элемента И-НЕ транзисторно-транзисторной логики.

Максимально возможное снижение паразитных емкостей в элементе И-НЕ транзисторно-транзисторной логики достигается заменой диодной

сборки многоэмиттерным транзистором, а также исключением диодов смещения и резистора R2 в логическом элементе И-НЕ диодно-транзисторной логики. Если ставится цель уменьшить паразитные емкости, то схема элемента И-НЕ, представленная на рисунке 5.9, является наилучшей для реализации интегральных схем.

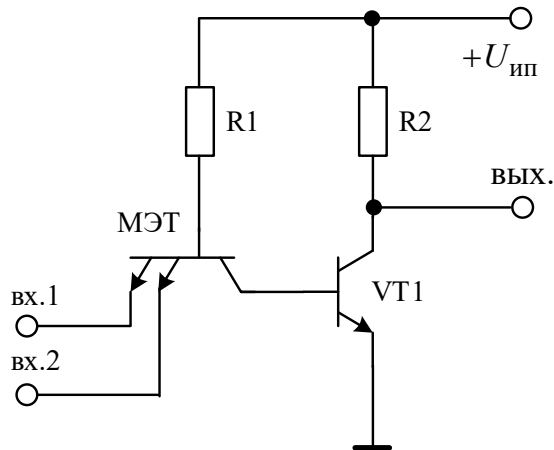


Рисунок 5.9 – Логический элемент И-НЕ транзисторно-транзисторной логики с простым инвертором

Следует отметить, что наряду с отмеченными достоинствами, схема приобретает и недостатки: снижение порогового напряжения и, как следствие, снижение параметров помехоустойчивости; наличие во входных цепях токов, значительно превышающих входные токи элементов ДТЛ-типа; высокое выходное сопротивление, которое не может обеспечить хорошие динамические свойства при больших емкостных нагрузках. Из-за перечисленных недостатков схема логического элемента И-НЕ транзисторно-транзисторной логики с простым инвертором не нашла широкого применения.

Наибольшее распространение получили *схемы элементов ТТЛ-типа со сложным инвертором*, одна из которых приведена на рисунке 5.10. Схема включает две основные части. Первая часть – входная, реализует логическую функцию И (МЭТ, резистор R1). Вторая часть – выходная, реализует логическую функцию НЕ и представляет собой сложный инвертор, состоящий из фазораспределяющего каскада (транзистор VT1, резисторы R2, R3) и выходного усилителя (резистор R4, диод VD1 и транзисторы VT2, VT3).

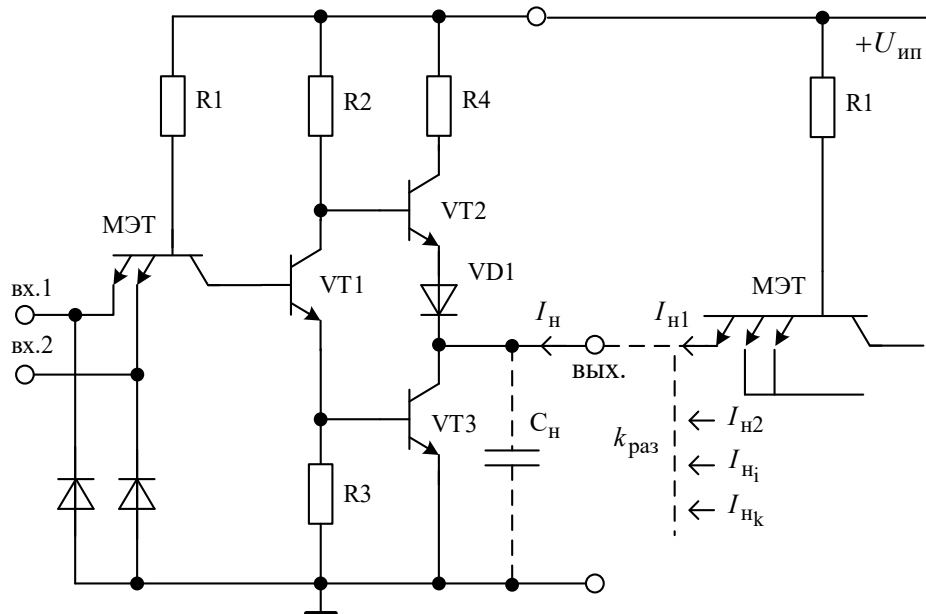


Рисунок 5.10 – Логический элемент И-НЕ транзисторно-транзисторной логики со сложным инвертором

Назначение компонентов схемы. Входная часть заменяет диодно-резисторную логическую схему И и один из диодов в схеме конъюнктора ДТЛ-типа. Количество входов у элемента ТТЛ-типа не ограничивается статическими параметрами и характеристиками и в принципе может быть очень большим. Однако у большинства реальных интегральных схем $k_{об} \leq 8$. Это связано с ухудшением динамических параметров элемента при увеличении количества логических входов.

В зависимости от значения вытекающего тока транзистор VT2 может работать как в нормальном активном режиме, так и в режиме насыщения. В большинстве серий интегральных схем транзистор VT2 работает в нормальном активном режиме при небольших токах нагрузки. Резистор R4 предохраняет транзистор VT2 и диод VD1 от перегрузки по току при замыкании выхода логического элемента на общий узел. Кроме того, резистор R4 ограничивает ток в цепи коллектора транзистора VT2 при переключении элемента из состояния «1» в состояние «0». Сопротивление резистора R4 выбирается исходя из заданного значения предельно допустимого тока транзисторов VT2, VT3 и диода VD1 и обычно составляет 50–500 Ом. Резистор R3 обеспечивает запираение транзистора VT3. Транзистор VT3 рассчитан на большой рабочий ток и имеет малое время расщивания неосновных носителей заряда в базе. Через транзистор VT3

токи нагрузок втекают в схему элемента. Уровень напряжения $U_{\text{ВЫХ}}^0$ логического нуля на выходе элемента в зависимости от тока нагрузки определяется уравнением $U_{\text{ВЫХ}}^0 = U_{\text{кэнас. VT3}}$ и для современных интегральных схем составляет 0,05–0,45 В.

Способность элемента ТТЛ работать на большую емкостную нагрузку при высоких скоростях переключения объясняется тем, что заряд и разряд емкости нагрузки происходит через низкоомную выходную цепь. Ток заряда определяется током эмиттера транзистора VT2, то есть $i_{\text{зар}} = I_{\text{э VT2}}$. Ток разряда определяется током коллектора транзистора VT3, то есть $i_{\text{раз}} = I_{\text{к VT3}}$.

Принцип работы. Если на входы x_1, x_2 логического элемента поданы напряжения уровня $U_{\text{ВХ}}^1$, то эмиттерные переходы МЭТ смещаются в обратном направлении (МЭТ работает в инверсном активном режиме), при этом коллекторный переход МЭТ смещен в прямом направлении и ток коллектора МЭТ проходит в базу транзистора VT1. Транзисторы VT1 и VT3 открываются и на выходе логического элемента И-НЕ формируется напряжение $U_{\text{ВЫХ}}^0$. При этом транзистор VT2 и диод VD1 закрываются.

Если хотя бы на одном входе элемента И-НЕ, например x_1 , уровень напряжения $U_{\text{ВХ}}^0$, то соответствующий эмиттерный переход МЭТ открыт и потенциал его базы $U_{\text{б}} = U^*$, где U^* – падение напряжения на открытом p - n -переходе транзистора и диода. Ток базы многоэмиттерного транзистора через резистор R1 проходит в цепь эмиттера МЭТ, что приводит к уменьшению тока коллектора МЭТ. Коллекторный переход МЭТ закрывается, а потенциал на базе транзистора VT1 становится равным $U_{\text{б VT1}} = U_{\text{ВХ}}^0 + U_{\text{ост МЭТ}} < U^*$, где $U_{\text{ост МЭТ}}$ – остаточное напряжение МЭТ. Транзистор VT1 закрывается, что приводит к закрыванию транзистора VT3, открыванию транзистора VT2, а также диода VD1, и на выходе элемента И-НЕ формируется напряжение $U_{\text{ВЫХ}}^1$. Диод VD1 обеспечивает надежное запирающее транзистора VT2 при включенном элементе, то есть когда на выходе элемента имеет место напряжение $U_{\text{ВЫХ}}^0$ логического нуля.

Допустим, что диод VD1 отсутствует. В этом случае при включении элемента, то есть когда транзистор VT3 открыт, для выходной цепи рассматриваемого элемента И-НЕ имеет место уравнение (рисунок 5.11)

$$U_{бэ VT2} = U_{кэнас. VT1} + U_{бэнас. VT3} - U_{кэнас. VT3}.$$

Принимая, что в режиме насыщения напряжение база-эмиттер $U_{бэнас. VT} = 0,7 В$, напряжение коллектор-эмиттер $U_{кэнас. VT} = 0,3 В$, при отсутствии диода VD1 получаем напряжение на база-эмиттерном переходе транзистора VT2 $U_{бэ VT2} = 0,7 В$, но при такой величине напряжения транзистор открывается. Таким образом, транзистор VT2 при отсутствии диода VD1 может оказаться открытым, а уровень напряжения на выходе – неопределенным.

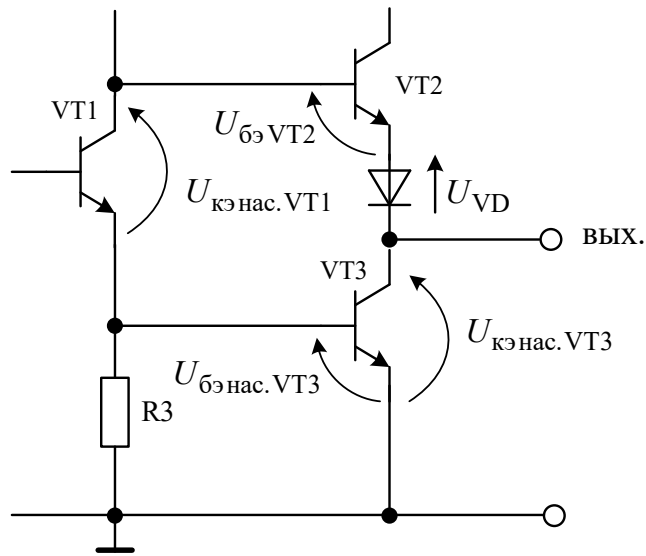


Рисунок 5.11 – Выходная цепь логического элемента И-НЕ транзисторно-транзисторной логики со сложным инвертором

Допустим, что в рассматриваемой схеме элемента И-НЕ находится диод VD1. Тогда при включенном элементе, то есть когда транзистор VT3 открыт, для выходной цепи имеет место уравнение

$$U_{бэ VT2} = U_{кэнас. VT1} + U_{бэнас. VT3} - U_{кэнас. VT3} - U_{VD}.$$

Принимая, что напряжение на диоде в проводящем состоянии $U_{VD} = 0,7 В$, а $U_{бэнас. VT} = 0,7 В$, $U_{кэнас. VT} = 0,3 В$, получаем напря-

жение на база-эмиттерном переходе транзистора VT2 $U_{бэ VT2} = 0 В$, но при такой величине напряжения транзистор надежно закрыт.

Таким образом, диод VD1 в логическом элементе И-НЕ ТТЛ обеспечивает надежное запираение транзистора VT2 при включенном элементе, то есть когда на выходе элемента имеет место напряжение $U_{ВЫХ}^0$ логического нуля.

На рисунке 5.12 представлена передаточная характеристика логического элемента И-НЕ транзисторно-транзисторной логики со сложным инвертором.

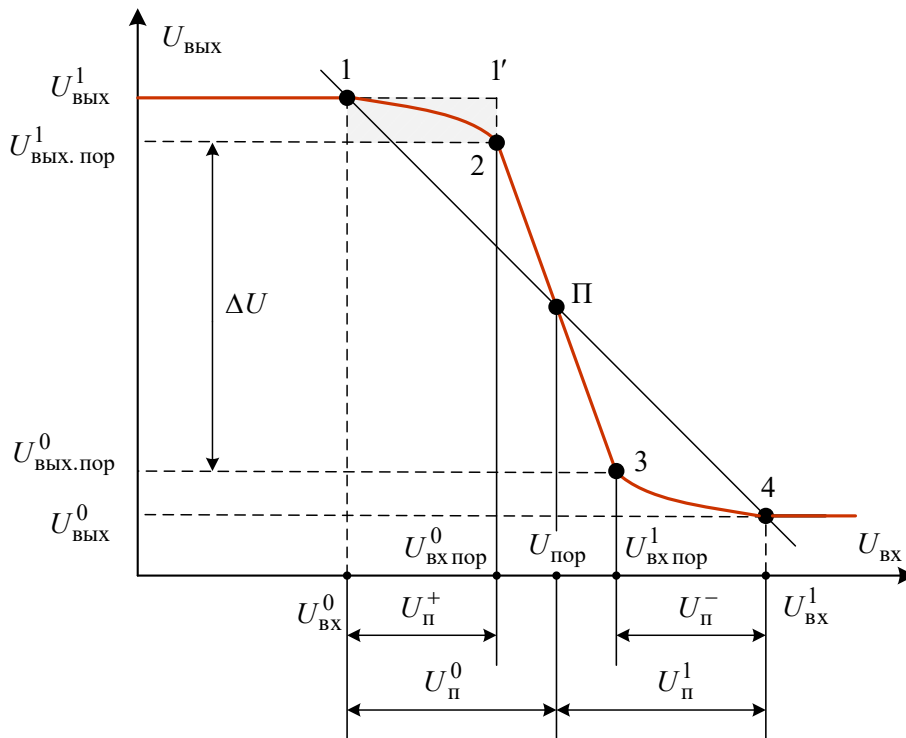


Рисунок 5.12 – Передаточная характеристика логического элемента И-НЕ транзисторно-транзисторной логики со сложным инвертором

На передаточной характеристике выделяют рабочие точки 1 и 4: точка 1 соответствует состоянию логической «1» на выходе элемента И-НЕ, когда $U_{ВЫХ} = U_{ВЫХ}^1$, а точка 4 – состоянию логического «0» на выходе элемента И-НЕ, когда $U_{ВЫХ} = U_{ВЫХ}^0$. Для нахождения порогового напряжения рабочие точки соединяют прямой, и точка пересечения этой

прямой линии с передаточной характеристикой (точка П) определяет значение входного напряжения, которое соответствует пороговому напряжению $U_{\text{пор}}$. Точки 2 и 3 на передаточной характеристике соответствуют точкам, в которых дифференциальный коэффициент усиления по напряжению $k_U = -1$. Интервал между этими точками по оси $U_{\text{вх}}$ определяет ширину активной зоны $\Delta U_{\text{П}}$.

По передаточной характеристике находят:

- *пороговое напряжение* $U_{\text{пор}}$ – входное напряжение, малые отклонения от которого в ту или другую сторону приводят к переходу логического элемента на его выходе из состояния логической «1» в состояние логического «0» или обратно;
- $U_{\text{вых.пор}}^1$, $U_{\text{вых.пор}}^0$ – значения выходных пороговых напряжений логических «1» и «0» соответственно с помощью пороговых точек 2 и 3;
- *логический перепад* $\Delta U = U_{\text{вых.пор}}^1 - U_{\text{вых.пор}}^0$;
- *запас помехоустойчивости* по уровню логического «0» $U_{\text{П}}^+$ и по уровню логической «1» $U_{\text{П}}^-$ – разность напряжений, измеряемых по оси входных напряжений передаточной характеристики в рабочей точке и ближайшей к ней точке с единичным усилением;
- *помехозащищенность* по уровню логического «0» $U_{\text{П}}^0$ и по уровню логической «1» $U_{\text{П}}^1$ – разность напряжений, измеряемых по оси входных напряжений передаточной характеристики в рабочей точке, и порогового напряжения;
- *помехоустойчивость* по уровню логического «0» и логической «1» – отношение помехозащищенности к логическому перепаду;
- *уровни напряжений логического нуля* $U_{\text{вх}}^0$, $U_{\text{вх}}^1$ и *логической единицы* $U_{\text{вых}}^0$, $U_{\text{вых}}^1$.

Рассмотренная передаточная характеристика логического элемента И-НЕ транзисторно-транзисторной логики со сложным инвертором имеет участок 1 – 2, что является недостатком, так как любая помеха в интервале входных напряжений $0,7 \text{ В} < U_{\text{вх}} < 1,4 \text{ В}$ может появиться на выходе элемента И-НЕ ТТЛ со сложным инвертором. Для устранения этого недостатка вводится корректирующая цепочка, реализованная на транзисторе VT4 и резисторах R3, R5 (рисунок 5.13).

В этом случае в интервале входных напряжений $0,7 \text{ В} < U_{\text{вх}} < 1,4 \text{ В}$ эмиттерный переход транзистора VT1, хотя и открывается, однако эмиттерный и коллекторный токи транзистора VT1 не протекают до тех пор, пока не откроется транзистор VT4, а транзистор VT4 открывается при входном напряжении $U_{\text{вх}} = 1,4 \text{ В}$.

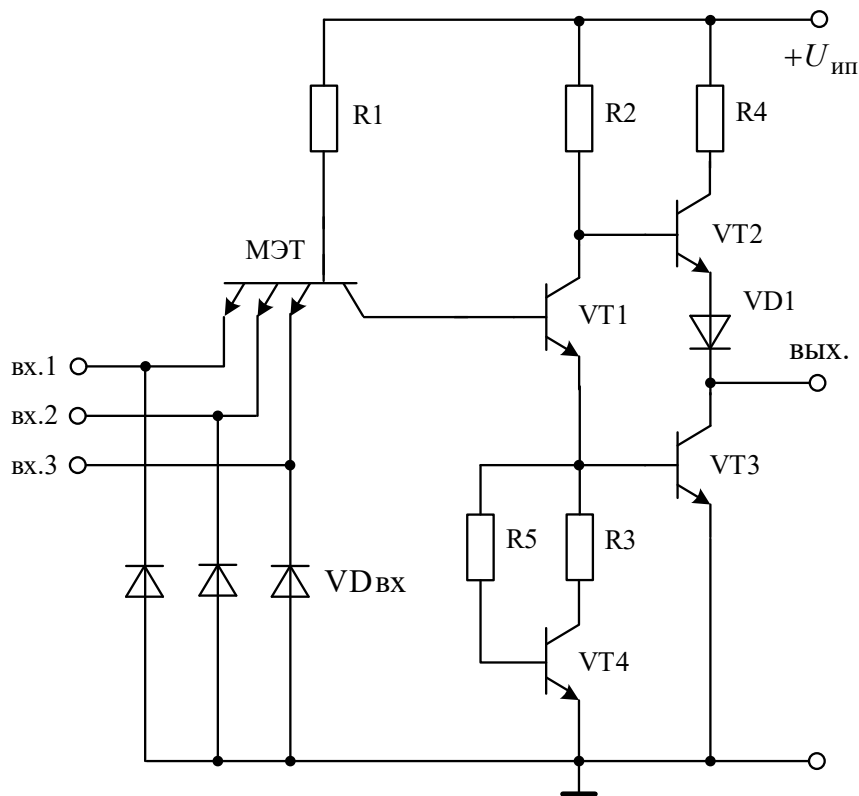


Рисунок 5.13 – Логический элемент И-НЕ транзисторно-транзисторной логики со сложным инвертором и корректирующей цепочкой

Когда транзистор VT4 открывается, транзистор VT3 также открывается и на выходе логического элемента И-НЕ формируется напряжение $U_{\text{вых}}^0$. При этом в передаточной характеристике участок 1 – 2 выпрямляется. Таким образом, логический элемент И-НЕ транзисторно-транзисторной логики со сложным инвертором и корректирующей цепочкой становится более устойчивым к помехам в интервале входных напряжений $0,7 \text{ В} < U_{\text{вх}} < 1,4 \text{ В}$.

Статические параметры. Предположим, что на одном из входов схемы, изображенной на рисунке 5.13, напряжение плавно изменяется от уровня логического нуля до уровня логической единицы, а на остальных $k_{об} - 1$ входах поддерживается неизменным, равным уровню логической единицы.

Когда $u_{вх.1} = U^0$, соответствующий эмиттерный переход МЭТ открыт и потенциал его базы

$$U'_{б.МЭТ} = U^0 + U^*,$$

где U^* – падение напряжения на прямосмещенном $p-n$ -переходе.

Ток базы МЭТ определяется выражением

$$I'_{б.МЭТ} = \frac{U_{ИП} - U'_{б.МЭТ}}{R_1} = \frac{U_{ИП} - U^0 - U^*}{R_1}.$$

Коллекторный переход МЭТ также открыт, поэтому его $k_{об} - 1$ эмиттерных переходов работают в инверсном активном режиме и через каждый из них *вытекает входной ток логической единицы*

$$I_{вх}^1 = \beta_I I'_{б.МЭТ} = \beta_I \frac{U_{ИП} - U^0 - U^*}{R_1}. \quad (5.1)$$

Через открытый эмиттерный переход *вытекает входной ток логического нуля*

$$\begin{aligned} I_{вх}^0 &= I'_{б.МЭТ} + (k_{об} - 1) I_{вх}^1 = [1 + (k_{об} - 1)\beta_I] I'_{б.МЭТ} = \\ &= [1 + (k_{об} - 1)\beta_I] \frac{U_{ИП} - U^0 - U^*}{R_1}. \end{aligned} \quad (5.2)$$

Потенциал на базе транзистора VT1

$$U_{б1} = U^0 + U_{ост.МЭТ} < U^*,$$

где $U_{ост.МЭТ}$ – остаточное напряжение на насыщенном МЭТ, которое определяется выражением

$$U_{ост.МЭТ} = m\varphi_T \ln \frac{1 + k_{об}\beta_I}{\beta_I},$$

где φ_T – тепловой потенциал; $m = 1-2$ – параметр аппроксимации вольт-амперных характеристик транзистора.

Транзисторы VT1, VT2, VT4 закрыты, транзистор VT3 открыт и на выходе схемы устанавливается напряжение логической единицы

$$U^1 = U_{\text{ИП}} - 2U^* - R_2 I_{\text{б3}} = U_{\text{ИП}} - 2U^* - \frac{R_2}{\beta_3 + 1} I_{\text{н}}^1 \approx U_{\text{ИП}} - 2U^*, \quad (5.3)$$

где $I_{\text{н}}^1$ – выходной ток, отдаваемый в нагрузку выключенным элементом.

Когда в качестве нагрузки служат входы аналогичных базовых логических элементов, ток нагрузки определяется выражением

$$I_{\text{н}}^1 = k_{\text{раз}} I_{\text{вх}}^1 = k_{\text{раз}} \beta_I \frac{U_{\text{ИП}} - U^0 - U^*}{R_1}, \quad (5.4)$$

следовательно,

$$U^1 = U_{\text{ИП}} - 2U^* - \frac{R_2 k_{\text{раз}} \beta_I}{R_1 (\beta_3 + 1)} (U_{\text{ИП}} - U^0 - U^*) \approx U_{\text{ИП}} - 2U^*. \quad (5.5)$$

При увеличении $u_{\text{вх.1}}$ потенциалы на базах МЭТ и VT1 возрастают в соответствии с выражениями

$$u_{\text{б.МЭТ}} = u_{\text{вх.1}} + U^*, \quad u_{\text{б1}} = u_{\text{вх.1}} + U_{\text{ост.МЭТ}}. \quad (5.6)$$

Когда напряжение $u_{\text{вх.1}}$ становится равным пороговому напряжению $U_{\text{пор}}$, потенциал $u_{\text{б1}} = 2U^*$, транзисторы VT1, VT2 и VT4 открываются, а транзистор VT3 закрывается. Из выражений (5.6) находим

$$U_{\text{пор}} = 2U^* - U_{\text{ост.МЭТ}}. \quad (5.7)$$

После включения транзистора VT1 потенциал на базе МЭТ устанавливается на уровне $U''_{\text{б.МЭТ}} = u_{\text{б1}} + u_{\text{бк.МЭТ}} \approx 3U^*$. Ток базы МЭТ определяется выражением

$$I''_{\text{б.МЭТ}} = \frac{U_{\text{ИП}} - U''_{\text{б.МЭТ}}}{R_1} \approx \frac{U_{\text{ИП}} - 3U^*}{R_1}.$$

При дальнейшем увеличении $u_{\text{вх.1}}$ все эмиттерные переходы МЭТ оказываются запертыми, МЭТ работает в инверсном активном режиме и через каждый из эмиттерных переходов втекает входной ток логической единицы

$$I_{\text{вх}}^1 = \beta_I I''_{\text{б.МЭТ}} \approx \beta_I \frac{U_{\text{ИП}} - 3U^*}{R_1}. \quad (5.8)$$

Через коллекторный переход МЭТ в базу транзистора VT1 течет ток, вызывающий его насыщение:

$$I_{б1} = I''_{б.МЭТ} + k_{об} I^1_{вх} = (1 + k_{об} \beta_I) I''_{б.МЭТ} \approx (1 + k_{об} \beta_I) \frac{U_{ИП} - 3U^*}{R_1}.$$

На выходе схемы устанавливается напряжение логического нуля

$$U^0 = U_{кэ4нас} = m \varphi_T \ln \frac{\beta + k_{нас} (\beta_I + 1)}{\beta_I (k_{нас} - 1)}, \quad (5.9)$$

где $k_{нас}$ – коэффициент насыщения транзистора VT4.

Помехозащищенность элемента по уровню логического нуля $U_{п}^0$ и по уровню логической единицы $U_{п}^1$ определяется выражениями

$$U_{п}^0 = U_{пор} - U^0 = 2U^* - U_{ост.МЭТ} - U^0, \quad (5.10)$$

$$U_{п}^1 = U^1 - U_{пор} \approx U_{ИП} - 4U^*. \quad (5.11)$$

Нагрузочная способность элемента определяется коэффициентом разветвления $k_{раз} = \min(k_{раз}^1, k_{раз}^0)$, где $k_{раз}^1$ – коэффициент разветвления выключенного, а $k_{раз}^0$ – коэффициент разветвления включенного элемента.

Коэффициент разветвления выключенного элемента можно определить из соотношения (5.5):

$$k_{раз}^1 = \frac{R_1 (\beta + 1) (U_{ИП} - 2U^* - U^1)}{R_2 \beta_I (U_{ИП} - U^0 - U^*)}. \quad (5.12)$$

Выражая допустимый уровень напряжения логической единицы из формулы (5.11) с учетом равенства (5.7), получим

$$k_{раз}^1 = \frac{R_1 (\beta + 1) (U_{ИП} - 4U^* + U_{ост.МЭТ} - U_{п}^1)}{R_2 \beta_I (U_{ИП} - U^0 - U^*)}. \quad (5.13)$$

Коэффициент разветвления включенного элемента определяется отношением

$$k_{раз}^0 = \frac{I_{н}^0}{I_{вх}^0}, \quad (5.14)$$

где $I_{\text{вх}}^0$ выражается формулой (5.2), а ток

$$I_{\text{н}}^0 = I_{\text{к4нас}} = \frac{\beta}{k_{\text{нас}}} I_{\text{б4}} =$$

$$= \frac{\beta}{k_{\text{нас}}} \left[(1 + k_{\text{об}} \beta_I) \frac{U_{\text{ИП}} - 3U^*}{R_1} + \frac{U_{\text{ИП}} - U^* - U_{\text{кэ1нас}}}{R_2} - \frac{U^* - U_{\text{кэ2нас}}}{R_4} \right]. \quad (5.15)$$

В результате подстановки токов (5.2) и (5.15) в равенство (5.14) получим

$$k_{\text{раз}}^0 = \frac{\beta \left[(1 + k_{\text{об}} \beta_I) \frac{U_{\text{ИП}} - 3U^*}{R_1} + \frac{U_{\text{ИП}} - U^* - U_{\text{кэ1нас}}}{R_2} - \frac{U^* - U_{\text{кэ2нас}}}{R_4} \right]}{k_{\text{нас}} \left[1 + (k_{\text{об}} - 1) \beta_I \right] \frac{U_{\text{ИП}} - U^0 - U^*}{R_1}}.$$

(5.16)

Средняя статическая потребляемая мощность

$$P_{\text{п.ср}} = \frac{P_{\text{п}}^0 + P_{\text{п}}^1}{2} = U_{\text{ИП}} \frac{I_{\text{п}}^0 + I_{\text{п}}^1}{2}, \quad (5.17)$$

где $I_{\text{п}}^0$, $I_{\text{п}}^1$ – токи, а $P_{\text{п}}^0 = U_{\text{ИП}} I_{\text{п}}^0$, $P_{\text{п}}^1 = U_{\text{ИП}} I_{\text{п}}^1$ – мощности, потребляемые включенным и выключенным элементом соответственно.

Токи, потребляемые логическим элементом, находятся с помощью соотношений

$$I_{\text{п}}^0 = I'_{\text{б.МЭТ}} + I_{R_2} \approx \frac{U_{\text{ИП}} - 3U^*}{R_1} + \frac{U_{\text{ИП}} - U^* - U_{\text{кэ1нас}}}{R_2}, \quad (5.18)$$

$$I_{\text{п}}^1 = I''_{\text{б.МЭТ}} \approx \frac{U_{\text{ИП}} - U^* - U^0}{R_1}. \quad (5.19)$$

Подставляя выражения (5.18) и (5.19) в формулу (5.17), получим

$$P_{\text{п.ср}} = \frac{U_{\text{ИП}}}{2} \left(\frac{2U_{\text{ИП}} - 4U^* - U^0}{R_1} + \frac{U_{\text{ИП}} - U^* - U_{\text{кэ1нас}}}{R_2} \right). \quad (5.20)$$

5.3 Логические элементы ТТЛ с диодами и транзисторами Шоттки

Основным фактором, ограничивающим быстродействие базовых логических элементов ТТЛ, является наличие интервала рассасывания неосновных носителей заряда в базе на этапе выключения, обусловленного работой включенного транзистора в режиме насыщения. Эффективный способ устранить или уменьшить насыщение связан с использованием диодов Шоттки, которые включают параллельно коллекторным переходам. В интегральных схемах диод Шоттки вместе с биполярным транзистором составляет единую структуру – транзистор Шоттки (рисунок 5.14).

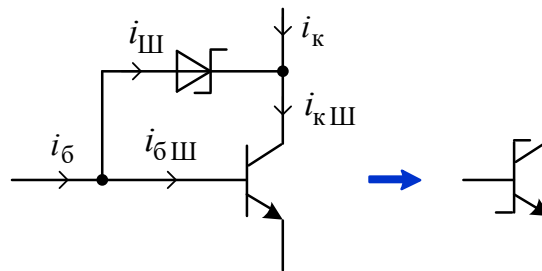


Рисунок 5.14 – Транзистор Шоттки

Когда транзистор работает в нормальном активном режиме, на коллекторном переходе действует отрицательное напряжение, поэтому диод Шоттки закрыт и не влияет на работу транзистора. При росте тока базы напряжение на коллекторном переходе становится положительным и при $u_{бк} = U_{пор.Ш}$ диод Шоттки открывается, ток базы $i_{бШ}$ транзистора уменьшается на величину тока $i_{Ш}$ ($i_{бШ} = i_{б} - i_{Ш}$), а ток коллекторной цепи $i_{кШ} = i_{к} + i_{Ш}$. Так как пороговое напряжение перехода Шоттки меньше порогового напряжения $p-n$ -перехода, можно считать, что в транзисторе Шоттки избыточный заряд в базе не накапливается и интервал рассасывания неосновных носителей отсутствует.

Схема логического элемента И-НЕ ТТЛ с транзисторами Шоттки (ТТЛШ) представлена на рисунке 5.15.

В усилителе мощности элемента И-НЕ использован составной транзистор (VT3, VT4), причем транзистор VT4 является обычным биполярным транзистором, поскольку на его коллекторном переходе всегда сохраняется обратное смещение.

Применение в качестве защитных вместо диодов на основе *p-n*-переходов диодов Шоттки, обладающих более низким прямым падением напряжения, дает лучшую защиту против помех.

Существенное увеличение быстродействия и снижение работы переключения, несмотря на пониженную помехоустойчивость, делает базовые элементы ТТЛШ наиболее перспективными для создания цифровых микросхем высокого быстродействия с различной степенью интеграции, в том числе БИС. В то же время технология производства элементов ТТЛШ, включающая специальные процессы для изготовления высококачественных контактов металл-полупроводник с барьером Шоттки, является более сложной и, следовательно, более дорогостоящей.

5.4 Транзисторные логические элементы на переключателях тока

Элементы транзисторной логики на переключателях тока (ТЛПТ) или, что то же самое, элементы эмиттерно-связанной логики (ЭСЛ) – одни из самых быстродействующих логических элементов. Их высокое быстродействие обеспечивается рядом факторов:

- активным режимом работы транзисторов, благодаря чему в процессе выключения элемента отсутствует этап задержки, связанный с рассасыванием избыточного заряда неосновных носителей в базе;
- использованием низкого значения логического перепада, благодаря чему уменьшается время заряда и разряда паразитных емкостей схемы;
- наличием эмиттерных повторителей на выходах элемента, что обеспечивает его малое выходное сопротивление, а следовательно, способность работать на большую емкостную нагрузку при высоких скоростях переключения благодаря перезаряду емкости нагрузки через низкоомную выходную цепь.

Схема элемента ТЛПТ-типа с напряжением питания $U_{ИП} = -5$ В представлена на рисунке 5.16. Она включает следующие функциональные узлы:

- 1) переключатель тока, содержащий две ветви, работающие в ключевом режиме, – одна на транзисторах VT1, VT2, VT3, другая на транзисторе VT4;
- 2) генератор тока (источник питания $U_{ИП}$ и резистор R3);

3) источник опорного напряжения на транзисторе VT5, резисторах R4, R5, R8 и диодах VD1, VD2;

4) выходные каскады в виде эмиттерных повторителей на транзисторах VT6, VT7.

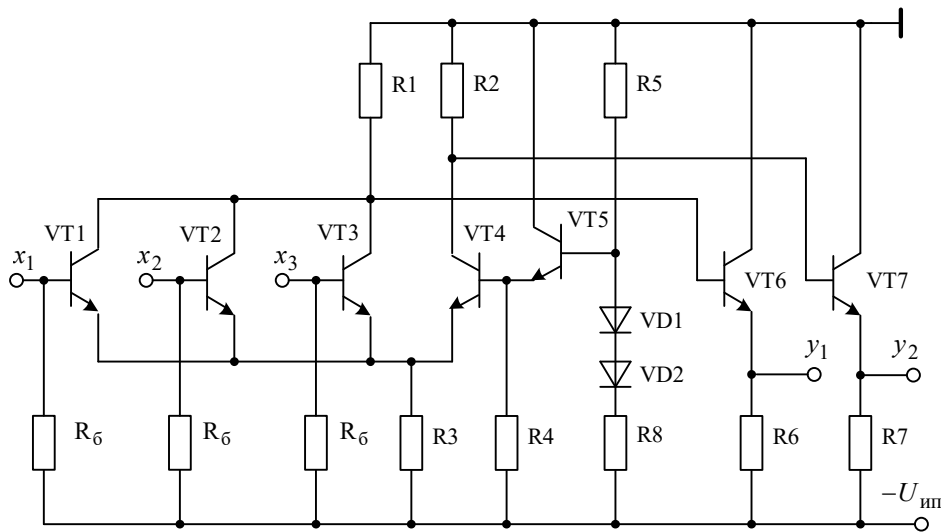


Рисунок 5.16 – Схема элемента ТЛПТ-типа

Реализация логической функции элемента обеспечивается транзисторами VT1, VT2, VT3 в одном из плеч переключателя тока. В общем случае число транзисторов VT*i*, где $i = 2, 3, \dots, k_{об}$, в одном из плеч переключателя тока определяет число входов логического элемента ТЛПТ-типа, по которым реализуется логическая функция.

Важным достоинством элементов ТЛПТ-типа является наличие парафазного выхода, позволяющего снимать одновременно прямые и инверсные значения реализуемой функции.

В зависимости от способа кодирования входной информации схема может реализовать либо функции ИЛИ-НЕ, ИЛИ для положительной логики, либо функции И-НЕ, И для отрицательной логики. Для положительной логики напряжения «1» и «0» представляются уровнями $U^0 = -(1,45-1,90)$ В, $U^1 = -(0,70-0,95)$ В, а для отрицательной логики – уровнями напряжений $U^0 = -(0,70-0,95)$ В, $U^1 = -(1,45-1,90)$ В.

На рисунке 5.17 представлены временные диаграммы, поясняющие работу элемента ТЛПТ-типа для положительной логики при отрицатель-

ном напряжении питания. Элемент реализует одновременно функцию ИЛИ-НЕ по выходу y_1 и функцию ИЛИ по выходу y_2 .

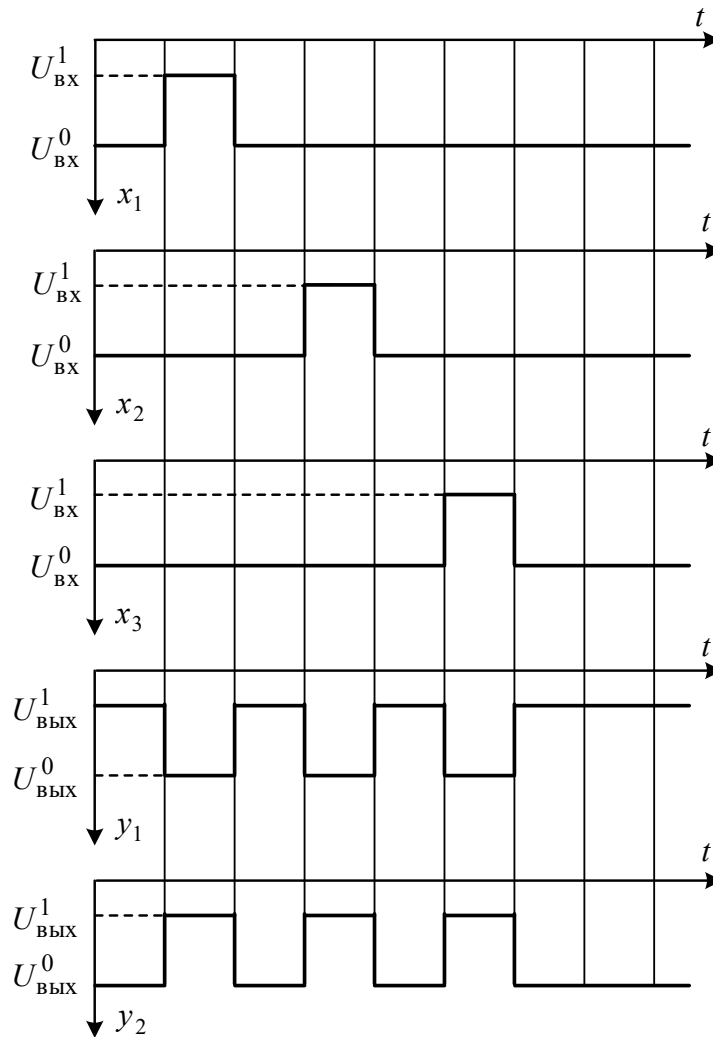


Рисунок 5.17 – Временные диаграммы элемента ТЛПТ-типа для положительной логики при отрицательном напряжении питания

На рисунке 5.18 представлены временные диаграммы, поясняющие работу элемента ТЛПТ-типа для отрицательной логики при отрицательном напряжении питания. По выходу y_1 элемент реализует функцию И-НЕ, по выходу y_2 – функцию И.

Рассмотрим работу элемента ТЛПТ-типа для случая положительной логики. Выбираем средние значения напряжений, соответствующие состояниям логического «0» и логической «1», то есть

$$U_{\text{ср}}^0 = \frac{-1,45 - 1,90}{2} = -1,675 \text{ В} \text{ и } U_{\text{ср}}^1 = \frac{-0,70 - 0,95}{2} = -0,825 \text{ В.}$$

Напряжение источника опорного напряжения следует находить по формуле

$$U_{\text{оп}} = \frac{U_{\text{ср}}^0 + U_{\text{ср}}^1}{2} = -1,25 \text{ В}, \text{ то есть } U_{\text{ср}}^0 < U_{\text{оп}} < U_{\text{ср}}^1.$$

$$U_{\text{вх}}^0 = U_{\text{ср}}^0 = -1,675 \text{ В}, \quad U_{\text{вх}}^1 = U_{\text{ср}}^1 = -0,825 \text{ В}.$$

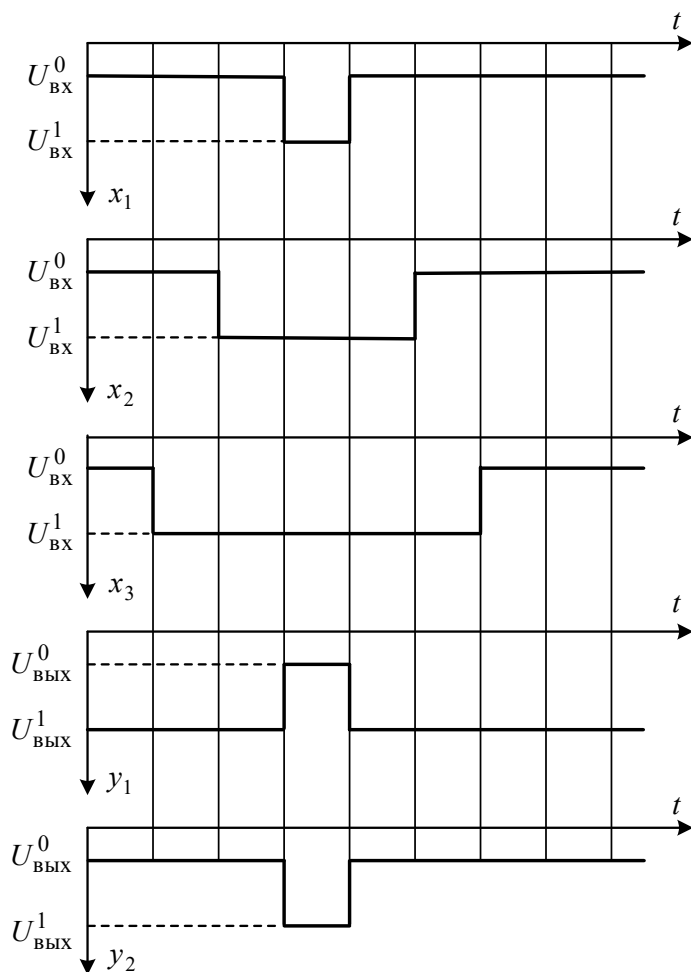


Рисунок 5.18 – Временные диаграммы элемента ТЛПТ-типа для отрицательной логики при отрицательном напряжении питания

Если на входы x_1, x_2, x_3 элемента ТЛПТ-типа поданы напряжения $U_{\text{ВХ}}^0$ уровня логического нуля, то транзисторы VT1, VT2, VT3 закрыты, транзистор VT4 открыт и ток генератора тока протекает через правую ветвь переключателя тока. В этом случае справедливо уравнение (рисунок 5.19):

$$U_{\text{бэ VT1}} = U_{\text{бэ VT2}} = U_{\text{бэ VT3}} = U_{\text{ВХ}}^0 - U_{\text{оп}} + U_{\text{бэ VT4}} = \\ = -1,675 - (-1,25) + 0,7 = 0,275 \text{ В.}$$

Таким образом, при воздействии на входы x_1, x_2, x_3 элемента ТЛПТ-типа напряжения уровня $U_{\text{ВХ}}^0 = -1,675 \text{ В}$ транзисторы VT1, VT2, VT3 переключателя тока действительно закрыты, а транзистор VT4 открыт.

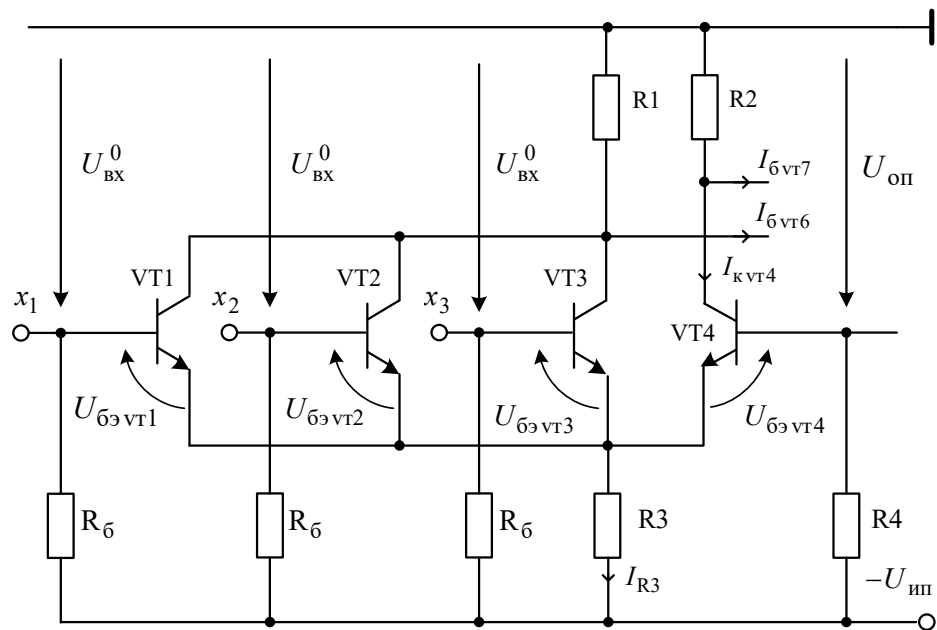


Рисунок 5.19 – Схема переключателя тока элемента ТЛПТ-типа

Параметры схемы рассчитывают так, чтобы $R_2 I_{\text{к VT4}} = 0,8 \text{ В}$, $R_2 I_{\text{б VT7}} = 0,125 \text{ В}$, $R_1 I_{\text{б VT6}} = 0,125 \text{ В}$. На резисторе R2 создается падение напряжения $U_{R_2} = R_2 I_{\text{к VT4}} + R_2 I_{\text{б VT7}} = 0,8 + 0,125 = 0,925 \text{ В}$ (см. рисунок 5.19).

Уровень напряжения на выходе y_2 с учетом падения напряжения на база-эмиттерном переходе транзистора VT7 $U_{\text{бэ VT7}} = 0,7 \text{ В}$ составляет

$$U_{y_2}^0 = -U_{R2} - U_{63VT7} = -0,925 - 0,7 = -1,625 \text{ В.}$$

Уровень напряжения на выходе y_1 с учетом падения напряжения на база-эмиттерном переходе транзистора VT6 $U_{63VT7} = 0,7 \text{ В}$ будет

$$U_{y_1}^1 = -RI_{6VT6} - U_{63VT6} = -0,125 - 0,7 = -0,825 \text{ В.}$$

Таким образом, когда на входах x_1, x_2, x_3 уровень напряжения $U_{вх}^0 = -1,675 \text{ В}$, то на выходе y_1 формируется напряжение логической «1» $U_{y_1}^1 = -0,825 \text{ В}$, а на выходе y_2 – напряжение логического «0» $U_{y_2}^0 = -1,625 \text{ В}$.

5.5 Логические элементы на комплементарных МДП-транзисторах

Элементной базой наиболее перспективных потенциальных интегральных МДП-микросхем являются логические элементы на транзисторах с индуцированными каналами дополняющих типов проводимости (базовые логические элементы КМОП). Их характеризуют:

- малое потребление мощности в статических режимах;
- высокое быстродействие;
- повышенная помехоустойчивость.

Базовый логический элемент КМОП (рисунок 5.20) в основном потребляет динамическую мощность, которая идет на зарядку паразитных емкостей и возрастает с увеличением частоты переключения.

Базовый логический элемент реализует логическую функцию НЕ.

Транзистор n -типа (VT2) является управляющим, а транзистор p -типа (VT1) – нагрузочным. Подложки транзисторов соединены с истоками, что позволяет избежать отпирающие p - n -переходов исток-подложка. Защитная цепочка на входе элемента состоит из сопротивления R и охранных диодов VD1–VD3, которые ограничивают входное напряжение на уровнях $U_{вх.маx} = U_{ИП} + U^*$ и $U_{вх.миn} = -U^*$. Источник питания не должен иметь разнополярных выбросов напряжения питания, превышающих предельные для интегральных микросхем на МДП-транзисторах значения $U_{ИПмиn} = -0,5 \text{ В}$ и $U_{ИПмаx} = 15 \text{ В}$. При

$U_{ИП} < U_{ИП\min}$ возникает перегрузка диодов прямым током, а при $U_{ИП} > U_{ИП\max}$ возможен пробой оксида.

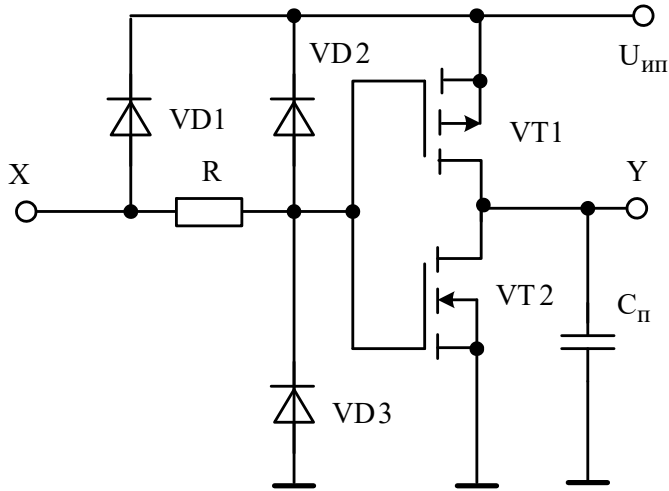


Рисунок 5.20 – Схема базового логического элемента КМОП

Когда напряжение на входе равно нулю, управляющий транзистор выключен, так как $U_{ЗИn} = 0 < U_{пор.n}$, где $U_{пор.n}$ – пороговое напряжение транзистора n -типа. Для нагрузочного транзистора $U_{ЗИp} = -U_{ИП}$.

Если $U_{ИП} > |U_{пор.p}|$, где $U_{пор.p}$ – пороговое напряжение транзистора p -типа, то нагрузочный транзистор открыт. При этом напряжение на выходе близко к величине напряжения питания: $U_{вых} \approx U_{ИП}$. С увеличением напряжения на затворе сопротивление канала нагрузочного транзистора возрастает и транзистор закрывается. В зависимости от величины напряжения питания возможны различные режимы работы базового логического элемента КМОП.

Если $U_{ИП} < U_{пор.n} + |U_{пор.p}|$, то с ростом напряжения на затворе нагрузочный транзистор закрывается раньше, чем открывается управляющий транзистор, и в некотором диапазоне изменения входного напряжения напряжение на выходе будет зависеть от соотношения остаточных токов в стоковых цепях транзисторов.

Если $U_{ИП} > U_{пор.n} + |U_{пор.p}|$, то с ростом входного напряжения вначале открывается управляющий транзистор и оба транзистора в неко-

тором диапазоне изменения входного напряжения оказываются открытыми, а затем закрывается нагрузочный транзистор. После запираения нагрузочного транзистора и отпираания управляющего напряжение на выходе схемы становится близким к нулю: $U_{\text{ВЫХ}} \approx 0 \text{ В}$.

Когда $U_{\text{ИП}} > U_{\text{пор.н}} + |U_{\text{пор.р}}|$, при переключении один из транзисторов всегда оказывается закрытым и препятствует протеканию большого сквозного тока.

Передаточные характеристики, соответствующие двум режимам работы базового логического элемента КМОП, приведены на рисунке 5.21.

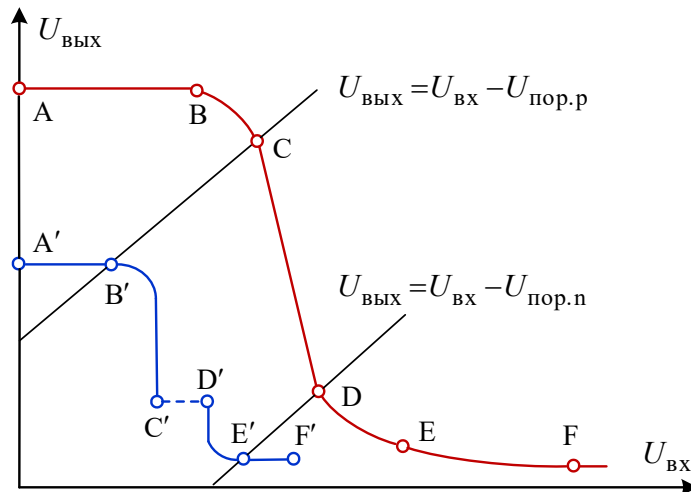


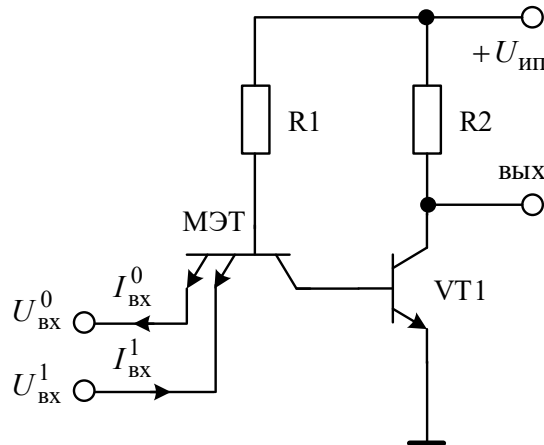
Рисунок 5.21 – Передаточные характеристики логического элемента КМОП

Видно, что характеристика, соответствующая условию $U_{\text{ИП}} > U_{\text{пор.н}} + |U_{\text{пор.р}}|$, обеспечивает лучшие значения статических параметров, в связи с чем это условие необходимо для нормальной работы логического элемента КМОП.

Контрольные вопросы

1. Почему при создании ИМС ЭСЛ не используют транзисторы с диодом Шоттки?
2. Можно ли в ИМС ТТЛ использовать многоэмиттерный транзистор с диодом Шоттки аналогично одноэмиттерному?

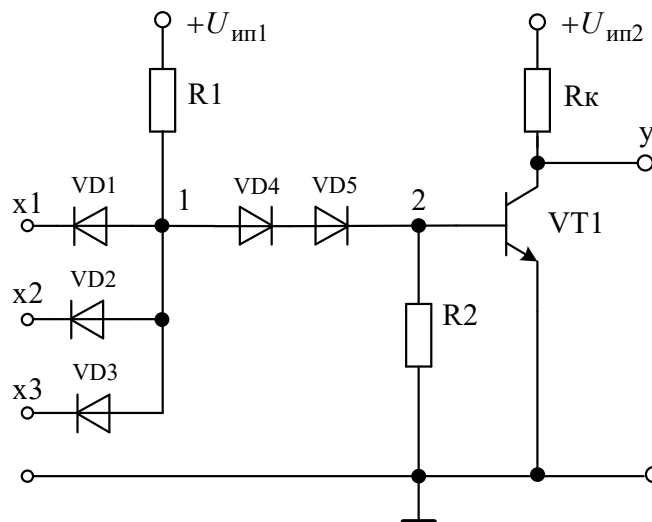
3. Определите входные токи $I_{\text{ВХ}}^0$ и $I_{\text{ВХ}}^1$ простейшей ИМС ТТЛ при $U_{\text{ИП}} = 5 \text{ В}$; $R_1 = 2 \text{ кОм}$; $\beta_I = 0,05$; $U_{\text{БЭМ}}^0 = 0,7 \text{ В}$; $U_{\text{ВХ}}^0 = 0,2 \text{ В}$.



4. Определите напряжение логической единицы базового логического элемента ТТЛ с корректирующей цепочкой, если $U_{\text{ИП}} = 5 \text{ В} \pm 10\%$, а падение напряжения на прямосмещенном $p-n$ -переходе составляет $0,7 \text{ В}$.

5. Определите помехозащищенность базового логического элемента ТТЛ с корректирующей цепочкой по уровню логической единицы, если напряжение источника питания $U_{\text{ИП}} = 5 \text{ В}$, а падение напряжения на прямосмещенном $p-n$ -переходе составляет $0,7 \text{ В}$.

6. Укажите назначение диодов VD4 и VD5 на представленной схеме логического элемента И-НЕ диодно-транзисторной логики.



Варианты ответов:

а) обеспечивают надежное запираение транзистора, если хотя бы на одном из входов схемы действует напряжение $U_{\text{вх}}^1$ логической единицы;

б) обеспечивают надежное запираение транзистора, если хотя бы на одном из входов схемы действует напряжение $U_{\text{вх}}^0$ логического нуля;

в) обеспечивают надежное открывание транзистора, если хотя бы на одном из входов схемы действует напряжение $U_{\text{вх}}^1$ логической единицы;

г) обеспечивают надежное открывание транзистора, если хотя бы на одном из входов схемы действует напряжение $U_{\text{вх}}^0$ логического нуля.

7. Какие основные функциональные узлы можно выделить в схеме базового элемента ЭСЛ-типа?

6 КОМБИНАЦИОННЫЕ И ПОСЛЕДОВАТЕЛЬНОСТНЫЕ МИКРОЭЛЕКТРОННЫЕ СТРУКТУРЫ

6.1 Элементы анализа и синтеза цифровых микроэлектронных структур

Позиционные системы счисления. Существуют различные системы счисления и от их особенностей зависит наглядность представления чисел, а также сложность выполнения арифметических операций. Все системы счисления подразделяются на *непозиционные (аддитивные)* и *позиционные (мультипликативные)*.

В позиционных системах счисления каждая цифра принимает различные значения в зависимости от местоположения (позиции) в записи числа. Количество p различных цифр, используемых в позиционной системе счисления, называется ее *основанием*. Цифры системы счисления с основанием p обозначают p целых чисел от 0 до $p-1$.

В общем случае в позиционной системе счисления с основанием p любое положительное число N_p может быть представлено в виде поли-

нома: $N_p = \sum_{i=0}^{n-1} a_i p^i$, где a_i – отдельные цифры в записи числа, значения

которых равны членам натурального ряда в диапазоне от 0 до $p-1$.

В цифровой электронике выбор основания системы счисления зависит от элементной базы, на основе которой создается электронное устройство, в частности микроэлектронное. Относительная простота технической реализации элементов с двумя устойчивыми состояниями – логической «1» и логического «0», привела к тому, что в современной цифровой электронике доминирует представление чисел в *двоичной системе счисления* – системе счисления с основанием 2. В каждом двоичном разряде, получившем название *бит*, может стоять 1 или 0. Три соседних бита называют двоичной *триадой*, четыре соседних бита – двоичной *тетрадой*, группу из восьми битов называют *байтом*, а из шестнадцати битов – *машинным словом*.

Поскольку в двоичной системе счисления используется минимально возможное количество цифр, для записи чисел требуется максимально необходимое количество разрядов. Для сокращения записи больших чисел в цифровой электронике наряду с двоичной системой счисления

нашли широкое применение *восьмеричная* и *шестнадцатеричная* системы счисления, что обусловлено предельной простотой перевода чисел из этих систем в двоичную и наоборот.

Для перевода числа из восьмеричной системы счисления в двоичную достаточно каждую цифру восьмеричного числа представить трехразрядным двоичным числом – двоичной триадой, перевод шестнадцатеричного числа в двоичную систему счисления осуществляется представлением каждой шестнадцатеричной цифры четырехразрядным двоичным числом – двоичной тетрадой. Например:

$$\begin{array}{ccc} \begin{array}{c} \underline{3} \\ 011 \end{array} & \begin{array}{c} \underline{0} \\ 000 \end{array} & \begin{array}{c} \underline{2} \\ 010 \end{array} & Q = 11000010 \text{ В;} & \begin{array}{c} \underline{3} \\ 0011 \end{array} & \begin{array}{c} \underline{A} \\ 1010 \end{array} & H = 111010 \text{ В.} \end{array}$$

Стремление упростить схемотехнику цифровой микроэлектронной структуры привело к разработке и использованию целого ряда двоично-десятичных кодов, например кода 8-4-2-1, кода с избытком 3, кода «2 из 5», циклического кода Джонсона, а также других кодов, например кода Грея (таблица 6.1).

С помощью байта можно представить различную информацию: целое число без знака (от 0 до 255 в десятичной системе счисления), число от 0 до 99 в двоично-десятичном коде, машинный код команд микропроцессора. Для выполнения операции алгебраического сложения применяются специальные коды представления чисел со знаком – прямой, обратный и дополнительный [1].

Таблица 6.1 – Соответствие чисел систем счисления и кодов

Десятичное число	Двоичное число	Шестнадцатеричное число	Двоично-десятичные коды		Код Грея
			8-4-2-1	с избытком 3	
0	0000	0	0000 0000	0000 0011	0000
1	0001	1	0000 0001	0000 0100	0001
2	0010	2	0000 0010	0000 0101	0011
3	0011	3	0000 0011	0000 0110	0010
4	0100	4	0000 0100	0000 0111	0110
5	0101	5	0000 0101	0000 1000	0111
6	0110	6	0000 0110	0000 1001	0101
7	0111	7	0000 0111	0000 1010	0100
8	1000	8	0000 1000	0000 1011	1100
9	1001	9	0000 1001	0000 1100	1101

Окончание таблицы 6.1

Десятичное число	Двоичное число	Шестнадцатеричное число	Двоично-десятичные коды		Код Грея
			8-4-2-1	с избытком 3	
10	1010	A	0001 0000	0100 0011	1111
11	1011	B	0001 0001	0100 0100	1110
12	1100	C	0001 0010	0100 0101	1010
13	1101	D	0001 0011	0100 0110	1011
14	1110	E	0001 0100	0100 0111	1001
15	1111	F	0001 0101	0100 1000	1000

Основные свойства и теоремы булевых функций. Число различных булевых функций от L аргументов конечно и равно 2^{2^L} . Из всего многообразия существующих булевых функций рассмотрим те, которые имеют наиболее важное практическое применение. При $L=1$ имеются лишь две булевы функции – функция повторения $y=x$ и функция отрицания (инверсии) $y=\bar{x}$. Для двух аргументов ($L=2$) существует $2^{2^L} = 16$ различных булевых функций, среди которых наиболее важную роль играют четыре – конъюнкция, дизъюнкция, исключающее ИЛИ (функция сложения по модулю 2) и функция эквивалентности или равнозначности (таблица 6.2).

Перечисленные функции позволяют строить новые булевы функции путем перенумерации их аргументов и подстановки в функции новых функций вместо их аргументов. Функцию, полученную из функций y_1, \dots, y_N путем одно- или многократного применения этих правил, называют суперпозицией функций y_1, \dots, y_N .

Таблица 6.2 – Основные логические функции двух аргументов

x_1 x_2	0 0	0 1	1 0	1 1	Условное обозначение	Название функции
f_1	0	0	0	1	$f_1 = x_1 x_2$	Конъюнкция
f_2	0	1	1	1	$f_2 = x_1 + x_2$	Дизъюнкция
f_3	0	1	1	0	$f_3 = x_1 \oplus x_2$	Исключающее ИЛИ (сложение по модулю 2)
f_4	1	0	0	1	$f_4 = x_1 \sim x_2$	Равнозначность (эквивалентность)

Приведем основные свойства и теоремы логических функций, имеющих наиболее важное практическое значение.

Свойства дизъюнкции, конъюнкции и функции «исключающее ИЛИ»:

- функции дизъюнкции и конъюнкции обладают свойством *коммутативности* – $x_1 + x_2 = x_2 + x_1$, $x_1 x_2 = x_2 x_1$, $x_1 \oplus x_2 = x_2 \oplus x_1$;

- функции дизъюнкции и конъюнкции обладают свойством *ассоциативности* –

$$(x_1 + x_2) + x_3 = x_1 + (x_2 + x_3) = x_1 + x_2 + x_3,$$

$$(x_1 x_2) x_3 = x_1 (x_2 x_3) = x_1 x_2 x_3,$$

$$(x_1 \oplus x_2) \oplus x_3 = x_1 \oplus (x_2 \oplus x_3) = x_1 \oplus x_2 \oplus x_3,$$

что позволяет удалять скобки;

- конъюнкция *дистрибутивна* относительно дизъюнкции и функции «исключающее ИЛИ» – $x_1(x_2 + x_3) = x_1 x_2 + x_1 x_3$,

$x_1(x_2 \oplus x_3) = x_1 x_2 \oplus x_1 x_3$, что позволяет раскрывать скобки в более сложных булевых выражениях и выносить общий множитель за скобки;

- дизъюнкция *дистрибутивна* относительно конъюнкции – $x_1 + (x_2 x_3) = (x_1 + x_2)(x_1 + x_3)$;

- конъюнкция и дизъюнкция обладают свойством *идемпотентности* – $x_1 + x_1 = x_1$, $x_1 x_1 = x_1$, откуда следует, что в булевых выражениях нет ни коэффициентов, ни степеней.

Теорема двойственности (правило де Моргана) – инверсия конъюнкции есть дизъюнкция инверсий: $\overline{x_1 x_2} = \overline{x_1} + \overline{x_2}$; инверсия дизъюнкции есть конъюнкция инверсий: $\overline{x_1 + x_2} = \overline{x_1} \cdot \overline{x_2}$.

Теорема поглощения: $x_1 + x_1 x_2 = x_1$ – дизъюнктивная форма, $x_1(x_1 + x_2) = x_1$ – конъюнктивная форма.

Теорема склеивания: $x_1 x_2 + x_1 \overline{x_2} = x_1$ – дизъюнктивная форма, $(x_1 + x_2)(x_1 + \overline{x_2}) = x_1$ – конъюнктивная форма.

Выполняются также следующие очевидные соотношения:

$$\begin{aligned} x_1 \oplus x_1 &= 0; & x_1 \oplus 0 &= x_1; & x_1 \oplus 1 &= \overline{x_1}; & x_1 \oplus \overline{x_1} &= 1; \\ x_1 \sim x_1 &= 1; & x_1 \sim 0 &= \overline{x_1}; & x_1 \sim 1 &= x_1; & x_1 \sim \overline{x_1} &= 0. \end{aligned}$$

Функции конъюнкции, дизъюнкции, эквивалентности и сложения по модулю 2 могут зависеть более чем от двух аргументов:

$$\begin{aligned} f(x_1, x_2, \dots, x_L) &= x_1 \cdot x_2 \cdot \dots \cdot x_L; & f(x_1, x_2, \dots, x_L) &= x_1 + x_2 + \dots + x_L; \\ f(x_1, x_2, \dots, x_L) &= x_1 \sim x_2 \sim \dots \sim x_L; & f(x_1, x_2, \dots, x_L) &= x_1 \oplus x_2 \oplus \dots \oplus x_L. \end{aligned}$$

Структурные формулы подвергаются различного рода преобразованиям, чтобы упростить (минимизировать) их запись с точки зрения, например, числа используемых логических операций. В основе любых методов минимизации лежит применение следующих правил:

$$\begin{aligned} x_1 + x_1 x_2 &= x_1; & x_1 x_2 + x_1 \overline{x_2} &= x_1; & x_1 + \overline{x_1} x_2 &= x_1 + x_2; \\ x_1 (x_1 + x_2) &= x_1; & (x_1 + x_2)(x_1 + \overline{x_2}) &= x_1; & x_1 (\overline{x_1} + x_2) &= x_1 x_2. \end{aligned}$$

На основе теорем алгебры логики разработаны специальные методы, формализующие процесс упрощения структурных формул: метод карт Карно, метод Квайна – Мак-Класки и другие [1].

Запись алгебраических выражений булевых функций в универсальных базисах. Базисы, состоящие из инверсии и конъюнкции (базис И-НЕ), из инверсии и дизъюнкции (базис ИЛИ-НЕ), а также из инверсии, дизъюнкции и конъюнкции (базис И-ИЛИ-НЕ), являются универсальными.

Запись в базисе И-НЕ целесообразно выполнять в следующей последовательности: булева функция представляется в минимальной дизъюнктивной нормальной форме; над выражением ставятся два знака инверсии и с помощью формул де Моргана осуществляется переход в базис И-НЕ. В отдельных случаях находят применение следующие формулы:

$$\overline{\overline{x_1 x_2}} = x_1 x_1 x_2; \quad \overline{\overline{x_1}} = x_1 \cdot 1; \quad \overline{\overline{x_1}} = x_1 x_1; \quad \overline{\overline{x_1 x_2 + x_1 x_2}} = \overline{\overline{x_1 x_1 x_2 x_1 x_2 x_2}}. \quad (6.1)$$

Запись в базисе ИЛИ-НЕ целесообразно выполнять в следующей последовательности: булева функция представляется в минимальной конъюнктивной нормальной форме; над правой частью выражения ставятся два знака инверсии и с помощью формул де Моргана осуществляется переход в базис ИЛИ-НЕ. В отдельных случаях находят применение следующие формулы:

$$\begin{aligned}
x_1 + \overline{x_2} &= x_1 + \overline{x_1 + x_2}; \quad \overline{x_1} = \overline{x_1 + 0}; \quad \overline{x_1} = \overline{x_1 + x_1}; \\
(\overline{x_1 + x_2})(\overline{x_1 + x_2}) &= \overline{\overline{x_1 + x_2 + x_1 + x_2 + x_2}}.
\end{aligned}
\tag{6.2}$$

Запись в базисе И-ИЛИ-НЕ целесообразно выполнять в следующей последовательности: представляется минимальная дизъюнктивная нормальная форма для инверсного значения \overline{f} исходной булевой функции; для перехода к базису И-ИЛИ-НЕ над обеими частями полученного выражения ставится по одному знаку инверсии. Для преобразования в базис И-ИЛИ-НЕ применяются выражения

$$\overline{x_1 x_2} = \overline{x_1 x_1 x_2}; \quad \overline{x_1 x_2} = \overline{x_1 x_2 + 0 \cdot z},
\tag{6.3}$$

где z – произвольная булева функция.

6.2 Цифровые микроэлектронные структуры комбинационного типа

В общем случае комбинационное цифровое устройство (КЦУ) может иметь $n \geq 1$ входов и $m \geq 1$ выходов. Если информационные значения входных сигналов обозначить как x_i ($i = \overline{1, n}$), а выходных сигналов – y_j ($j = \overline{1, m}$), то на каждом выходе КЦУ будет формироваться некоторая булева функция $y_j = f_j(x_1, x_2, \dots, x_n)$, $j = \overline{1, m}$.

Синтез комбинационного устройства предполагает построение схемы минимальной сложности на основе логических элементов выбранного или заданного базиса по заданному алгоритму его функционирования. Процесс синтеза комбинационных устройств осуществляется в два этапа:

- этап структурного (абстрактного) синтеза заключается в формализованном описании устройства с помощью аппарата булевых функций, их минимизации и построении структурной схемы устройства;
- этап схемного синтеза сводится к выбору элементной базы и построению принципиальной электрической схемы.

Для реализации задачи структурного синтеза необходимы четыре последовательных этапа: *формализованная запись условий функционирования комбинационного устройства; запись и минимизация алгебраических выражений булевых функций; запись минимизированных выражений булевых функций в заданном базисе; составление структурной схемы.*

Например, требуется синтезировать структурную схему комбинационного цифрового устройства в базисе И-НЕ, алгоритм функционирования которого задан таблицей истинности (таблица 6.3).

Таблица 6.3 – Таблица истинности комбинационного цифрового устройства

Номер набора	x_1	x_2	x_3	x_4	y	Номер набора	x_1	x_2	x_3	x_4	y
0	0	0	0	0	x	8	1	0	0	0	0
1	0	0	0	1	0	9	1	0	0	1	x
2	0	0	1	0	x	10	1	0	1	0	1
3	0	0	1	1	0	11	1	0	1	1	0
4	0	1	0	0	x	12	1	1	0	0	1
5	0	1	0	1	1	13	1	1	0	1	0
6	0	1	1	0	x	14	1	1	1	0	1
7	0	1	1	1	1	15	1	1	1	1	0

Так как задан базис И-НЕ, то целесообразно использовать СДНФ. Составим карту Карно (рисунок 6.1,а).

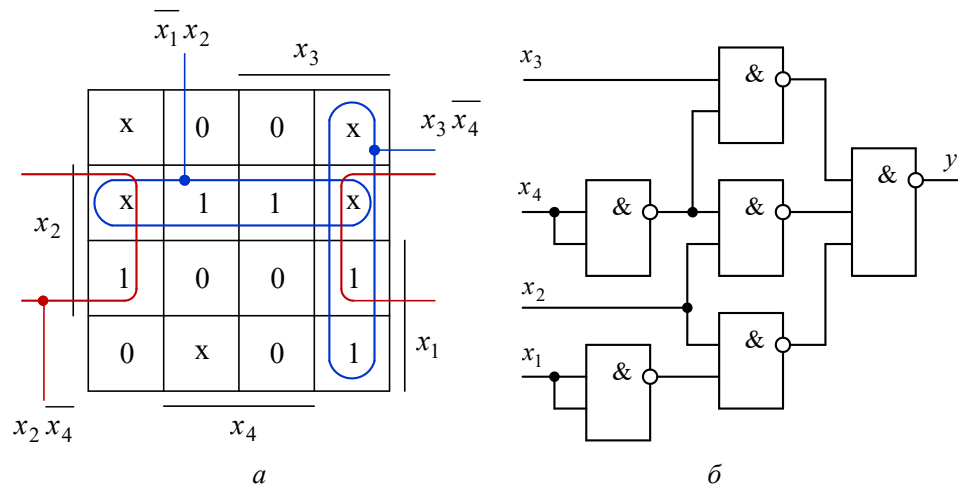


Рисунок 6.1 – Карта Карно (а) и структурная схема (б) комбинационного цифрового устройства

Минимизированная дизъюнктивная нормальная форма функции, заданная таблицей истинности 6.3, имеет вид $y = \overline{x_1}x_2 + x_2\overline{x_4} + x_3\overline{x_4}$.

Для перехода в базис И-НЕ поставим два знака инверсии над правой частью полученного минимизированного выражения и, применив правило де Моргана, получим

$$y = \overline{\overline{x_1 x_2 + x_2 x_4 + x_3 x_4}} = \overline{\overline{x_1 x_2} \cdot \overline{x_2 x_4} \cdot \overline{x_3 x_4}}.$$

Окончательное булево выражение имеет вид

$$y = \overline{\overline{x_1 x_2} \cdot \overline{x_2 x_4} \cdot \overline{x_3 x_4}} = \overline{\overline{x_1 x_2 x_2 x_4 x_4} \cdot \overline{x_3 x_4 x_4}},$$

а структурная схема, соответствующая этому выражению, представлена на рисунке 6.1,б.

Следует отметить, что после применения карт Карно возможно дополнительное упрощение булевых выражений с помощью соотношений алгебры логики.

Мультиплексоры и демультиплексоры. Назначение мультиплексоров (от англ. multiplex – многократный) – коммутировать в желаемом порядке информацию, поступающую с нескольких входов, на один выход. Мультиплексоры в цифровой аппаратуре используются для временного разделения информации, поступающей по разным каналам.

Мультиплексоры обладают двумя группами входов и одним, реже двумя (взаимодополняющими) выходами, один из которых прямой, а другой – инверсный. Одна группа входов объединяет информационные входы, а другая служит для управления работой мультиплексора. Управляющие входы подразделяются на адресные и разрешающие (стробирующие). Полный мультиплексор, обладающий n адресными входами, содержит 2^n информационных входов и обозначается как «мультиплексор $2^n - 1$ ». Если на адресные входы подать n -разрядный двоичный код числа $i \in \{0, 1, 2, \dots, 2^n - 1\}$, то выход подключится к i -му информационному входу, то есть информация, поступающая на i -й информационный вход, будет проходить на выход независимо от того, какие сигналы поступают на остальные информационные входы.

Логическая функция f на прямом выходе полного мультиплексора с n адресными входами a_0, a_1, \dots, a_{n-1} и одним прямым входом разрешения E имеет вид

$$f = E \sum_{i=0}^{2^n-1} m_i d_i, \quad (6.4)$$

где m_i – минтерм, соответствующий i -му набору переменных на адресных входах; E – сигнал на входе разрешения; d_i – сигнал на i -м информационном входе.

Например, для полного мультиплексора 8–1 (рисунок 6.2) логическая функция имеет вид

$$f = E \sum_{i=0}^7 m_i d_i = E \left(\overline{a_2} \overline{a_1} \overline{a_0} d_0 + \overline{a_2} \overline{a_1} a_0 d_1 + \overline{a_2} a_1 \overline{a_0} d_2 + \overline{a_2} a_1 a_0 d_3 + \right. \\ \left. + a_2 \overline{a_1} \overline{a_0} d_4 + a_2 \overline{a_1} a_0 d_5 + a_2 a_1 \overline{a_0} d_6 + a_2 a_1 a_0 d_7 \right),$$

где a_i – сигналы, подаваемые на адресные входы мультиплексора.

Используя методику синтеза комбинационных цифровых устройств и общее выражение (6.4) булевой функции полного мультиплексора, можно получить структурную схему реализации мультиплексора на логических элементах [1].

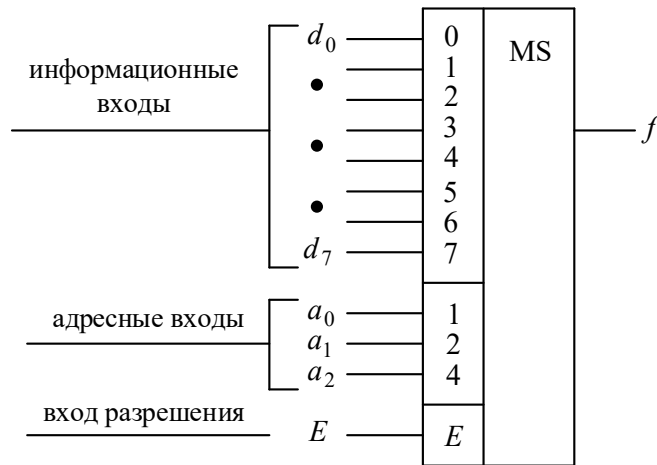


Рисунок. 6.2 – Полный мультиплексор 8–1

Мультиплексоры, помимо прямого назначения, могут выполнять и другие функции, например использоваться для преобразования параллельного двоичного кода в последовательный, работать в качестве универсального логического элемента, реализующего любую логическую функцию, содержащую до $n + 1$ аргументов. У интегральных микросхем мультиплексоров число информационных входов не превышает 16. Большое число входов обеспечивается наращиванием двумя способами: объединением нескольких мультиплексоров в пирамидальную (древовидную) систему либо последовательным соединением разрешающих входов и внешних логических элементов [1].

Демультимплексоры в функциональном отношении противоположны мультиплексорам – сигналы с одного информационного входа распределяются в необходимой последовательности по нескольким выходам. Выбор нужного выхода, как и в мультиплексоре, обеспечивается двоичным кодом на адресных входах. При n адресных входах полный демультимплексор имеет 2^n выходов, которые могут быть прямыми или инверсными. На каждом прямом выходе демультимплексора, содержащего прямой вход разрешения, реализуется булева функция

$$f_i = E m_i d, \quad (6.5)$$

где m_i – минтерм, соответствующий i -му набору переменных на адресных входах; E – сигнал на входе разрешения; d – сигнал на информационном входе.

Например, полный демультимплексор 1 – 4 (рисунок 6.3) на своих выходах реализует систему булевых функций

$$\begin{aligned} f_0 &= \overline{\overline{E} m_0 d} = \overline{\overline{E} \overline{a_1} \overline{a_0} d}, & f_1 &= \overline{\overline{E} m_1 d} = \overline{\overline{E} a_1 \overline{a_0} d}, \\ f_2 &= \overline{\overline{E} m_2 d} = \overline{\overline{E} \overline{a_1} a_0 d}, & f_3 &= \overline{\overline{E} m_3 d} = \overline{\overline{E} a_1 a_0 d}. \end{aligned}$$

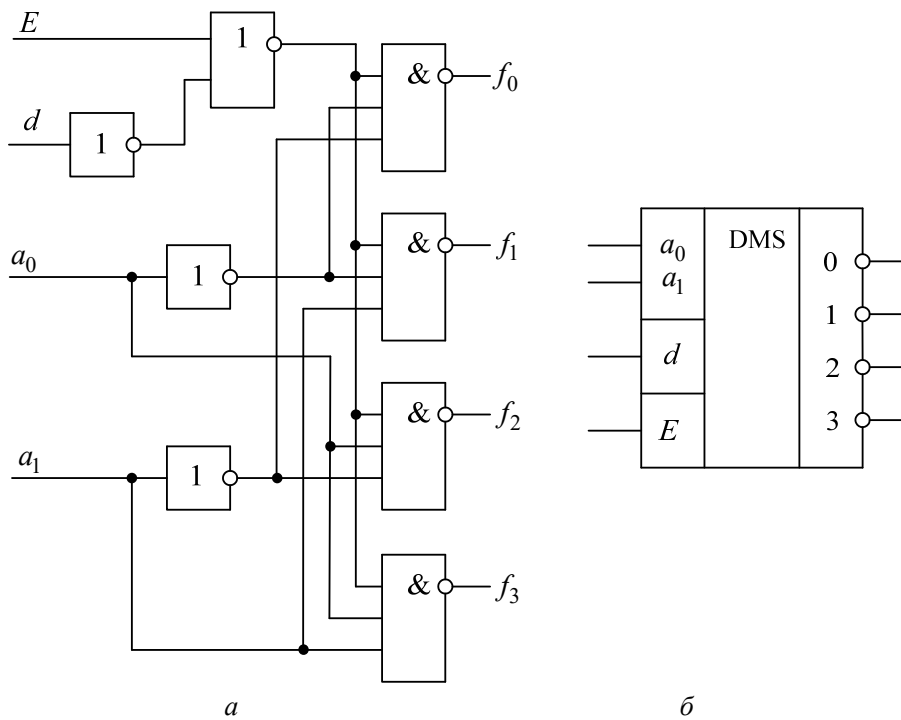


Рисунок 6.3 – Логическая структура (а) и условное графическое обозначение (б) демультимплексора 1 – 4

ИМС демультиплексоров имеют 4, 8 или 16 выходов. Если требуется большее число выходов, демультиплексоры наращиваются в систему и в этом отношении у них нет принципиального различия с мультиплексорами.

Шифраторы и дешифраторы. К основным видам преобразования информации в цифровых системах относят шифрацию и дешифрацию, для реализации которых используют комбинационные цифровые устройства, называемые шифраторами и дешифраторами соответственно.

Шифратором (Coder – кодер) называют комбинационную схему, реализующую преобразование унитарного кода «1 из n » $X = x_{n-1} \dots x_0$ в m -разрядный двоичный код $Y = y_{m-1} \dots y_0$. В унитарном коде «1 из n » только один разряд принимает значение логической «1», а все оставшиеся разряды – уровень логического «0». Если в унитарном коде $x_l = 1$, то число $Y = y_{m-1} \dots y_0$ представляет собой двоичный код номера разряда l .

Число входов шифратора не превышает количество возможных комбинаций выходных сигналов, то есть $n \leq 2^m$, причем если $n = 2^m$, то шифратор называют полным, а если $n < 2^m$, то неполным.

Дешифратор (DeCoder – декодер) – преобразователь n -разрядного двоичного кода в унитарный код «1 из m ». Число входов и выходов полного дешифратора связано соотношением $m = 2^n$, а неполного дешифратора – соотношением $m < 2^n$. Дешифратор с прямыми выходами реализует минтермы входных переменных $f_i = m_i$, а дешифратор с инверсными выходами – инверсии минтермов, то есть макстермы входных переменных $f_i = \overline{m_i} = M_i$.

Сумматоры и цифровые компараторы. Сумматоры представляют собой функциональные узлы, выполняющие операцию сложения чисел. В устройствах цифровой техники суммирование осуществляется в двоичном или двоично-десятичном коде. Сумматоры используются также для реализации операций вычитания, умножения и деления, в качестве преобразователей кодов и в ряде других случаев.

По характеру действия сумматоры подразделяются на комбинационные и накопительные (сохраняющие результаты вычислений). В свою очередь каждый из сумматоров, оперирующий с многоразрядными слагаемыми, в зависимости от способа обработки чисел может быть отнесен к последовательному или параллельному типу. Сложение чисел в последовательных сумматорах осуществляется поразрядно, последовательно во

времени. В сумматорах параллельного действия сложение всех разрядов многоразрядных чисел происходит одновременно.

Простейшим суммирующим элементом является полусумматор (Half Sum – полусумма), который имеет два входа A и B для двух слагаемых и два выхода: S – сумма и P – перенос (рисунок 6.4). Булевы функции для суммы S и переноса P имеют вид

$$S = \bar{A}B + A\bar{B} = A \oplus B, \quad P = AB.$$

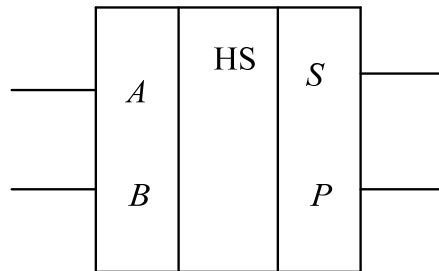


Рисунок 6.4 – Условное графическое обозначение полусумматора

Полусумматор имеет два входа и поэтому пригоден для использования только в младшем разряде многоразрядных двоичных чисел. Начиная со второго разряда многоразрядных чисел, необходимо использовать полный одноразрядный сумматор, содержащий три входа, на один из которых подается сигнал переноса из предыдущего разряда (рисунок 6.5).

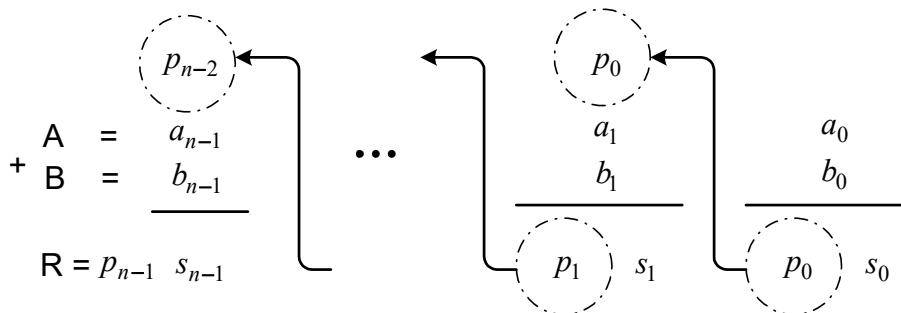


Рисунок 6.5 – Сложение двух n -разрядных чисел

Сложение цифр a_0 и b_0 младшего разряда дает бит суммы s_0 и бит переноса p_0 . В следующем разряде (втором) происходит сложение цифр p_0, a_1, b_1 и формируется бит суммы s_1 и бит переноса p_1 . Операция

продолжается до тех пор, пока не будет сложена каждая пара цифр во всех разрядах. Результатом сложения является $(n+1)$ -разрядное число $R = p_{n-1} s_{n-1} \dots s_0$.

Полный одноразрядный сумматор можно представить как объединение двух полусумматоров (рисунок 6.6).

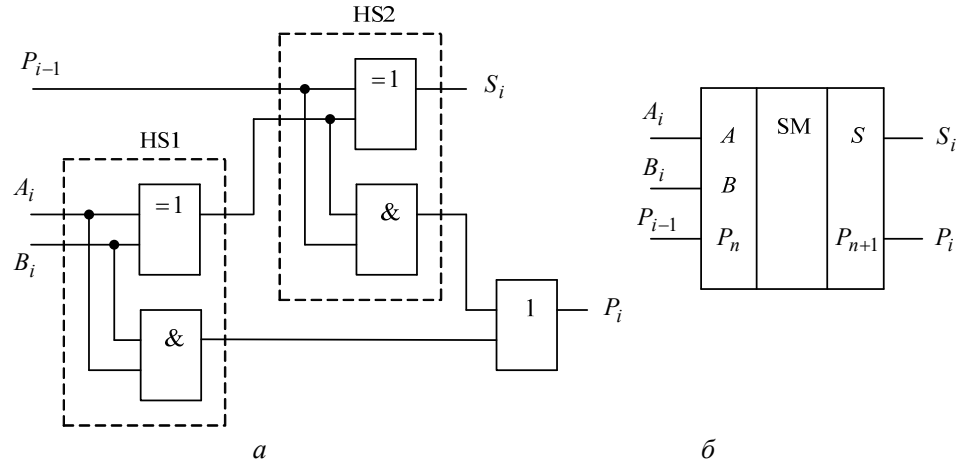


Рисунок 6.6 – Логическая структура (а) и условное графическое обозначение (б) полного одноразрядного сумматора

Цифровые компараторы (от англ. compare – сравнивать) выполняют сравнение двух n -разрядных чисел (A и B), заданных в двоичном (двоично-десятичном) коде. В зависимости от схемного выполнения компараторы могут реализовывать следующие функции сравнения:

$$A = B, A = \bar{B}, A \neq B, A < B, A > B, A \leq B, A \geq B.$$

Результат сравнения отображается соответствующим логическим уровнем на выходе. Микросхемы цифровых компараторов, как правило, имеют три выхода, на которых формируются признаки трех основных операций сравнения: $A = B$, $A < B$, $A > B$.

В качестве простейшего одноразрядного компаратора можно использовать двухвходовые логические элементы «исключающее ИЛИ» (функции сравнения $A \neq B$, $A = \bar{B}$) и «исключающее ИЛИ-НЕ» (функция сравнения $A = B$). Таблица истинности универсального одноразрядного компаратора имеет вид таблицы 6.4. Операции сравнения определяются логическими выражениями

$$F_1(A < B) = \bar{A}B, F_2(A = B) = \bar{A}\bar{B} + AB = \overline{A \oplus B},$$

$$F_3(A > B) = A\bar{B}. \quad (6.6)$$

Выражениям (6.6) соответствует логическая структура универсального одnorазрядного компаратора, представленная на рисунке 6.7.

Таблица 6.4 – Таблица истинности универсального одnorазрядного компаратора

N-разрядные числа		Операции сравнения		
A	B	A < B	A = B	A > B
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

Для примера на рисунке 6.8 представлено условное графическое обозначение четырехразрядного цифрового компаратора.

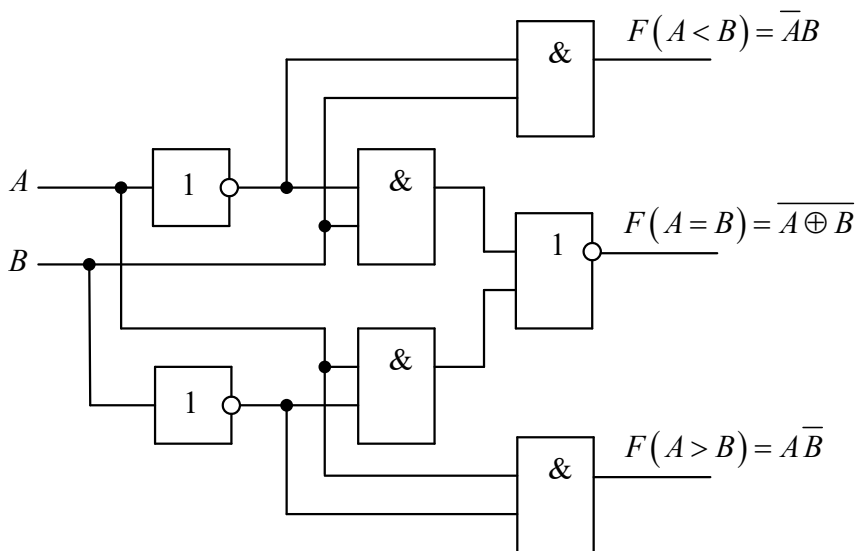


Рисунок 6.7 – Логическая структура универсального одnorазрядного компаратора

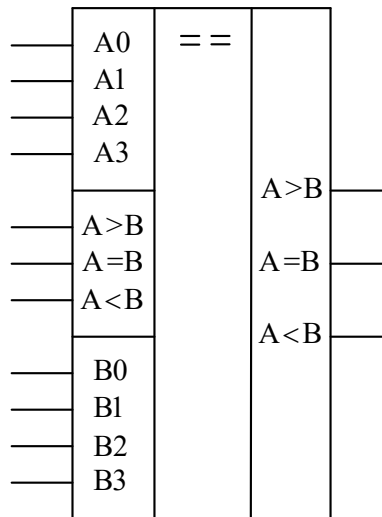


Рисунок 6.8 – Условное графическое обозначение четырехразрядного компаратора

Контроль четности. Контроль четности (нечетности) используется для обнаружения однократных ошибок при передаче данных по линиям связи. Простой и эффективный способ обнаружения ошибок основан на допущении, что в каждый момент времени ошибка может возникнуть только в одном разряде и проявляется она в лишней единице или в потере единицы. В обоих случаях число единиц в слове изменяется на одну. Таким образом, если передаваемое слово содержит четное число единиц во всех разрядах, а на конце линии передачи общее число единиц в слове окажется нечетным, значит, при передаче информации появилась ошибка.

Передачу информации с контролем четности поясняет рисунок 6.9.

На основании информации с выхода передатчика формирователь паритетного бита создает дополнительный (паритетный или контрольный) бит (1 или 0), который добавляется к передаваемой информации. Назначение паритетного бита – доводить число единиц в каждом передаваемом слове до четного или нечетного в зависимости от принятой системы кодирования.

На приемном конце происходит проверка паритета (от англ. parity – соответствие, аналогия) поступивших сигналов с помощью контрольной схемы. Если паритет правильный, разрешается прием. Если на линии передачи имеет место искажение передаваемой информации, происходит включение сигнализатора ошибок.

Для контроля четности при передаче информации используют специальные схемы сравнения, обеспечивающие суммирование по модулю 2 всех разрядов передаваемых слов и организованные на логических элементах «исключающее ИЛИ».

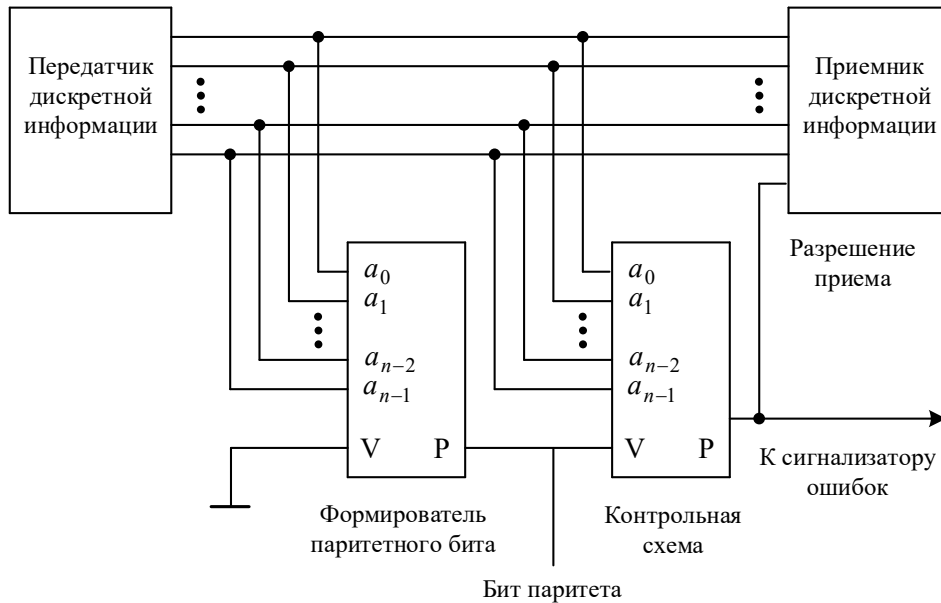


Рисунок 6.9 – Передача информации с контролем четности

Для примера на рисунке 6.10 показана схема формирования паритетного бита на 4 разряда.

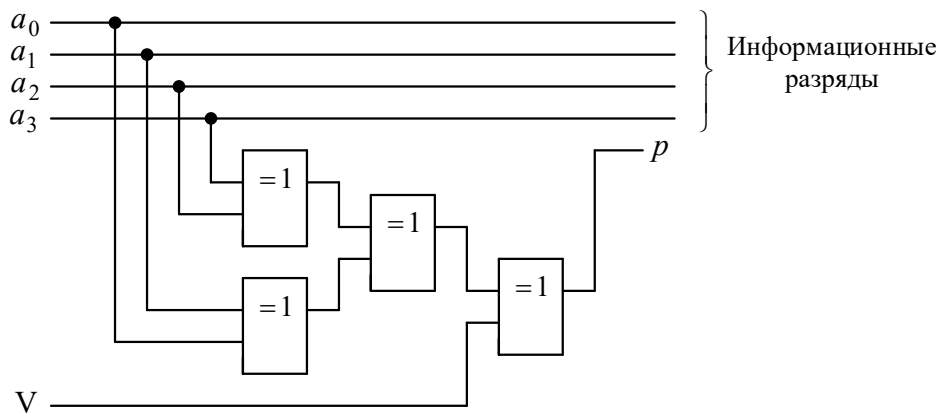


Рисунок 6.10 – Схема формирования паритетного бита

Данная схема является многоступенчатой. В первой ступени попарно суммируются все биты слова. Выходные сигналы первой ступени служат входными для второй и так последовательно до окончательного определения четности (нечетности) суммы единиц всего слова. Полученный на последнем этапе результат суммируется по модулю 2 с сигналом «V», задающим вид используемого паритета.

В случае четного паритета паритетный бит p должен быть равен сумме по модулю 2 всех информационных разрядов слова, что обеспечивается сигналом $V = 0$. При нечетном паритете паритетный бит p должен быть равен инвертированной сумме по модулю 2 всех информационных разрядов слова, что обеспечивается сигналом $V = 1$. Таблица истинности для схемы формирования паритетного бита на 4 разряда имеет вид таблицы 6.5.

Таблица 6.5 – Таблица истинности для схемы формирования паритетного бита на 4 разряда

Информационные разряды				Бит паритета		Информационные разряды				Бит паритета	
a_3	a_2	a_1	a_0	V = 0	V = 1	a_3	a_2	a_1	a_0	V = 0	V = 1
0	0	0	0	0	1	1	0	0	0	1	0
0	0	0	1	1	0	1	0	0	1	0	1
0	0	1	0	1	0	1	0	1	0	0	1
0	0	1	1	0	1	1	0	1	1	1	0
0	1	0	0	1	0	1	1	0	0	0	1
0	1	0	1	0	1	1	1	0	1	1	0
0	1	1	0	0	1	1	1	1	0	1	0
0	1	1	1	1	0	1	1	1	1	0	1

Таким образом, независимо от паритета четырехразрядного слова на информационных линиях паритет пятиразрядного кода $a_3 a_2 a_1 a_0 p$ всегда будет одинаков.

6.3 Цифровые микронэлектронные структуры последовательностного типа

Цифровое устройство называется последовательностным, если его выходные сигналы y_1, y_2, \dots, y_m зависят не только от комбинации текущих значений входных сигналов x_1, x_2, \dots, x_n , но и от последователь-

ности значений сигналов, поступивших на входы в предшествующие моменты времени. Для фиксации последовательности поступления входных сигналов последовательностное цифровое устройство (ПЦУ) обязательно содержит элементы памяти.

Триггеры. Триггером называют устройство, которое может находиться в одном из двух устойчивых состояний и переходить из одного состояния в другое под воздействием входных сигналов. В общем случае триггер состоит из ячейки памяти и устройства управления (порой весьма сложного), преобразующего входную информацию в комбинацию сигналов, под воздействием которых ячейка памяти (бистабильная ячейка) принимает одно из двух устойчивых состояний.

Для удобства использования триггеры имеют два выхода: прямой Q (от англ. Quit – выход) и инверсный \bar{Q} . Поскольку сигналы на выходах Q и \bar{Q} должны быть противоположными (комплементарными), состояние триггера определено, если задано значение одного из выходных сигналов (чаще всего на прямом выходе Q). Состояние $Q = 1, \bar{Q} = 0$ называется единичным, а $Q = 0, \bar{Q} = 1$ – нулевым.

Входы триггера делятся на информационные и вспомогательные (управляющие). Сигналы, поступающие на информационные входы, управляют состоянием триггера. Сигналы на вспомогательных входах используются для предварительной установки триггера в требуемое состояние и синхронизации. Вспомогательные входы могут использоваться и в качестве информационных. Число входов триггера зависит от его структуры и назначения. Информационные входы триггера принято обозначать буквами S (от англ. Set – установка), R (от англ. Reset – сброс), J (от англ. Jerk – внезапное включение), K (от англ. Kill – внезапное отключение), D (от англ. Delay – задержка), T (от англ. Toggle – релаксатор), а управляющие входы – буквами C (от англ. Clock – синхронизация, тактирование) и V (от англ. Valve – клапан, вентиль).

Триггеры классифицируют по способу приема информации, принципу построения и функциональным возможностям (рисунок 6.11).

Асинхронный RS-триггер с прямыми входами имеет два информационных входа S и R , используемых для установки триггера в единичное и нулевое состояние соответственно. Закон функционирования RS-триггера с прямыми входами определяется таблицей переходов (таблица 6.6).

RS-триггер с прямыми входами может быть реализован на двух логических элементах 2ИЛИ-НЕ (рисунок 6.12,а).

Закон функционирования *RS*-триггера с инверсными входами определяется таблицей переходов 6.7.



Рисунок 6.11 – Классификация триггеров

RS-триггер с инверсными входами может быть реализован на двух логических элементах 2И-НЕ (рисунок 6.12,б).

Таблица 6.6 – Таблица переходов *RS*-триггера с прямыми входами

Номер	$R(t)$	$S(t)$	$Q(t)$	$Q(t+1)$	$\bar{Q}(t+1)$	Режим
0	0	0	0	0	1	Хранение
1	0	0	1	1	0	
2	0	1	0	1	0	Установка в единичное состояние
3	0	1	1	1	0	
4	1	0	0	0	1	Установка в нулевое состояние
5	1	0	1	0	1	
6	1	1	0	×	×	Неопределенное состояние
7	1	1	1	×	×	

Таблица 6.7 – Таблица переходов RS -триггера с инверсными входами

Номер	$R(t)$	$S(t)$	$Q(t)$	$Q(t+1)$	$\bar{Q}(t+1)$	Режим
0	0	0	0	×	×	Неопределенное состояние
1	0	0	1	×	×	
2	0	1	0	0	1	Установка в нулевое состояние
3	0	1	1	0	1	
4	1	0	0	1	0	Установка в единичное состояние
5	1	0	1	1	0	
6	1	1	0	0	1	Хранение
7	1	1	1	1	0	

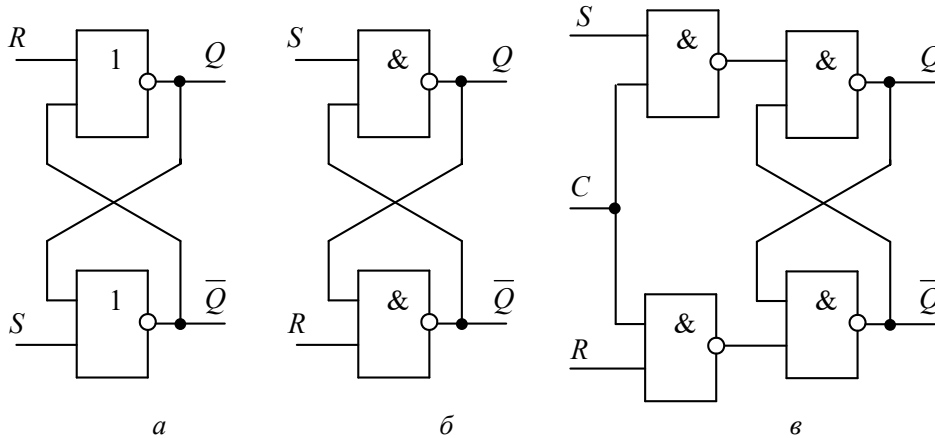


Рисунок 6.12 – Логические структуры асинхронного RS -триггера с прямыми входами (а), асинхронного RS -триггера с инверсными входами (б) и синхронного RS -триггера с прямыми информационными входами и статическим управлением (в)

Синхронный RS -триггер со статическим управлением отличается от асинхронного наличием входа синхронизации C , на который поступают синхронизирующие (тактовые) сигналы. Изменение состояния синхронного RS -триггера может происходить только при наличии сигнала логической единицы на входе синхронизации (если вход синхронизации прямой). Если же на входе синхронизации присутствует сигнал логического нуля, триггер находится в режиме хранения. Закон функционирования синхронного RS -триггера с прямыми информационными входами и прямым входом синхронизации определяется таблицей переходов 6.8.

Синхронный RS -триггер с прямыми входами реализуется на четырех двухвходовых логических элементах И-НЕ (рисунок 6.12, в).

Таблица 6.8 – Таблица переходов синхронного RS -триггера с прямыми информационными входами и прямым входом синхронизации

Номер	C	$R(t)$	$S(t)$	$Q(t)$	$Q(t+1)$	$\bar{Q}(t+1)$	Режим
0	0	0	0	0	0	1	Хранение
1	0	0	0	1	1	0	
2	0	0	1	0	0	1	
3	0	0	1	1	1	0	
4	0	1	0	0	0	1	
5	0	1	0	1	1	0	
6	0	1	1	0	0	1	
7	0	1	1	1	1	0	
8	1	0	0	0	0	1	
9	1	0	0	1	1	0	
10	1	0	1	0	1	0	Установка в единичное состояние
11	1	0	1	1	1	0	
12	1	1	0	0	0	1	Установка в нулевое состояние
13	1	1	0	1	0	1	
14	1	1	1	0	×	×	Неопределенное состояние
15	1	1	1	1	×	×	

Синхронный D -триггер (триггер задержки) имеет один информационный вход D и вход синхронизации C . Основное назначение D -триггера – задержка сигнала, поданного на вход D : под действием сигнала синхронизации ($C = 1$) информация, поступающая на вход D , принимается в триггер, но появляется на выходе Q с задержкой на один такт. Если на входе синхронизации присутствует сигнал логического нуля ($C = 0$), то триггер находится в режиме хранения. Можно считать, что D -триггер соответствует RS -триггеру, работающему только в режимах установки в единичное ($S = 1, R = 0$, когда $D = 1$) или в нулевое ($S = 0, R = 1$, когда $D = 0$) состояние. Это позволяет реализовать синхронный D -триггер на базе синхронного RS -триггера (рисунок 6.13).

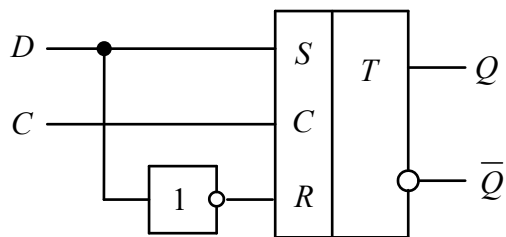


Рисунок 6.13 – Функциональная схема синхронного D -триггера

Синхронные *RS*- и *D*-триггеры с динамическим управлением являются двухступенчатыми структурами, каждая из ступеней которых представляет собой синхронный триггер со статическим управлением.

На рисунке 6.14,*а* представлен пример реализации синхронного *RS*-триггера с управлением по фронту сигнала синхронизации, а на рисунке 6.14,*б* – пример реализации синхронного *D*-триггера с управлением по срезу сигнала синхронизации.

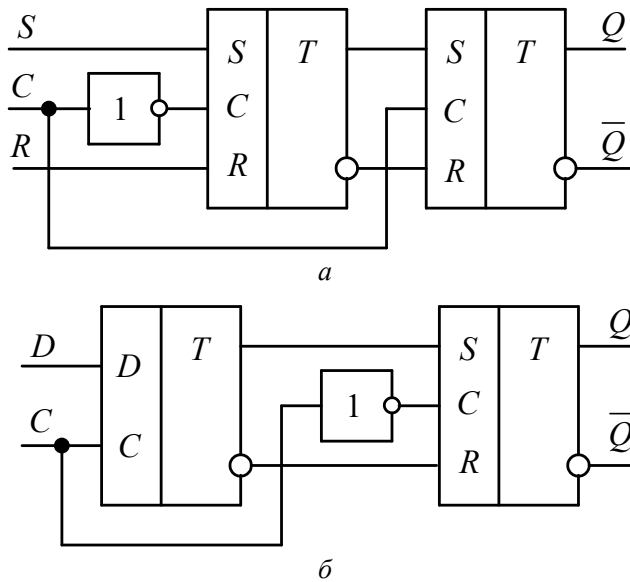






Рисунок 6.14 – Функциональные схемы синхронного *RS*-триггера с управлением по фронту сигнала синхронизации (*а*) и синхронного *D*-триггера с управлением по срезу сигнала синхронизации (*б*)

Универсальный *JK*-триггер обладает наиболее широкими функциональными возможностями. Триггер имеет два информационных входа *J* и *K*, используемых для управления режимом работы, а также динамический вход синхронизации *C*. Закон функционирования *JK*-триггера с управлением по фронту сигнала синхронизации определяется таблицей переходов 6.9.

JK-триггер может быть реализован на основе синхронного *RS*-триггера с динамическим управлением (рисунок 6.15).

Таблица 6.9 – Таблица переходов *JK*-триггера с управлением по фронту сигнала синхронизации

C	J	K	$Q(t+1)$	Режим
0	×	×	$Q(t)$	Хранение
1	×	×	$Q(t)$	
	0	0	$Q(t)$	
	0	1	0	Установка в нулевое состояние
	1	0	1	Установка в единичное состояние
	1	1	$\bar{Q}(t)$	Переключение в противоположное состояние

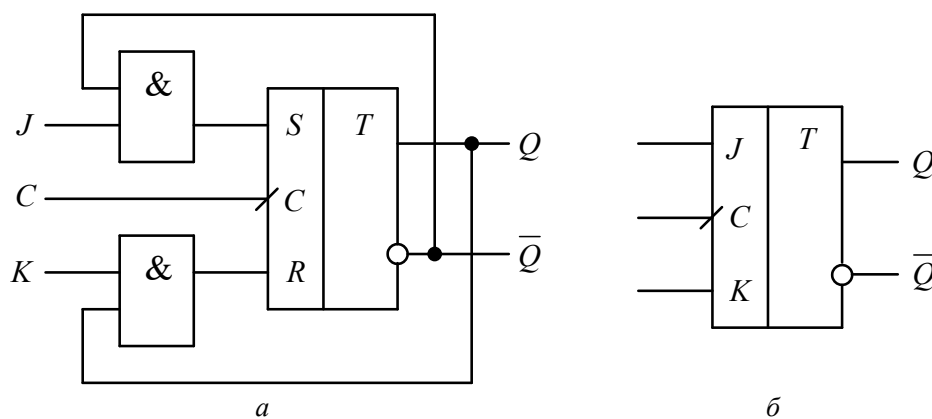


Рисунок 6.15 – Функциональная схема (а) и условное графическое обозначение (б) *JK*-триггера с управлением по фронту сигнала синхронизации

Счетный триггер (Т-триггер) содержит только тактовый вход T , на который подаются импульсы синхронизации (тактовые импульсы). Счетный триггер может быть построен на базе синхронного *RS*-триггера (рисунок 6.16,а) или на базе синхронного *D*-триггера с динамическим управлением (рисунок 6.16,б).

Закон функционирования счетного триггера заключается в изменении его состояния на противоположное по фронту (или по срезу) каждого тактового импульса (рисунок 6.16,в).

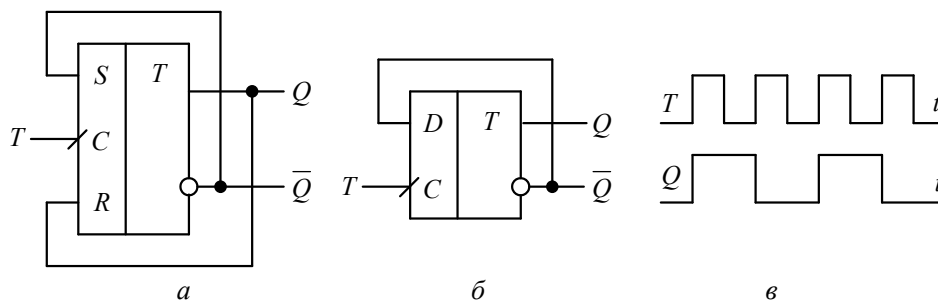


Рисунок 6.16 – Счетный триггер на базе RS -триггера (а), D -триггера (б) и временные диаграммы его работы (в)

Счетчики. Счетчик представляет собой последовательностное цифровое устройство, циклически переходящее из одного состояния в другое под воздействием счетных (тактовых) сигналов, поступающих на его счетный (тактовый) вход. Для реализации счетчиков используются T -, D - и JK -триггеры с динамическим управлением, каждый из которых образует соответствующий разряд двоичного кода. Состояние счетчика определяется двоичным кодом, зафиксированным на его триггерах.

Основным параметром счетчика является коэффициент пересчета (модуль счета) $k_{сч}$, определяемый числом всех различных состояний, через которые проходит счетчик в процессе одного полного цикла счета. Другими словами, коэффициент пересчета представляет собой число импульсов, которые необходимо подать на счетный вход, чтобы счетчик, пройдя полный цикл счета, вернулся в исходное состояние. Состояния счетчика с коэффициентом пересчета лежат в диапазоне $Q_{сч} = \overline{0, k_{сч} - 1}$.

Счетчики можно классифицировать в зависимости от организации внутренних связей между триггерами, по направлению счета, по значению коэффициента пересчета (рисунок 6.17).

Для организации асинхронного двоичного счетчика с коэффициентом пересчета $k_{сч}$ необходимо использовать $n = \log_2 k_{сч}$ счетных триггеров, соединяя выход предыдущего триггера со счетным входом последующего. При этом младшему разряду выходного n -разрядного двоичного кода счетчика будет соответствовать первый триггер, на счетный вход которого непосредственно подаются счетные импульсы (рисунок 6.18).

Для организации асинхронного вычитающего счетчика необходимо либо применять счетные триггеры с управлением по фронту тактовых импульсов, либо в качестве тактовых сигналов последующих триггеров с управлением по срезу использовать сигналы с инверсных выходов предыдущих триггеров [1].

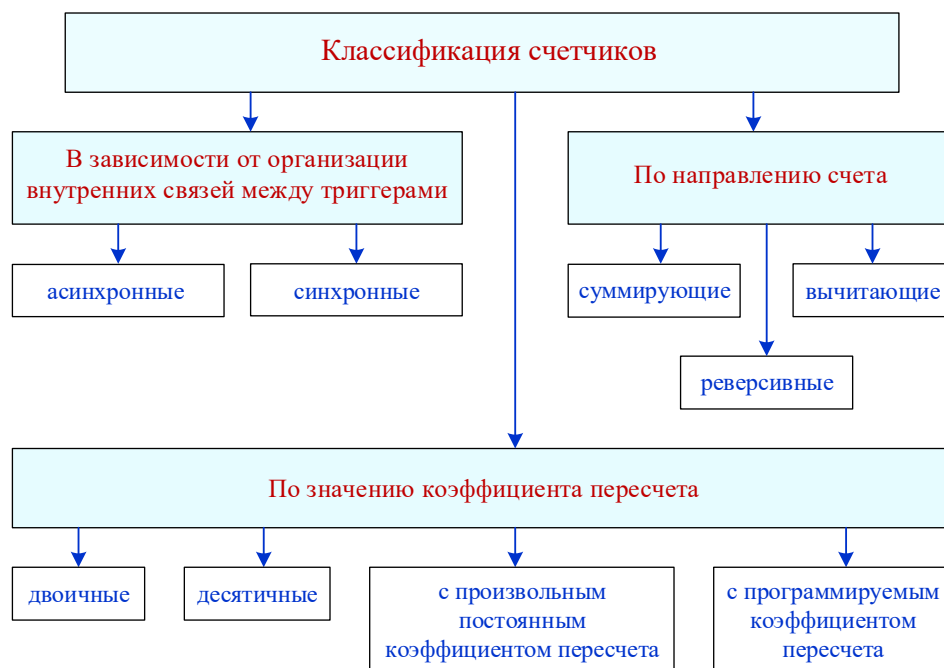


Рисунок 6.17 – Классификация счетчиков

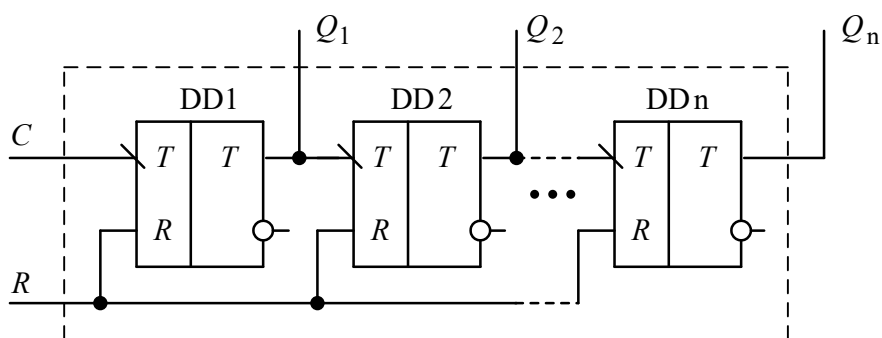


Рисунок 6.18 – Функциональная схема n -разрядного суммирующего асинхронного двоичного счетчика

Для построения *реверсивного асинхронного счетчика* необходимо в зависимости от сигнала управления в качестве тактовых сигналов последующих триггеров использовать либо прямые, либо инверсные выходные сигналы предыдущих триггеров. Формирование соответствующего тактового сигнала можно реализовать, используя логические элементы «исключающее ИЛИ» (рисунок 6.19).

Вход R предназначен для установки счетчика в нулевое состояние. Направление счета определяется сигналом управления, подаваемым на

вход «±1». При поступлении на вход «±1» сигнала логического нуля логические элементы «исключающее ИЛИ» работают как повторители сигналов с прямых выходов триггеров, обеспечивая счет в прямом направлении.

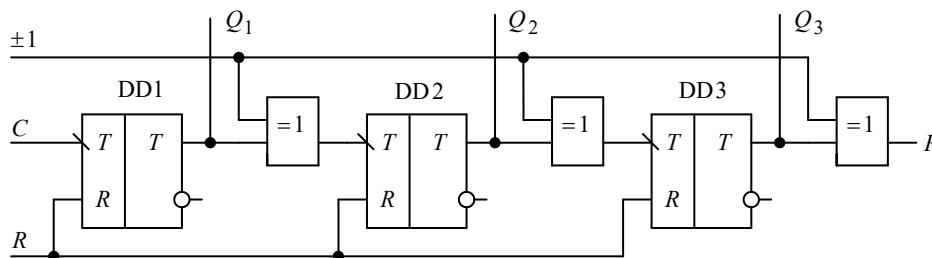


Рисунок 6.19 – Функциональная схема асинхронного реверсивного счетчика

Если на вход «±1» подан сигнал логической единицы, элементы «исключающее ИЛИ» функционируют как инверторы сигналов с прямых выходов триггеров, в результате чего счет осуществляется в обратном направлении. Для наращивания разрядности счетчика используется выход переноса P , который подключается к тактовому входу C триггера последующего разряда.

Счетчики с произвольным постоянным коэффициентом пересчета $k_{сч}$, как правило, содержат двоичный счетчик из $n = \lceil \log_2 k_{сч} \rceil + 1$ триггеров, где $\lceil x \rceil$ – функция «целая часть x ». При этом коэффициент пересчета лежит в диапазоне $2^n \leq k_{сч} < 2^{n+1}$, что свидетельствует о наличии избыточных состояний счетчика. Для исключения избыточных состояний двоичный счетчик дополняется комбинационной схемой, обеспечивающей принудительную установку счетчика в заданное исходное состояние [1].

Частным случаем счетчиков с произвольным постоянным коэффициентом пересчета являются *десятичные счетчики*, которые выпускаются в виде интегральных микросхем. Для построения десятичного счетчика с коэффициентом пересчета $k_{сч}$ необходимо $l = \lg k_{сч}$ тетрад выходного кода и $n = 4 \lg k_{сч}$ триггеров (рисунок 6.20).

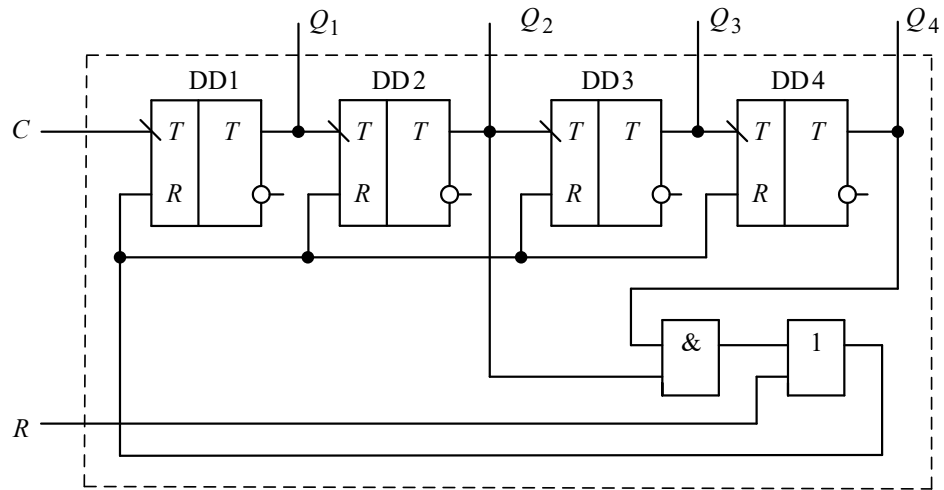


Рисунок 6.20 – Функциональная схема десятичного асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 10$

6.4 Особенности выходов логических элементов ТТЛ

Под выходами ИМС понимают их выводы, на которых реализована, например, логическая функция входных переменных, либо формируются считываемые данные или адреса, либо вырабатываются сигналы протокола обмена с другими ИМС цифрового вычислительного комплекса. Количество выходов определяется назначением и сложностью ЦИМС. Рассмотрим особенности выходов на примере подгруппы логических элементов ТТЛ. Наряду со стандартным выходом в схемотехнике ИМС ТТЛ реализуются и другие выходы – с повышенной нагрузочной способностью, с открытым коллектором, с открытым эмиттером, с состоянием высокого импеданса, с тремя выходными состояниями.

В таблице 6.10 представлены метки выводов ИМС, а в таблице 6.11 – примеры условных графических обозначений ИМС.

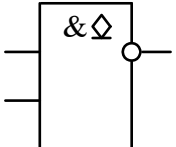
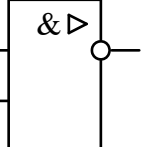
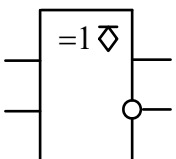
Таблица 6.10 – Метки выводов ИМС

Наименование	Обозначение
1. Открытый вывод (коллектор $p-n-p$ -транзистора, эмиттер $n-p-n$ -транзистора, сток транзистора с каналом p -типа, исток транзистора с каналом n -типа)	
2. Открытый вывод (коллектор $n-p-n$ -транзистора, эмиттер $p-n-p$ -транзистора, сток транзистора с каналом n -типа, исток транзистора с каналом p -типа)	

Окончание таблицы 6.10

Наименование	Обозначение
3. Вывод с состоянием высокого импеданса	\diamond или Z
4. Вывод с тремя выходными состояниями (разрешение состояния высокого импеданса)	E \diamond или EZ

Таблица 6.11– Примеры условных графических обозначений ИМС

Наименование	Обозначение	Наименование	Обозначение
1. Логический элемент 2И-НЕ с открытым коллектором		3. Логический элемент 2И-НЕ с высокой нагрузочной способностью	
2. Логический элемент «исключающее ИЛИ-НЕ/ИЛИ» с открытым эмиттером		4. Логический элемент 2И-НЕ с открытым коллектором и высокой нагрузочной способностью	

Выход с открытым коллектором. Если элемент И-НЕ транзисторно-транзисторной логики со сложным инвертором (см. рисунок 5.10) не содержит транзистор VT2, диод VD1 и резистор R4, то получается элемент И-НЕ со свободным (открытым) коллектором (рисунок 6.21,а). Для выпуска таких ИМС есть две причины. Первая – выходной транзистор необходимо использовать для управления внешними устройствами, которые к тому же могут работать от других источников питания. Роль внешнего устройства может выполнять светодиод HL, резистор R, обмотка реле K и другие внешние устройства (рисунок 6.21,б).

Другая причина – логические элементы с открытым коллектором допускают непосредственное соединение (пайку) между собой выходов нескольких ИМС. При этом образуется дополнительная логическая функция. Логическая функция, реализованная путем внешних соединений (пайки) нескольких выходов отдельных микросхем, называется *монтажной логикой*. На рисунке 6.21,б показано условное обозначение монтажной логики в точке соединения выходов двух логических элементов И-НЕ с открытым коллектором. Логическая «1» на выходе *f* появится только тогда, когда закрыты все выходные транзисторы элементов, свободные коллекторы которых подключены к резистору R. Следовательно,

объединение выходов ИМС с открытым коллектором позволяет реализовать логическую функцию $f = y_1 \cdot y_2 = \overline{ab} \cdot \overline{cd}$, в данном случае «монтажное И».

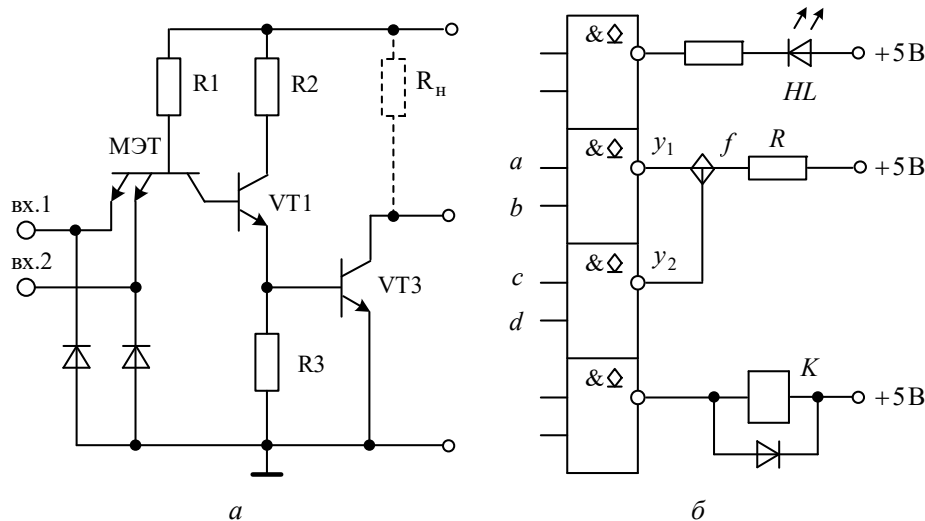


Рисунок 6.21 – Логический элемент И-НЕ транзисторно-транзисторной логики с открытым коллектором (а) и пример подключения нагрузок (б)

Следует отметить, что допускается непосредственное соединение на общую нагрузку логических выходов нескольких ЦИМС не только с открытым коллектором, но и с открытым эмиттером. В зависимости от вида булевой функции, реализуемой логическими элементами, различают элементы монтажной логики «монтажное И» и «монтажное ИЛИ», а на схемах эти функции отмечают символами $\&\diamond$ и $1\diamond$ соответственно.

От сопротивления нагрузки $R_{\text{н}}$ зависит уровень напряжения, мощность, рассеиваемая на выходном транзисторе VT3, время задержки распространения сигнала при включении и выключении, нагрузочная способность.

Оптимальное значение сопротивления $R_{\text{н}}$ лежит в пределах $R_{\text{нmin}} < R_{\text{н}} < R_{\text{нmax}}$ и зависит от серии ИМС, а также числа объединенных входов и выходов. Сопротивление $R_{\text{нmax}}$ находят из условия обеспечения выходного напряжения $U_{\text{вых}}^1$ логического элемента в состоянии логической «1»:

$$R_{H\max} = \frac{U_{\text{ИП}} - U_{\text{ВЫХ}}^1}{k_{\text{об.ВЫХ}} I_{\text{ут.ВЫХ}} + k_{\text{об.ВХ}} I_{\text{ВХ}}^1},$$

где $k_{\text{об.ВЫХ}}$ – число объединенных выходов; $k_{\text{об.ВХ}}$ – число подключенных входов; $I_{\text{ут.ВЫХ}}$ – ток утечки на выходе.

Минимальное сопротивление определяется выражением

$$R_{H\min} = \frac{U_{\text{ИП}} - U_{\text{ВЫХ}}^0}{I_{\text{ВЫХ}\max}^0 - k_{\text{об.ВХ}} I_{\text{ВХ}}^0},$$

где $I_{\text{ВЫХ}\max}^0$ – максимально допустимый выходной ток логического элемента в состоянии «0».

Значение сопротивления нагрузки выбирают из условия требуемого быстродействия при наименьшей потребляемой мощности. Максимальное быстродействие достигается при $R_H = R_{H\min}$.

Выход с открытым эмиттером. Некоторые ИМС имеют выход открытого эмиттера. На рисунке 6.22,*а* показана схема включения выходного транзистора ИМС.

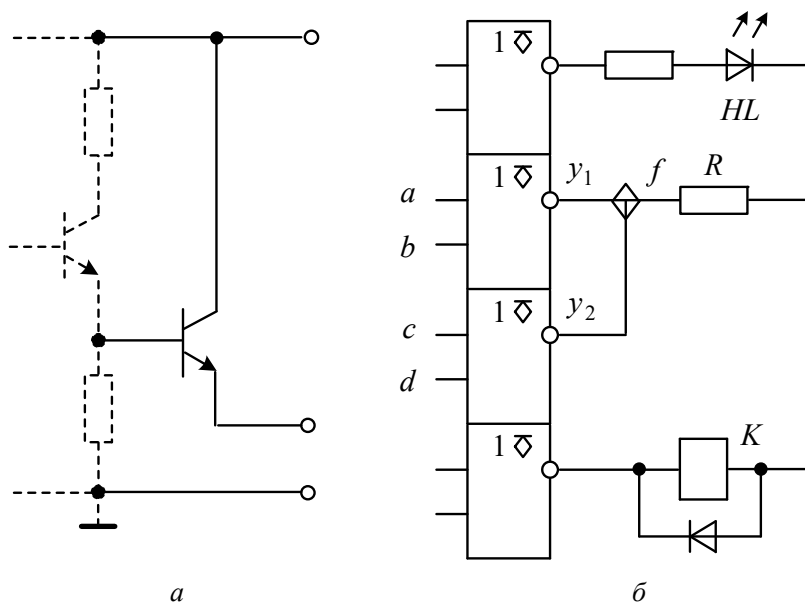


Рисунок 6.22 – Логический элемент с открытым эмиттером (*а*) и пример подключения нагрузок (*б*)

В случае объединения выходов ИМС для получения монтажной логики дополнительный резистор R включается, как показано на рисунке 6.22,б. При этом в точке объединения выходов возникает логическая функция $f = y_1 + y_2 = \overline{a+b+c+d}$ – «монтажное ИЛИ». Выход открытого эмиттера часто используется в ИМС технологии эмиттерно-связанной логики.

Выход с третьим состоянием. Появление ИМС с тремя выходными состояниями обусловлено развитием информационной и вычислительной техники. В дополнение к состояниям логического «0» и логической «1» на выходе ИМС возможно третье состояние – Z-состояние. На рисунке 6.23,а показана схема логического элемента И-НЕ ТТЛ, дополненная управляющим входом EZ , а на рисунке 6.23,б – условное графическое обозначение логического элемента И-НЕ с третьим состоянием выхода.

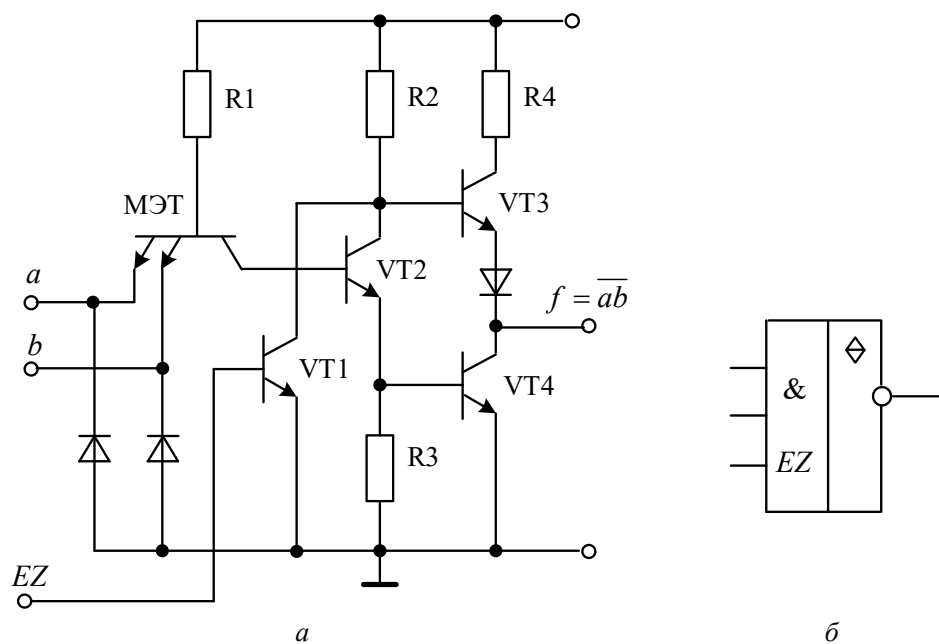


Рисунок 6.23 – Логический элемент И-НЕ ТТЛ с Z-состоянием (а) и его условное графическое обозначение (б)

При $EZ = U^1$ напряжение на коллекторе транзистора VT1 близко к нулю, транзисторы VT3 и VT4 находятся в режиме отсечки и выход микросхемы оказывается полностью отключенным от нагрузки – логический элемент находится в *высокоимпедансном* состоянии. При использовании логических элементов с тремя состояниями их выходы можно объеди-

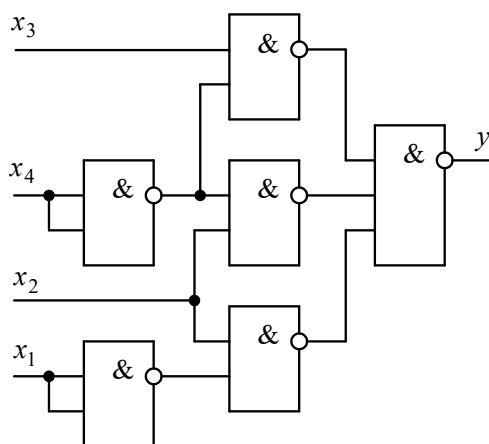
нять. Управление работой ИМС организуется так, чтобы в любой момент времени все микросхемы, кроме одной, находились в высокоимпеданском состоянии. При этом по одной шине можно передать в разных направлениях информацию от нескольких источников и тем самым сократить количество линий связи между устройствами.

Контрольные вопросы

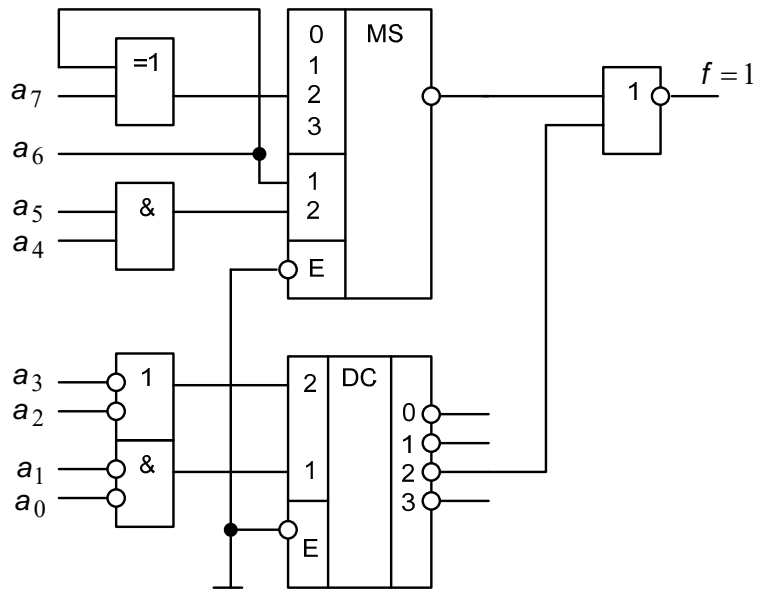
1. Сформулируйте теорему двойственности (правило де Моргана).
2. Запишите двоично-десятичный код 8-4-2-1 десятичного числа 45.
3. Укажите восьмиразрядное слово, которое необходимо подать на информационные входы мультиплексора 8-1 для реализации булевой функции $f = ABC\bar{C} + \bar{A}\bar{C}$.
4. Запишите минимизированное выражение булевой функции по нижеприведенной карте Карно.

		x_3		
		0	0	x
x_2	x	1	1	x
	1	0	0	1
	0	x	0	1
		x_4		x_1

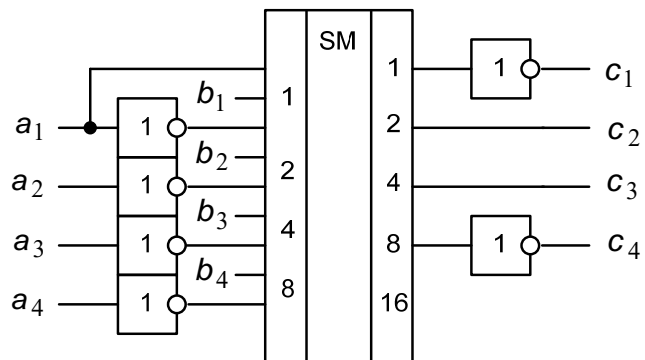
5. Запишите выражение булевой функции, реализуемой комбинационной схемой, представленной ниже.



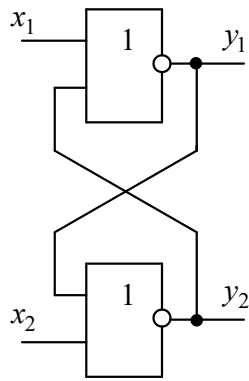
6. Для нижеприведенной схемы запишите входные сигналы $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0$, при которых $f = 1$.



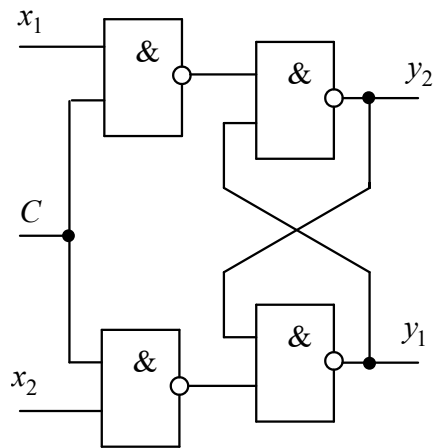
7. Определите двоичный код $c_4 c_3 c_2 c_1$ на выходе представленной ниже комбинационной схемы, если $a_4 a_3 a_2 a_1 = 1101$, а $b_4 b_3 b_2 b_1 = 1010$.



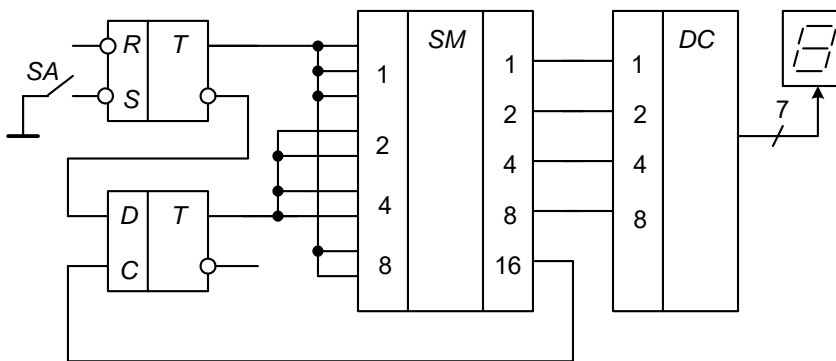
8. Для изображенной ниже схемы определите двоичный код $y_2 y_1$, если $x_1 = 0$, $x_2 = 1$.



9. Для представленной ниже схемы определите двоичный код $y_2 y_1$, если $x_1 = 1$, $x_2 = 0$, $C = 1$.



10. Определите число, которое высветится при замыкании ключа SA на одnorазрядном цифробуквенном индикаторе, схема которого показана ниже.



7 ОСНОВНЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ АНАЛОГОВОЙ ИНТЕГРАЛЬНОЙ МИКРОЭЛЕКТРОНИКИ

7.1 Источники постоянного тока

Источники тока на основе биполярных и МДП-транзисторах образуют важный класс функциональных узлов аналоговых ИМС. Наличие согласованных по параметрам и характеристикам пар транзисторов, изготавливаемых по одной технологии, позволяет создавать интегральные источники тока с небольшими, но чрезвычайно стабильными коэффициентами передачи тока. На рисунке 7.1,а показана одна из схем такого типа.

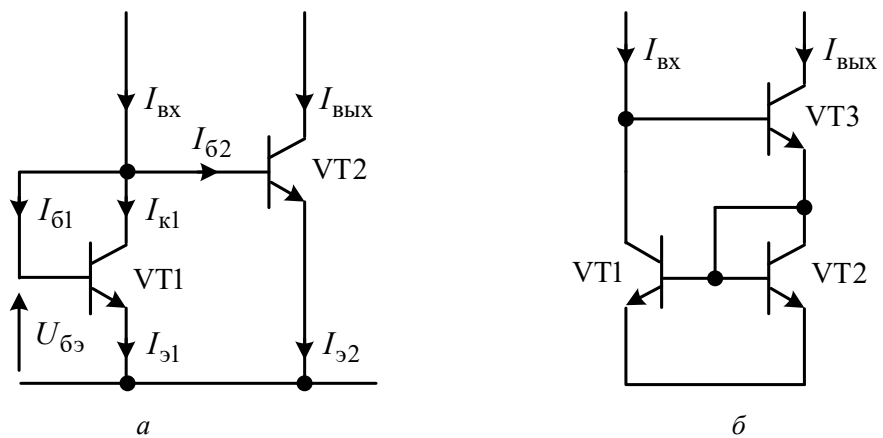


Рисунок 7.1 – Интегральные источники постоянного тока:
а – управляемый током (токовое зеркало); б – с большим выходным сопротивлением (токовое зеркало Уилсона)

Параметры интегральных транзисторов VT1 и VT2 идентичны, режим их работы нормальный активный, причем с одинаковым напряжением между базой и эмиттером, а следовательно, ток коллектора транзистора VT1 равен току коллектора транзистора VT2: $I_{к1} = I_{к2}$. Ток

$$I_{ВХ} = I_{к1} + I_{Б1} + I_{Б2} = I_{к1} + \frac{2I_{к1}}{\beta} = I_{к1} \left(1 + \frac{2}{\beta} \right), \text{ откуда с учетом равенства}$$

$$I_{к1} = I_{к2} \text{ получаем } I_{ВЫХ} = I_{к2} = \frac{I_{ВХ}}{1 + \frac{2}{\beta}} \text{ или } \frac{I_{ВЫХ}}{I_{ВХ}} = \frac{\beta}{\beta + 2}.$$

Статический коэффициент передачи тока базы β для транзисторов ИМС много больше единицы. Тогда $\frac{I_{\text{ВЫХ}}}{I_{\text{ВХ}}} = \frac{\beta}{\beta + 2} \Big|_{\beta \gg 1} \approx 1$, то есть коэффициент передачи тока, равный отношению выходного тока $I_{\text{ВЫХ}}$ ко входному $I_{\text{ВХ}}$, приблизительно равен единице.

Источник постоянного тока с единичным коэффициентом усиления иногда называют *токовым зеркалом*. В свою очередь схема токового зеркала служит основой большинства других схем источников тока, а также большинства схем активной нагрузки дифференциального усилителя. Недостатки этой схемы состоят в том, что общий коэффициент передачи тока сохраняет определенную зависимость от статических коэффициентов передачи тока базы отдельных транзисторов, а выходное сопротивление относительно невелико. Эти недостатки в определенной степени можно устранить путем введения в схему токового зеркала транзистора VT3 (рисунок 7.1,б). Для правильной работы такой схемы все три транзистора должны находиться в нормальном активном режиме, когда их эмиттерные переходы смещены в прямом направлении, а коллекторные переходы смещены в обратном направлении. Поскольку падение напряжения $U_{\text{кэ2}}$ на транзисторе VT2 равно напряжению $U_{\text{бэ1}}$ транзистора VT1 и приблизительно составляет 0,6 В, а напряжение, необходимое для того, чтобы предотвратить насыщение транзистора VT3, составляет примерно 0,2 В, то суммарное напряжение $U_{\text{кэ2}} + U_{\text{кэ3}}$ на транзисторах VT2 и VT3 будет приблизительно равно 0,8 В.

При одинаковой геометрии транзисторов VT1 – VT3 и одинаковой температуре коэффициент передачи тока интегрального источника тока, реализованного по схеме рисунка 7.1,б, определяется выражением

$$\frac{I_{\text{ВЫХ}}}{I_{\text{ВХ}}} = 1 - \frac{2}{\beta^2 + 2\beta + 2} \approx 1. \quad (7.1)$$

Как видно из выражения (7.1), общий коэффициент передачи тока в меньшей степени зависит от коэффициентов β транзисторов, чем в схеме, представленной на рисунке 7.1,а. Схему на рисунке 7.1,б ещё называют *токовым зеркалом Уилсона*.

Токовое зеркало Уилсона имеет малую динамическую выходную проводимость $g_{\text{ВЫХ}}$ (высокое динамическое выходное сопротивление), что для источников тока является важным достоинством.

Для определения динамической выходной проводимости $g_{\text{ВЫХ}}$ токового зеркала Уилсона представим ее в виде проводимости $g_{\text{КЭ}}$, внешней по отношению к транзистору VT3 (рисунок 7.2).

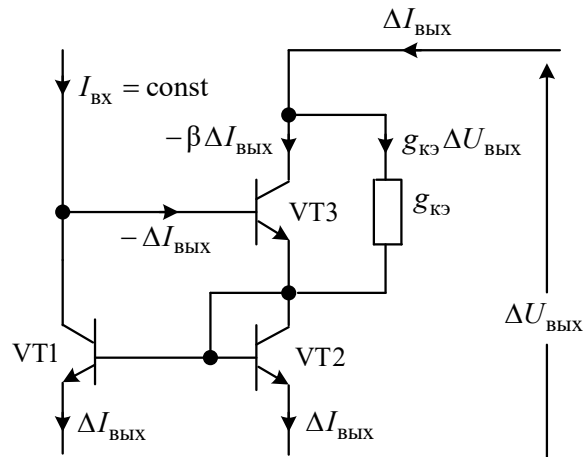


Рисунок 7.2 – Динамическая выходная проводимость токового зеркала Уилсона

Определим изменение выходного тока на величину $\Delta I_{\text{ВЫХ}}$ при изменении выходного напряжения на величину $\Delta U_{\text{ВЫХ}}$. Тогда $g_{\text{КЭ}} = \frac{\Delta I_{\text{ВЫХ}}}{\Delta U_{\text{ВЫХ}}}$.

Изменение выходного тока на величину $\Delta I_{\text{ВЫХ}}$ вызовет равное изменение токов транзисторов VT2 и VT1.

Если считать, что ток $I_{\text{ВХ}}$ остается постоянным, то базовый ток транзистора VT3 уменьшится на величину $\Delta I_{\text{ВЫХ}}$, а это вызовет изменение коллекторного тока на величину $-\beta \Delta I_{\text{ВЫХ}}$. В свою очередь изменение выходного напряжения на величину $\Delta U_{\text{ВЫХ}}$ повлечет за собой изменение тока через проводимость $g_{\text{КЭ}}$ на величину $g_{\text{КЭ}} \Delta U_{\text{ВЫХ}}$.

Тогда $\Delta I_{\text{ВЫХ}} = -\beta \cdot \Delta I_{\text{ВЫХ}} + g_{\text{КЭ}} \cdot \Delta U_{\text{ВЫХ}}$, откуда

$$g_{\text{ВЫХ}} = \frac{\Delta I_{\text{ВЫХ}}}{\Delta U_{\text{ВЫХ}}} = \frac{g_{\text{КЭ}}}{1 + \beta} = \frac{I_{\text{ВЫХ}} (U_{\text{IRL}})^{-1}}{1 + \beta}, \quad (7.2)$$

где U_{IRL} – напряжение Эрли.

Если, например, $I_{\text{ВЫХ}} = I_{\text{К VT3}} = 10 \text{ мкА}$, $U_{\text{IRL}} = 250 \text{ В}$ (напряжение Эрли большинства транзисторов лежит в диапазоне от 100 до 300 В)

и $\beta = 100$, то выходная динамическая проводимость

$$g_{\text{вых}} = \frac{10 \cdot 10^{-6} \cdot (250)^{-1}}{1 + 100} = 0,4 \cdot 10^{-9} \text{ См.}$$

В относительных единицах и процентном отношении получаем

$$\begin{aligned} \left[\frac{1}{I_{\text{вых}}} \frac{\Delta I_{\text{вых}}}{\Delta U_{\text{вых}}} \right] 100 \% &= \frac{1}{(1 + \beta) U_{\text{IRL}}} 100 \% = \\ &= \frac{1}{(1 + 100) 250} 100 \% = 4 \cdot 10^{-3} \frac{\%}{\text{В}}, \end{aligned}$$

а это означает, что при изменении выходного напряжения на 1 В ток на выходе токового зеркала Уилсона изменяется на $4 \cdot 10^{-3} \%$.

Схемы управляемых источников тока, показанные на рисунке 7.1, хорошо зарекомендовали себя при использовании в составе источников постоянного тока, способных поддерживать постоянное значение выходного тока в широком диапазоне температур и, кроме того, обеспечивать высокие значения выходного сопротивления. Такие источники обычно используются в дифференциальных усилителях, в цепях смещения и задания режима аналоговых каскадов ИМС, а также в каскадах с высоким коэффициентом усиления.

Простой и поэтому наиболее распространённый способ реализации такого источника – включение в схемы рисунка 7.1 резистора R1, как это показано на рисунке 7.3, и использование постоянного тока I_R , протекающего в цепи резистора R1, для управления источником тока. Если коэффициент передачи тока очень близок к единице, то соединение, выполненное по схеме рисунка 7.3,а, обеспечивает выходной ток

$$I_{\text{вых}} = \frac{U_{\text{ИП}} - U_{\text{бэ}}}{R_1} \left(1 - \frac{2}{\beta + 2} \right), \quad (7.3)$$

а выполненное по схеме рисунка 7.3,б, –

$$I_{\text{вых}} = \frac{(U_{\text{ИП}} - U_{\text{бэ}})}{R_1} \left(1 - \frac{2}{\beta^2 + 2\beta + 2} \right). \quad (7.4)$$

Из уравнений (7.3), (7.4) следует, что пока напряжение питания существенно превышает напряжение база-эмиттер, температурная стабильность выходного тока сохраняется весьма высокой, поскольку единственным фактором, определяющим зависимость тока от температуры, в этом

случае является температурный коэффициент сопротивления резистора R1.

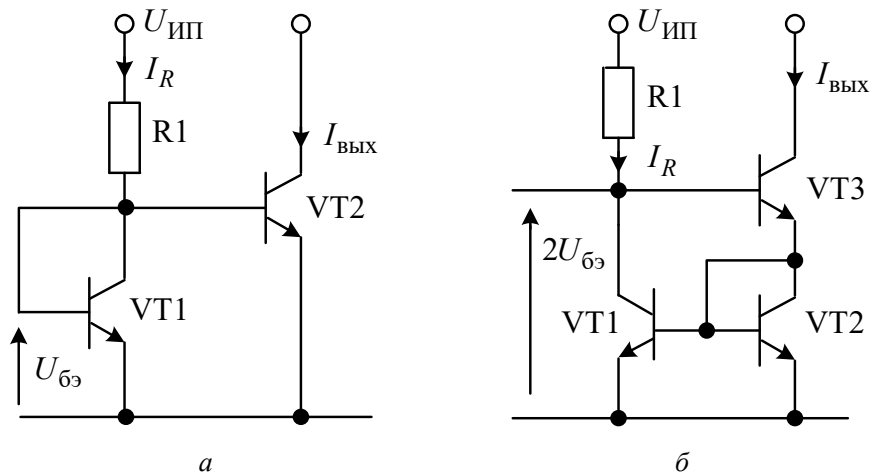


Рисунок 7.3 – Интегральные источники постоянного тока:
a – на основе простейшего токового зеркала;
б – на основе токового зеркала Уилсона

Если требуется получить большую или меньшую величину тока источника, то для больших уровней тока сопротивление резистора R1 следует уменьшать, а для меньших уровней тока – увеличивать. В первом случае увеличение тока, протекающего через резистор R1, вызывает повышенную мощность рассеяния, а во втором случае рост сопротивления резистора R1 сопровождается увеличением площади, занимаемой резистором на кристалле.

В рассматриваемых схемах источников тока для уровня выходного тока 1 мА требуется сопротивление $R_1 = 14,3 \text{ кОм}$ при $U_{ИП} = 15 \text{ В}$, что допустимо. Для многих ИМС требуются токи порядка микроампер или меньше. Если, например, необходимо, чтобы источник обеспечивал ток $I_{ВЫХ} = 1 \text{ мкА}$, то ток I_R должен быть равен 1 мкА . Если $U_{ИП} = 15 \text{ В}$, то

$$R_1 = \frac{U_{ИП} - U_{бэ}}{I_R} = \frac{15,0 - 0,7}{10^{-6}} = 14,3 \text{ МОм}, \text{ что совершенно недопустимо.}$$

Для реализации уровней тока в микроамперном диапазоне используется схема, показанная на рисунке 7.4. Схема содержит транзистор VT1 и источник малых токов на транзисторе VT2.

Эмиттерный ток транзистора VT2 вызывает падение напряжения на резисторе R_3 , в результате чего напряжения база-эмиттер транзис-

торов VT1, VT2 становятся различными. Разница определяется током $I_{э2}$ и сопротивлением резистора $R_э$ в соответствии с выражением $U_{бэ1} - U_{бэ2} = I_{э2}R_э$.

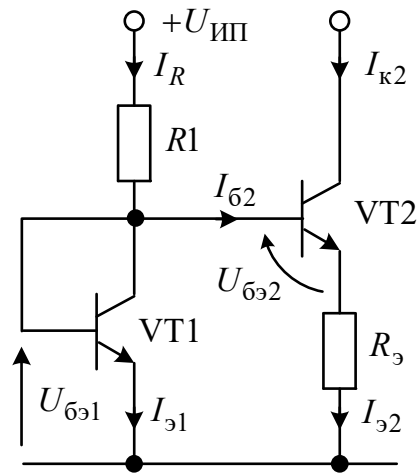


Рисунок 7.4 – Интегральный источник малого тока

Допуская, что транзисторы имеют одинаковую геометрию и температуру переходов, это выражение можно записать в следующем виде:

$$U_{бэ1} - U_{бэ2} = \varphi_T \ln \frac{I_{э1}}{I_{э2}}. \quad (7.5)$$

Если ток эмиттера $I_{э2}$ транзистора VT2 значительно меньше тока эмиттера $I_{э1}$ транзистора VT1, то даже при среднем значении коэффициента усиления можно пренебречь током базы $I_{бэ2}$ транзистора VT2. При таком условии эмиттерный ток транзистора VT1 определяется уравнением

$$I_{э1} = \frac{U_{ИП} - U_{бэ1}}{R_1}. \quad (7.6)$$

Ток $I_{э1}$ в цепи эмиттера транзистора VT1 однозначно определяет ток $I_{э2}$ в эмиттерной цепи транзистора VT2, а также коллекторный ток $I_{к2} = \alpha I_{э2}$ транзистора VT2. Совместное решение уравнений (7.5), (7.6) с учетом равенств $U_{бэ1} - U_{бэ2} = I_{э2}R_э$ и $I_{к2} = \alpha I_{э2}$ дает уравнение

$$\frac{I_{к2}R_э}{\alpha\varphi_T} = \ln \frac{\alpha(U_{ИП} - U_{бэ1})}{I_{к2}R_1}, \quad (7.7)$$

из которого следует, что если напряжение источника питания значительно больше напряжения $U_{бэ1}$, то ток $I_{э2}$ зависит только от напряжения $U_{ИП}$ и сопротивлений резисторов R_1 и $R_э$. Также можно видеть, что зависимость тока от напряжения в данном случае менее сильная, чем в ранее рассмотренных схемах источников тока, поскольку при токе $I_{э2} = \frac{I_{к2}}{\alpha}$, значительно меньшем тока $I_{э1}$, зависимость коллекторного тока $I_{к2}$ транзистора VT2 от напряжения питания $U_{ИП}$ носит скорее логарифмический характер, чем линейный.

Ток источника $I_{к2}$ практически не зависит от температуры. Незначительная зависимость, которая все же имеет место, определяется температурными зависимостями разностей напряжений $U_{ИП} - U_{бэ1}$ и $U_{бэ1} - U_{бэ2}$, а также температурной нестабильностью сопротивлений.

Совместное действие этих факторов может привести к тому, что ток источника будет увеличиваться или уменьшаться с ростом температуры или практически не реагировать на нее – все зависит от значения напряжения источника питания $U_{ИП}$, отношения $\frac{I_{э1}}{I_{э2}}$ эмиттерных токов транзисторов VT1, VT2 и температурных коэффициентов сопротивлений резисторов R_1 и $R_э$. Обычно ток источника не зависит от температуры, если резистор $R_э$ имеет большой положительный температурный коэффициент сопротивления.

Интегральные источники постоянного тока, схемы которых представлены на рисунках 7.3 и 7.4, являются стандартными функциональными узлами, их можно использовать во всех аналоговых ИМС. Несмотря на два незначительных недостатка – относительно большую потребляемую мощность и зависимость выходного тока от напряжения питания, принципиально присущих этим схемам, каждая из них способна обеспечить высокие качественные показатели источников постоянного тока. В более сложных ИМС применяются источники тока, построенные на несколько ином принципе действия.

Рассмотрим составной источник тока (рисунок 7.5), который можно использовать как источник тока отрицательной полярности, где

транзисторы VT5 и VT2 (вместе с резисторами R1 и R2) работают как обычная схема источника тока. В свою очередь ток коллектора транзистора VT2 предназначен для смещения транзистора VT1, который работает как источник тока. Полное падение напряжения на транзисторах VT3, VT4 в диодном включении ($2U_{\text{бэ}} = 1,3 \text{ В}$) используется, чтобы обеспечить падение напряжения на база-эмиттерном переходе транзистора VT1, необходимое для его работы в нормальном активном режиме, а падение напряжения коллектор-база требуется для работы в нормальном активном режиме транзистора VT2. Можно показать, что в отсутствие транзисторов VT3, VT4 транзисторы VT1, VT2 в нормальном активном режиме одновременно оставаться не могут, а для работы источника тока в диапазоне линейного изменения напряжения режим работы всех транзисторов должен быть нормальным активным.

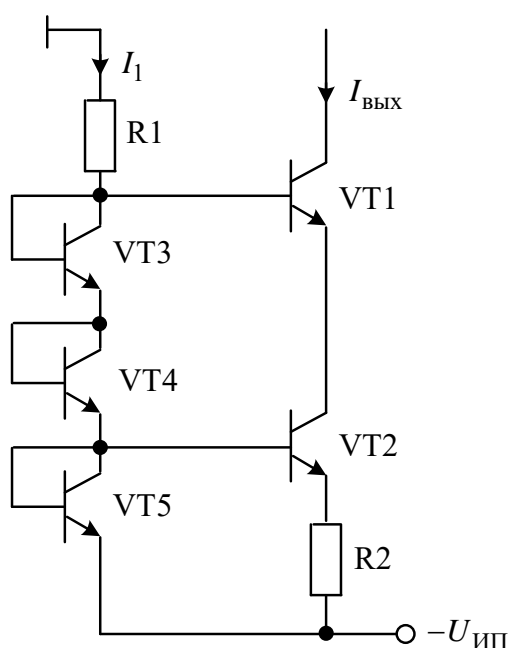


Рисунок 7.5 – Составной источник тока отрицательной полярности (источник тока, смещённый другим источником тока)

На рисунке 7.6 показана схема из нескольких источников тока отрицательной полярности (групповая схема).

Транзистор VT2 и резистор R2 служат опорным источником тока для транзисторов VT3–VT6. Поскольку базы транзисторов VT3–VT6 объединены, все транзисторы имеют одинаковое базовое напряжение.

Если размеры эмиттеров транзисторов VT2–VT6 подобраны так, что плотность тока у всех них одна и та же, то и падение напряжения между базой и эмиттером будет у всех одинаково.

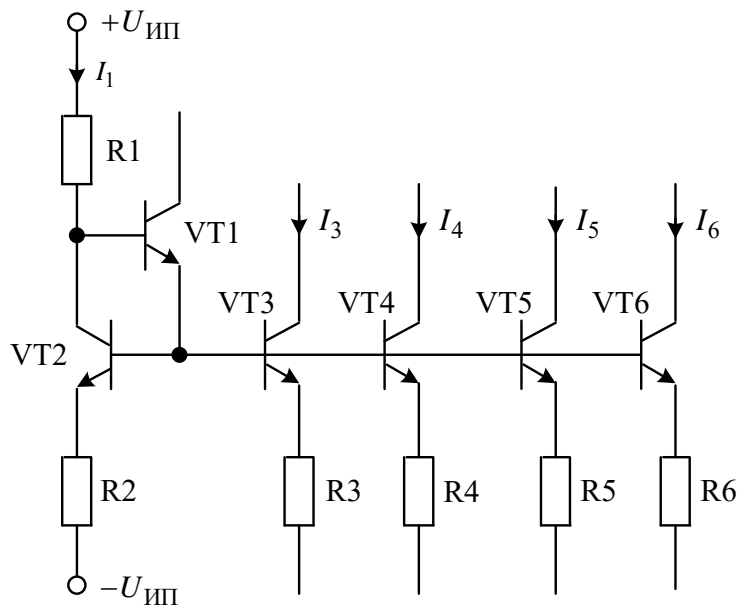


Рисунок 7.6 – Схема из нескольких источников тока отрицательной полярности

В результате будут одинаковыми падения напряжения на резисторах R2–R6. Поскольку коллекторные и эмиттерные токи приблизительно равны и падение напряжения на резисторах R2–R6 одинаково, можно утверждать, что $I_3 R_3 = I_4 R_4 = I_5 R_5 = I_6 R_6 = I_1 R_2$, то есть токи обратно пропорциональны сопротивлениям в эмиттерных цепях транзисторов VT2–VT6.

Расчет схемы, приведенной на рисунке 7.6, сравнительно прост. Если, например, требуется, чтобы источник тока давал токи $I_3 = 1,0$ мА, $I_4 = 2,0$ мА, $I_5 = 4,0$ мА и $I_6 = 8,0$ мА при токе $I_1 = 1,0$ мА, то, задавшись падением напряжения на резисторах, за исключением резистора R1, находят сопротивления резисторов R2–R6. Затем, задавшись напряжением питания, находят сопротивление резистора R1, используя выражение

$$R_1 = \frac{U_{\text{ИП}} + |-U_{\text{ИП}}| - 2U_{6э}}{I_1} - R_2. \quad (7.8)$$

Например, для напряжения питания $U_{ИП} = \pm 10$ В и падения напряжения на резисторах $\Delta U_R = 4,0$ В получаем $R_2 = 4$ кОм, $R_3 = 4$ кОм, $R_4 = 2,0$ кОм, $R_5 = 1,0$ кОм, $R_6 = 500$ Ом и $R_1 = 14,6$ кОм.

Чтобы уменьшить площадь, занимаемую транзисторами на кристалле ИМС, желательно не выравнять размеры эмиттеров транзисторов. Если не подобрать размеры транзисторов так, чтобы плотности тока были равны, то падения напряжения между базой и эмиттером транзисторов не будут равны. Для компенсации расхождения необходимо изменить значения сопротивлений резисторов, особенно если требуется иметь очень точные отношения токов.

Рассмотрим случай, когда размеры эмиттеров предварительно не подобраны. Ток через транзистор VT4 вдвое больше, чем через транзисторы VT3 и VT2, поэтому напряжение $U_{бэ}$ транзистора VT4 больше напряжения $U_{бэ}$ транзисторов VT3 и VT2 на величину

$$\varphi_T \ln \frac{I_4}{I_3} = \varphi_T \ln \frac{I_4}{I_2} = 25 \cdot 10^{-3} \cdot \ln 2 = 17 \text{ мВ.}$$

Следовательно, падение напряжения на резисторе R4 на 17 мВ меньше, чем на резисторах R3 и R2, откуда следует, что сопротивление резистора R4 должно быть уменьшено

$$\text{на величину } \frac{\varphi_T}{I_4} \ln \frac{I_4}{I_3} = \frac{17 \cdot 10^{-3}}{2 \cdot 10^{-3}} = 8,5 \text{ Ом, то есть с } 2000 \text{ Ом до } 1991 \text{ Ом.}$$

Аналогичным образом напряжение $U_{бэ}$ транзистора VT5 на $\varphi_T \ln \frac{I_5}{I_3} = 35$ мВ меньше, чем транзисторов VT3 и VT2, а это означает,

что сопротивление резистора R5 должно быть уменьшено на $\frac{\varphi_T}{I_5} \ln \frac{I_5}{I_3} = 8,7$ Ом, то есть с 1000 Ом до 991 Ом. Наконец, напряжение

$U_{бэ}$ транзистора VT6 на 52 мВ меньше напряжений $U_{бэ}$ транзисторов VT3 и VT2, откуда следует, что сопротивление резистора R6 необходимо уменьшить на 6,5 Ом, то есть с 500 Ом до 493,5 Ом. Эти небольшие поправки сопротивлений компенсируют различия в значениях напряжений $U_{бэ}$, когда размеры транзисторов не подбираются. Поскольку различия в значениях напряжений $U_{бэ}$ меняются с температурой, отношения токов имеют слабую температурную зависимость.

Иногда необходимо иметь источник постоянного тока, ток которого не зависит от напряжения питания. Пример такой схемы показан на рисунке 7.7.

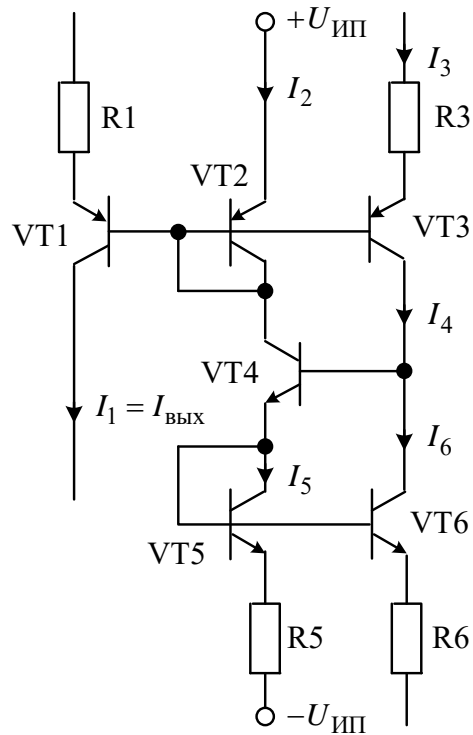


Рисунок 7.7 – Источник постоянного тока в широком диапазоне напряжений питания

Если все однотипные транзисторы идентичны и сопротивления резисторов R_1 и R_2 равны, то и токи I_1 и I_3 равны. Токи I_3 и I_2 связаны между собой соотношением

$\frac{I_2}{I_3} = \exp \frac{I_3 R_3}{\varphi_T}$. Кроме того, имеет место ра-

венство $\frac{I_5}{I_6} = \frac{R_6}{R_5}$. Поскольку базовые токи малы по сравнению с коллек-

торными и эмиттерными токами, имеем также равенства $I_2 = I_5$ и

$I_3 = I_6$, откуда

$$\frac{I_2}{I_3} = \exp \frac{I_3 R_3}{\varphi_T} = \frac{I_5}{I_6} = \frac{R_6}{R_5}. \quad (7.9)$$

Решение уравнения (7.9) относительно тока I_3 имеет вид

$$I_3 = \frac{\varphi_T}{R_3} \ln \frac{R_6}{R_5} = I_1. \quad (7.10)$$

Из соотношения (7.10) следует, что выходной ток I_1 источника тока не зависит от напряжения питания. Чтобы получить отношение токов $\frac{I_5}{I_6}$ с большой точностью, размеры эмиттеров транзисторов VT5 и VT6 следует подобрать таким образом, чтобы оба транзистора имели равные плотности тока и, следовательно, равные напряжения $U_{бэ}$. Кроме того, если надлежащим образом подобрать активные площади транзисторов VT5 и VT6, то можно совсем исключить из схемы резисторы R5 и R6. Отношение токов $\frac{I_5}{I_6}$ в этом случае будет полностью определяться отношением

активных площадей, то есть $\frac{I_5}{I_6} = \frac{S_5}{S_6}$ и

$$I_{\text{вых}} = I_1 = I_3 = \frac{\varphi_T}{R_1} \ln \frac{S_5}{S_6}. \quad (7.11)$$

Для данного источника тока характерны постоянный ток на выходе в очень широком диапазоне напряжений питания, способность работать при низких значениях напряжения питания (1,6 В), микроамперные токи при небольших величинах сопротивлений резисторов. Благодаря этому такой тип источника тока особенно удобен для маломощных ИМС операционных усилителей.

Дополняющие структуры открывают возможности для построения специальных источников тока. Интересным представителем этой группы функциональных узлов является многоканальный источник тока, схема которого показана на рисунке 7.8,а.

Напряжение база-эмиттер, эмиттерный ток и ток подложки транзистора VT1 равны соответствующим токам и напряжению транзистора VT2. То же самое относится и к коллекторному току транзистора VT1, который равен общему току коллекторов транзистора VT2. Для достаточно больших коэффициентов передачи тока суммарный ток, протекающий через коллекторы транзистора VT2, весьма близок к току, протекающему через резистор R1. Отношение коллекторных токов транзистора

VT2 определяется только относительными размерами областей его коллекторов.

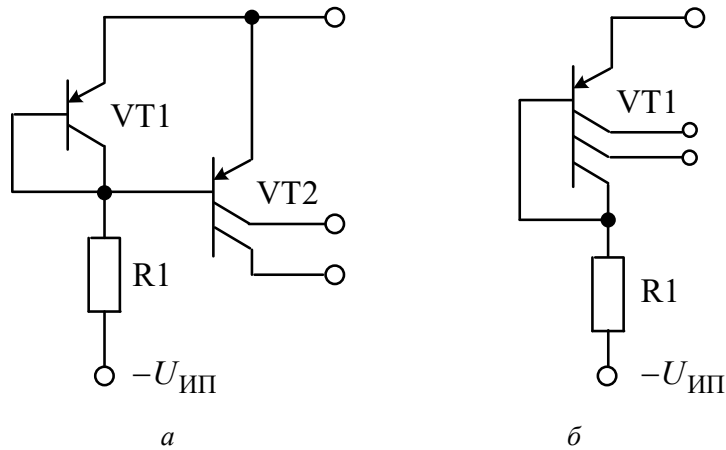


Рисунок 7.8 – Многоканальные источники тока с многоколлекторными дополняющими *p-n-p*-транзисторами

Совершенно не обязательно, чтобы транзисторы VT1 и VT2 были разделены. Если кольцевую область коллектора разбить на три сегмента, то один из них совместно с общими базой и эмиттером будет выполнять функции транзистора VT1 (рисунок 7.8,б). Коллекторный ток транзистора VT1 определяется током, протекающим через резистор R1. В остальном обе модификации многоканального источника тока с многоколлекторными дополняющими *p-n-p*-транзисторами полностью идентичны.

Многоколлекторные *p-n-p*-структуры пригодны для построения таких источников, малый выходной ток которых практически не зависит от напряжения питания (рисунок 7.9).

На приведенной схеме транзисторы VT1, VT2 и VT3 используются в качестве стабилизатора тока с обратной связью, а транзистор VT4 – в качестве диода. Можно показать, что коллекторный ток транзистора VT5 практически не зависит от напряжения питания $+U_{ИП}$.

Существует много схем источников тока на МОП-транзисторах, похожих на схемы источников тока на биполярных транзисторах. Простой пример – схема на рисунке 7.10,а, в которой используется токовое зеркало на МОП-транзисторе. Здесь
$$I_{вх} = \frac{+U_{ИП} + |-U_{ИП}| - U_{зи}}{R_1}.$$

Если транзисторы VT1 и VT2 согласованы, то $I_{\text{ВЫХ}} = I_{\text{ВХ}}$, причём транзистор VT2 должен работать в режиме насыщения.

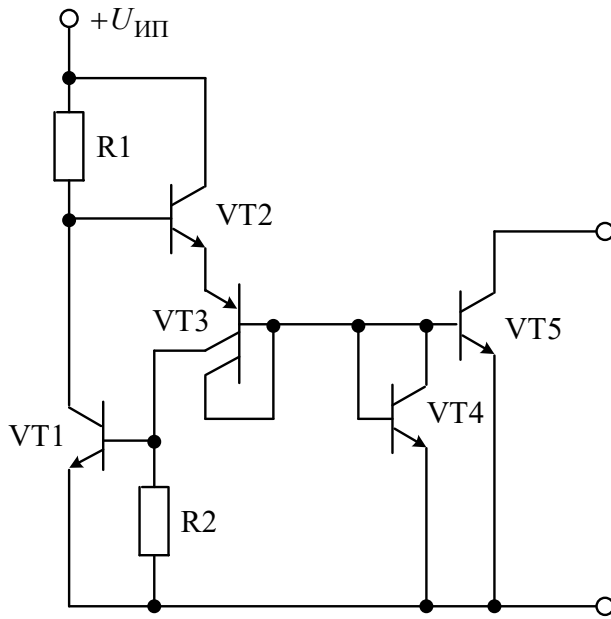


Рисунок 7.9 – Источник тока на основе многоколлекторного транзистора

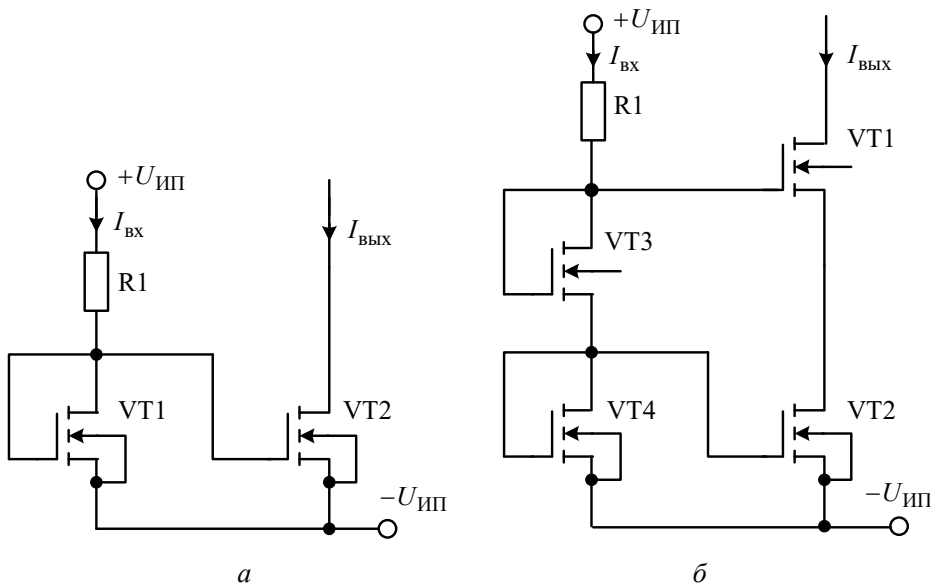


Рисунок 7.10 – Источник тока на МОП-транзисторе

Если транзисторы VT2 и VT1 идентичны, за исключением ширины каналов, то отношение токов должно подчиняться равенству $\frac{I_{\text{ВЫХ}}}{I_{\text{ВХ}}} = \frac{w_2}{w_1}$,

где w_1 и w_2 – ширина каналов транзисторов VT1 и VT2 соответственно. Это ассоциируется со схемой токового зеркала на биполярном транзисторе, где подбираются активные площади транзисторов S_2 и S_1 , чтобы

$$\text{выполнялось равенство } \frac{I_{\text{ВЫХ}}}{I_{\text{ВХ}}} = \frac{S_2}{S_1}.$$

Другой пример источника тока на МОП-транзисторах – составной источник тока, показанный на рисунке 7.10,б. По существу, это схема, приведенная на рисунке 7.5, в которой биполярные транзисторы заменены МОП-транзисторами. Главное преимущество такого источника тока по сравнению с источником, схема которого представлена на рисунке 7.10,а, заключается в существенно более низкой динамической выходной проводимости и, следовательно, в значительно более качественной стабилизации тока.

Это, однако, происходит за счёт некоторого уменьшения диапазона линейного изменения напряжения [3].

7.2 Источники постоянного напряжения

Чтобы обеспечить хорошую стабильность выходного напряжения при изменении выходного тока, источник напряжения должен иметь очень низкий динамический импеданс на выходе. Кроме того, необходимо, чтобы у источников напряжения (стабилизаторов напряжения) выходное напряжение как можно меньше зависело от напряжения питания. На рисунке 7.11 приведён простой пример схемы, обладающей такими свойствами.

В этой схеме стабилитрон VD смещён источником тока I_0 . Изменение напряжения питания $dU_{\text{ИП}}$ вызывает небольшое изменение тока $dI_0 = g_0 dU_{\text{ИП}}$, где g_0 – динамическая выходная проводимость источника тока. Это приводит к изменению тока через стабилитрон $dI_{\text{СТ}} = dI_0$, что в свою очередь изменяет падение напряжения на стабилизаторе на величину $dU_{\text{СТ}} = R_{\text{диф}} dI_{\text{СТ}} = R_{\text{диф}} dI_0 = g_0 R_{\text{диф}} dU_{\text{ИП}}$, где $R_{\text{диф}}$ – дифференциальное сопротивление стабилитрона ($R_{\text{диф}} \approx 2\text{--}50$ Ом).

Отношение изменения выходного напряжения $U_{\text{ВЫХ}}$ к изменению напряжения питания $U_{\text{ИП}}$ определяется выражением

$$\frac{dU_{\text{ВЫХ}}}{dU_{\text{ИП}}} = \frac{dU_{\text{СТ}}}{dU_{\text{ИП}}} = g_0 R_{\text{диф}}. \quad (7.12)$$

Для примера, если $R_{\text{диф}} = 10 \text{ Ом}$, $g_0 = 100 \text{ нСм}$, то $\frac{dU_{\text{ВЫХ}}}{dU_{\text{ИП}}} = 10^{-6}$, а это значит, что изменение напряжения питания на 1,0 В изменяет выходное напряжение всего лишь на 1 мкВ.

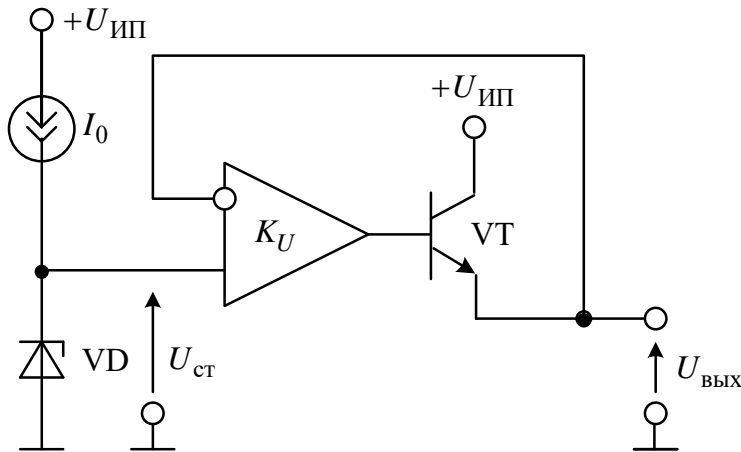


Рисунок 7.11 – Источник напряжения с подачей смещения через источник тока для ослабления влияния напряжения питания

На рисунке 7.12 представлена схема источника напряжения, в котором падение напряжения между базой и эмиттером используется как опорное напряжение. Если предположить, что базовый ток мал, то выходное напряжение будет связано с напряжением $U_{\text{бэ}}$ транзистора VT соотношением

$$U_{\text{ВЫХ}} = \frac{U_{\text{бэ}}(R_1 + R_2)}{R_2} = U_{\text{бэ}} \left(1 + \frac{R_1}{R_2} \right). \quad (7.13)$$

Изменение выходного напряжения $dU_{\text{ВЫХ}}$ изменяет ток через делитель напряжения R_1, R_2 на величину $\frac{dU_{\text{ВЫХ}}}{R_1 + R_2}$.

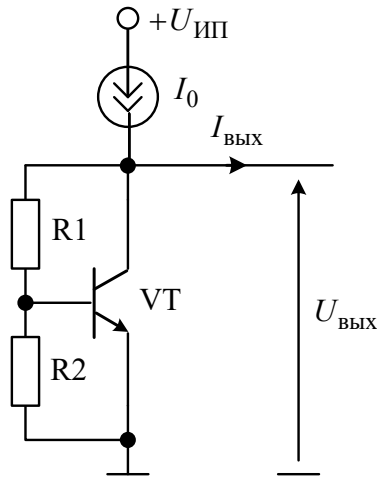


Рисунок 7.12 – Источник напряжения, в котором падение напряжения между базой и эмиттером используется как опорное напряжение

В свою очередь это изменение тока вызывает приращение напряжения $U_{бэ}$ транзистора VT на величину $dU_{бэ} = \frac{dU_{ВЫХ} (R_1 + R_2)}{R_2}$, в результате происходит изменение тока, протекающего через транзистор VT, на величину $dI_{к} = g_m dU_{бэ} = \frac{g_m (R_1 + R_2)}{R_2} dU_{ВЫХ}$, где g_m – динамическая выходная проводимость $\left(g_m = \frac{dI_{э}}{dU_{бэ}} \approx \frac{dI_{к}}{dU_{бэ}} \right)$.

Тогда полное изменение тока

$$dI_{ВЫХ} = dU_{ВЫХ} \left[\frac{1}{R_1 + R_2} + \frac{g_m (R_1 + R_2)}{R_2} \right] = dU_{ВЫХ} \frac{1 + g_m R_2}{R_1 + R_2}. \quad (7.14)$$

Следовательно, динамическое выходное сопротивление

$$r_{ВЫХ} = \frac{dU_{ВЫХ}}{dI_{ВЫХ}} = \frac{R_1 + R_2}{1 + g_m R_2}. \quad (7.15)$$

Поскольку $\frac{dU_{ВЫХ}}{dI_{ВЫХ}} = \frac{R_1 + R_2}{R_2}$, то для динамического выходного со-

противления справедливо также выражение

$$r_{\text{ВЫХ}} = \frac{U_{\text{ВЫХ}} R_2}{U_{\text{БЭ}} (1 + g_m R_2)}. \quad (7.16)$$

Если $g_m R_2 \gg 1$, что обычно выполняется в интегральных источниках напряжения, то можно записать

$$r_{\text{ВЫХ}} \approx \frac{U_{\text{ВЫХ}}}{g_m U_{\text{БЭ}}} = \frac{U_{\text{ВЫХ}} \varphi_T}{U_{\text{БЭ}} I_K}. \quad (7.17)$$

Выходное напряжение источника напряжения с использованием падения напряжения между базой и эмиттером как опорного напряжения (см. рисунок 7.12) практически не зависит от напряжения питания $U_{\text{ИП}}$ вследствие небольшой динамической проводимости источника тока. Изменение напряжения питания на величину $dU_{\text{ИП}}$ изменяет ток источника постоянного тока на величину $dI_0 = g_0 dU_{\text{ИП}}$, где g_0 – динамическая выходная проводимость источника тока. Это изменение тока также действует на выходное напряжение $U_{\text{ВЫХ}}$, как равное ему изменение тока I_0 . Следовательно, $dU_{\text{ВЫХ}} = r_0 dI_0 = r_{\text{ВЫХ}} g_0 dU_{\text{ИП}}$, откуда в конечном итоге

получаем
$$\frac{dU_{\text{ВЫХ}}}{dU_{\text{ИП}}} = g_0 r_{\text{ВЫХ}}.$$

Если, например, ток коллектора $I_K = 1,0$ мА, выходное напряжение $U_{\text{ВЫХ}} = 1,0$ В, напряжение база-эмиттер $U_{\text{БЭ}} = 0,65$ В и динамическая выходная проводимость источника тока $g_0 = 1,0$ мкСм, то
$$\frac{dU_{\text{ВЫХ}}}{dU_{\text{ИП}}} = 38 \cdot 10^{-6} = 38 \frac{\text{мкВ}}{\text{В}}.$$
 Таким образом, изменение напряжения питания на 1,0 В изменяет выходное напряжение только на 38 мкВ или на
$$\frac{38 \cdot 10^{-6}}{1,0} 100\% = 0,0038\%.$$

Во многих случаях схему источника опорного напряжения используют с целью формирования напряжения для другого источника напряжения. Таковую комбинацию схем называют *стабилизатором напряжения*. Стабилизатор напряжения сочетает низкий температурный коэффициент выходного напряжения $\left(\text{ТКН}_{U_{\text{ВЫХ}}} = \frac{dU_{\text{ВЫХ}}}{dT} \right)$, низкий выходной импеданс (то есть хорошую стабильность по нагрузке) и

практически линейную стабилизацию выходного напряжения в широком диапазоне изменения выходного тока.

Поскольку все электронные компоненты, используемые в схемах опорного напряжения, имеют некоторый температурный коэффициент напряжения ($\text{ТКН} \neq 0$), основные компоненты подбирают так, чтобы имели место компенсирующие эффекты, приводящие, по крайней мере, к $\text{ТКН}_{U_{\text{ВЫХ}}} = 0 \Big|_{T=\text{const}}$ при данной температуре. Пример схемы с компенсирующими компонентами показан на рисунке 7.13.

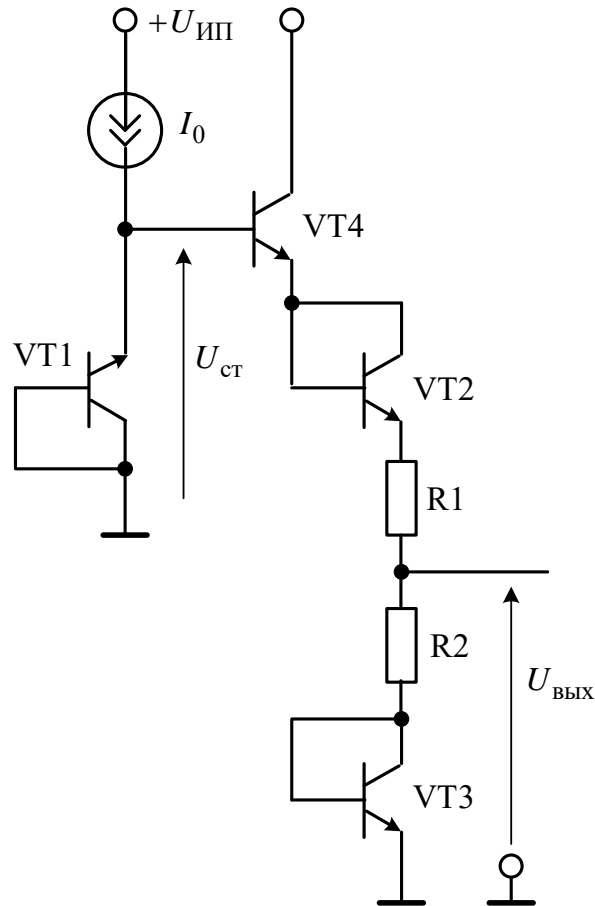


Рисунок 7.13 – Источник опорного напряжения с температурной компенсацией

Падение напряжения на транзисторе VT1 – это напряжение пробоя перехода эмиттер-база транзистора VT1, которое обычно составляет

6–7 В. Выходное напряжение источника опорного напряжения с температурной компенсацией определяется выражением

$$U_{\text{ВЫХ}} = \frac{U_{\text{э2}}R_2}{R_1 + R_2} + \frac{U_{\text{к3}}R_1}{R_1 + R_2}. \quad (7.18)$$

Токи транзисторов VT4, VT2 и VT3 фактически одинаковы, поскольку падение напряжения $U_{\text{бэ}}$ и, что более важно, температурные коэффициенты $\frac{dU_{\text{бэ}}}{dT}$ напряжений база-эмиттер для этих транзисторов одинаковы. Следовательно, уравнение для выходного напряжения $U_{\text{ВЫХ}}$ можно представить в виде

$$U_{\text{ВЫХ}} = \frac{(U_{\text{ст}} - 2U_{\text{бэ}})R_2 + U_{\text{бэ}}R_1}{R_1 + R_2} = \frac{U_{\text{ст}}R_2 - U_{\text{бэ}}(2R_2 - R_1)}{R_1 + R_2}. \quad (7.19)$$

Тогда температурный коэффициент выходного напряжения будет определяться выражением

$$\text{ТКН}_{U_{\text{ВЫХ}}} = \frac{R_2 \frac{dU_{\text{ст}}}{dT} - (2R_2 - R_1) \frac{dU_{\text{бэ}}}{dT}}{R_1 + R_2}. \quad (7.20)$$

Следует отметить, что сопротивления резисторов R1 и R2 также зависят от температуры. Однако резисторы R1 и R2 интегральные, так что их температурные коэффициенты одинаковы. Поэтому для любого заданного изменения температуры относительное изменение сопротивления обоих резисторов будет одинаковым, а это значит, что отношение сопротивлений резисторов R1 и R2 не будет изменяться с температурой. Таким образом, при определении температурного коэффициента выходного напряжения $\text{ТКН}_{U_{\text{ВЫХ}}}$ не требуется учитывать зависимость сопротивлений резисторов R1 и R2 от температуры.

Из уравнения (7.20) следует, что при определенной величине, например, отношения $\frac{R_1}{R_2}$ сопротивлений резисторов можно получить нулевой температурный коэффициент выходного напряжения:

$$0 = R_2 \frac{dU_{\text{ст}}}{dT} - (2R_2 - R_1) \frac{dU_{\text{бэ}}}{dT}. \quad (7.21)$$

Равенство (7.21) можно записать в виде

$$\frac{R_1}{R_2} - 2 = \frac{dU_{\text{CT}}}{dT} \left(-\frac{dU_{\text{бэ}}}{dT} \right)^{-1} \quad \text{или} \quad \frac{R_1}{R_2} = 2 + \frac{dU_{\text{CT}}(dT)^{-1}}{-dU_{\text{бэ}}(dT)^{-1}}. \quad (7.22)$$

Известно, что температурный коэффициент напряжения прямосмещенного $p-n$ -перехода отрицательный, а обратносмещенного $p-n$ -перехода – положительный. Если, например, напряжение пробоя перехода эмиттер-база транзистора VT1 $U_{\text{CT}} = 6,3 \text{ В}$, температурный коэффициент

напряжения пробоя $\frac{dU_{\text{CT}}}{dT} = +3,0 \frac{\text{мВ}}{\text{°C}}$, напряжение база-эмиттерных пе-

реходов транзисторов $U_{\text{бэ}} = 0,7 \text{ В}$, температурные коэффициенты напря-

жений база-эмиттерных переходов транзисторов $\frac{dU_{\text{бэ}}}{dT} = -2,3 \frac{\text{мВ}}{\text{°C}}$, то,

чтобы температурный коэффициент выходного напряжения $U_{\text{ВЫХ}}$ был равен нулю, отношение сопротивлений должно составлять

$$\frac{R_1}{R_2} = 2 + \frac{+3,0}{-(-2,3)} = 3,30. \quad (7.23)$$

Выражение (7.19) можно представить в виде

$$U_{\text{ВЫХ}} = \left(1 + \frac{R_1}{R_2} \right)^{-1} \left[U_{\text{CT}} - \left(2 - \frac{R_1}{R_2} \right) U_{\text{бэ}} \right]. \quad (7.24)$$

Подстановка в равенство (7.24) численного значения $\frac{R_1}{R_2} = 3,30$, по-

лученного из условия $\text{ТКН}_{U_{\text{ВЫХ}}} = 0$, дает $U_{\text{ВЫХ}} = 1,68 \text{ В}$ и по этой причине значение выходного напряжения $U_{\text{ВЫХ}}$ нельзя выбрать произвольно.

Таким образом, в данной схеме температурный коэффициент выходного напряжения будет равен нулю, если значения всех параметров схемы точно соответствуют расчетным. Если какой-нибудь из параметров схемы не соответствует расчетному значению, температурный коэффициент выходного напряжения $\text{ТКН}_{U_{\text{ВЫХ}}}$ будет отличаться от нуля, но при этом может оставаться очень малым.

Схема источника опорного напряжения, определяемого шириной запрещенной зоны, представлена на рисунке 7.14.

Свойства данной схемы основаны на точно рассчитываемых значениях напряжений прямосмещенных эмиттерных переходов транзисторов. В качестве опорного выбрано напряжение, равное ширине запрещенной зоны полупроводника. Термокомпенсация в этой схеме достигается обеспечением различных плотностей тока эмиттерных переходов транзисторов VT1 и VT2.

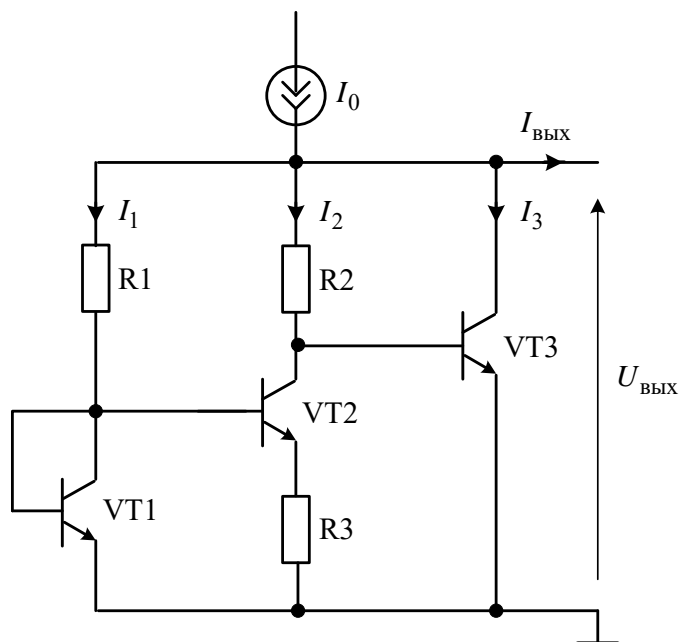


Рисунок 7.14 – Источник опорного напряжения, определяемого шириной запрещённой зоны полупроводника

Для выходного напряжения схемы на рисунке 7.14 справедливо уравнение

$$U_{\text{ВЫХ}} = U_{\text{бэз}} + I_2 R_2. \quad (7.25)$$

Предположив, что все транзисторы идентичны и их базовые токи малы, имеем

$$I_1 = I_2 \exp \frac{I_2 R_3}{\varphi_T}. \quad (7.26)$$

Из соотношения (7.26) находим

$$I_2 R_3 = \varphi_T \ln \frac{I_1}{I_2}, \quad (7.27)$$

откуда

$$I_2 R_2 = \frac{R_2}{R_3} I_2 R_3 = \frac{R_2}{R_3} \varphi_T \ln \frac{I_1}{I_2}. \quad (7.28)$$

Подстановка выражения (7.28) в уравнение (7.25) дает

$$U_{\text{ВЫХ}} = U_{\text{бэ3}} + \frac{R_2}{R_3} \varphi_T \ln \frac{I_1}{I_2}. \quad (7.29)$$

В выражении (7.29) напряжение $U_{\text{бэ3}}$ имеет отрицательный температурный коэффициент (то есть уменьшается с увеличением температуры), а слагаемое $\frac{R_2}{R_3} \varphi_T \ln \frac{I_1}{I_2}$ – положительный температурный коэффициент.

Следовательно, подбором отношений сопротивлений и токов можно компенсировать два температурных коэффициента так, чтобы в конечном итоге получить $\text{ТКН}_{U_{\text{ВЫХ}}} = 0$.

С учетом соотношения $\varphi_T = \frac{kT}{q_e}$ температурный коэффициент выходного напряжения

$$\text{ТКН}_{U_{\text{ВЫХ}}} = \frac{dU_{\text{ВЫХ}}}{dT} = \frac{dU_{\text{бэ3}}}{dT} + \frac{R_2}{R_3} \frac{k}{q_e} \ln \frac{I_1}{I_2}. \quad (7.30)$$

Поскольку резисторы являются интегральными и находятся в одинаковом тепловом режиме, относительное изменение их сопротивлений одинаково и, следовательно, отношение $\frac{R_2}{R_3}$ не будет зависеть от температуры.

Известно, что температурный коэффициент напряжения база-эмиттер при постоянном токе коллектора определяется выражением [3]

$$\frac{dU_{\text{бэ3}}}{dT} = -\frac{\Delta E_g - U_{\text{бэ30}}}{T_0} - \frac{nk}{q_e} \left(1 + \ln \frac{T}{T_0} \right) + \frac{k}{q_e} \ln \frac{I_K}{I_{K0}},$$

почти не зависит от температуры и при $T = T_0$ имеет значение

$$\left. \frac{dU_{\text{бэ3}}}{dT} \right|_{T_0} = -\left(\frac{\Delta E_g - U_{\text{бэ30}}}{T_0} + n \frac{k}{q_e} \right), \quad (7.31)$$

где ΔE_g – энергетическая ширина запрещенной зоны при абсолютном нуле (0 К), полученная линейной экстраполяцией от комнатной температуры (300 К) к абсолютному нулю (у кремния $\Delta E_g = 1,205$ В); $U_{\text{бэ}0}$ – напряжение база-эмиттер, соответствующее рабочей точке ($T = T_0$; $I_k = I_{k0}$); $\frac{k}{q_e}$ – отношение постоянной Больцмана $k = 1,38 \cdot 10^{-23} \frac{\text{Дж}}{\text{К}}$ к

заряду электрона $q_e = 1,60 \cdot 10^{-19}$ Кл; n – постоянная, которая выражает среди прочего температурную зависимость подвижности неосновных носителей в базе (у кремниевых транзисторов принимает значения от 1,5 до 3,0 в зависимости от технологии; типичное значение технологического разброса этой величины у пары транзисторов, изготовленной по монолитной технологии, составляет 0,002).

Используя выражение (7.31) для температурного коэффициента $\text{ТКН}_{U_{\text{бэ}}}$ напряжения база-эмиттерного перехода, можно получить выражение для температурного коэффициента выходного напряжения, определяемого соотношением (7.30).

Для получения $\text{ТКН}_{U_{\text{вых}}} = 0$ должно выполняться равенство

$$\frac{R_2}{R_3} \frac{k}{q_e} \ln \frac{I_1}{I_2} = - \frac{dU_{\text{бэ}}}{dT},$$

откуда находим соответствующее значение выходного напряжения

$$\begin{aligned} U_{\text{вых}} &= U_{\text{бэ}} + \frac{R_2}{R_3} \varphi_T \ln \frac{I_1}{I_2} = U_{\text{бэ}} - T \frac{dU_{\text{бэ}}}{dT} = \\ &= U_{\text{бэ}} + (\Delta E_g - U_{\text{бэ}}) + \frac{nk}{q_e} T = \Delta E_g + n \varphi_T. \end{aligned} \quad (7.32)$$

Выражение (7.32) определяет напряжение на выходе источника опорного напряжения при $\text{ТКН}_{U_{\text{вых}}} = 0$, которое при типичном значении параметра $n = 3$, $\Delta E_{g(\text{Si})} = 1,205$ В и температурном потенциале $\varphi_T = 25,9$ мВ (300 К) составляет $U_{\text{вых}} = 1,205 + 3 \cdot 25,9 \cdot 10^{-3} = 1,283$ В.

Полученное выше основное условие равенства нулю температурного коэффициента $\text{ТКН}_{U_{\text{вых}}}$ выходного напряжения запишем в виде

$$\frac{R_2}{R_3} \frac{k}{q_e} \ln \frac{I_1}{I_2} = -\frac{dU_{бэ}}{dT} = \frac{\Delta E_g - U_{бэ}}{T} + n \frac{k}{T}. \quad (7.33)$$

Умножая обе части равенства (7.33) на температуру T , получим

$$\frac{R_2}{R_3} \varphi_T \ln \frac{I_1}{I_2} = \Delta E_g - U_{бэ} + n \varphi_T.$$

Деление на температурный потенциал φ_T дает

$$\frac{R_2}{R_3} \ln \frac{I_1}{I_2} = \frac{\Delta E_g - U_{бэ}}{\varphi_T} + n. \quad (7.34)$$

Для типичного значения напряжения $U_{бэ} = 650$ мВ и температурного потенциала $\varphi_T = 25,9$ мВ (300 К) имеем

$$\frac{R_2}{R_3} \ln \frac{I_1}{I_2} = \frac{1,205 - 650 \cdot 10^{-3}}{25,9 \cdot 10^{-3}} + 3 = 24,4.$$

Например, выбрав произвольные, но реальные значения токов $I_1 = I_3 = 1,0$ мА, $\frac{I_1}{I_2} = 5$, найдем числовые значения резисторов источника опорного напряжения, определяемого шириной запрещенной зоны полупроводника:

$$R_3 = \frac{1}{I_2} \varphi_T \ln \frac{I_1}{I_2} = \frac{5}{I_1} \varphi_T \ln \frac{I_1}{I_2} = \frac{5}{1 \cdot 10^{-3}} \cdot 25,9 \cdot 10^{-3} \cdot \ln 5 = 208 \text{ Ом};$$

$$R_2 = 24,4 \cdot R_3 \cdot \left(\ln \frac{I_1}{I_2} \right)^{-1} = 24,4 \cdot 208 \cdot (\ln 5)^{-1} = 3166 \text{ Ом};$$

$$R_1 = \frac{U_{\text{вых}} - U_{бэ}}{I_1} = \frac{1,283 - 0,65}{1 \cdot 10^{-3}} = 633 \text{ Ом}.$$

Значения сопротивлений резисторов удовлетворяют требованиям, предъявляемым к интегральным резисторам.

Следует отметить, что сила тока должна быть такой, чтобы выполнялось равенство $I_0 = I_1 + I_2 + I_3 + I_{\text{вых.мах}}$, где $I_{\text{вых.мах}}$ – максимальный выходной ток, который данный источник опорного напряжения должен обеспечить. С целью пренебрежимо малого влияния нагрузки на источник опорного напряжения выходной ток должен быть очень мал.

Для получения выходного напряжения $U_{\text{ВЫХ}} > 1,283 \text{ В}$ используется схема источника опорного напряжения, представленная на рисунке 7.15.

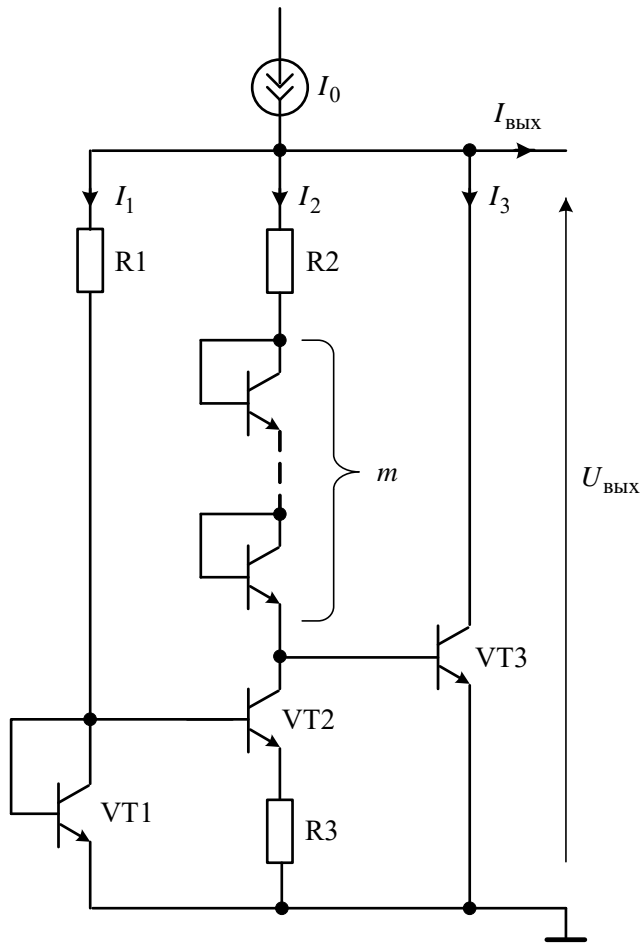


Рисунок 7.15 – Модификация источника опорного напряжения, определяемого шириной запрещённой зоны

Если в схему добавить m транзисторов в диодном включении, то уравнение для выходного напряжения принимает вид

$$U_{\text{ВЫХ}} = (m+1)U_{\text{бэ}} + \frac{R_2}{R_3} \varphi_{\text{T}} \ln \frac{I_1}{I_2} \quad (7.35)$$

и соответственно

$$\text{ТКН}_{U_{\text{ВЫХ}}} = \frac{dU_{\text{ВЫХ}}}{dT} = (m+1) \frac{dU_{\text{бэ}}}{dT} + \frac{R_2}{R_3} \frac{k}{q_e} \ln \frac{I_1}{I_2}. \quad (7.36)$$

Условие, при котором $\text{ТКН}_{U_{\text{ВЫХ}}} = 0$, записывается в виде

$$\frac{R_2}{R_3} \frac{k}{q_e} \ln \frac{I_1}{I_2} = -(m+1) \frac{dU_{\text{бэ}}}{dT}. \quad (7.37)$$

Когда условие (7.37) выполняется, опорное (выходное) напряжение определяется выражением

$$U_{\text{ВЫХ}} = (m+1)U_{\text{бэ}} - (m+1)T \frac{dU_{\text{бэ}}}{dT} = (m+1) \left(U_{\text{бэ}} - T \frac{dU_{\text{бэ}}}{dT} \right). \quad (7.38)$$

Поскольку $U_{\text{бэ}} - T \frac{dU_{\text{бэ}}}{dT} = \Delta E_g + n\varphi_T$, то

$$U_{\text{ВЫХ}} = (m+1)(\Delta E_g + n\varphi_T). \quad (7.39)$$

Таким образом, если применяется один дополнительный диод (транзистор в диодном включении), то $U_{\text{ВЫХ}} = (1+1) \cdot 1,283 = 2,566 \text{ В}$, а для двух диодов ($m = 2$) имеем $U_{\text{ВЫХ}} = 3,849 \text{ В}$.

Поскольку

$$\frac{dU_{\text{бэ}}}{dT} = -\frac{1}{T} \left(\Delta E_g + n \frac{k}{q_e} - U_{\text{бэ}} \right), \quad (7.40)$$

то условие расчета отношения сопротивлений резисторов для модификации источника опорного напряжения, определяемого шириной запрещённой зоны, записывается в виде $\frac{R_2}{R_3} \ln \frac{I_1}{I_2} = (m+1) \left(\frac{\Delta E_g - U_{\text{бэ}}}{\varphi_T} + n \right)$, откуда следует

$$\frac{R_2}{R_3} = (m+1) \left(\frac{\Delta E_g - U_{\text{бэ}}}{\varphi_T} + n \right) \left(\ln \frac{I_1}{I_2} \right)^{-1}. \quad (7.41)$$

Если, например, $\frac{I_1}{I_2} = 5$, $m = 2$, $U_{\text{бэ}} = 650 \text{ мВ}$, $\varphi_T = 25,9 \text{ мВ}$ и

$\Delta E_{g(\text{Si})} = 1,205 \text{ В}$, то отношение сопротивлений резисторов

$$\frac{R_2}{R_3} = (2+1) \left(\frac{1,205 - 650 \cdot 10^{-3}}{25,9 \cdot 10^{-3}} + 3 \right) (\ln 5)^{-1} = 45,6.$$

Такая величина отношения сопротивлений резисторов, которая в этом случае требуется, для ИМС допустима, но нежелательна, поскольку вызовет большое отклонение в значениях сопротивлений резисторов.

7.3 Дифференциальные усилители

Интегральная линейная схемотехника основана на различных вариантах дифференциальных усилителей (ДУ), построенных на биполярных и полевых транзисторах по простым или усложненным схемам: с активной нагрузкой в виде токового зеркала, на составных транзисторах по схеме Дарлингтона, на составных транзисторах по схеме Дарлингтона и с источниками тока в эмиттерных цепях, на транзисторах со сверхбольшим коэффициентом усиления, включенных по каскодной схеме, с каскадом преобразования двухфазного выхода в однофазный, с однофазным выходом и повторителем напряжения, на комплементарных транзисторах, включенных по каскодной схеме [3]. Находят применение и другие схемотехнические решения дифференциальных усилителей, но перечисленные являются основными и широко используются в АИМС [3].

Дифференциальные каскады обладают целым рядом преимуществ, которые делают их практически незаменимыми функциональными узлами аналоговых ИМС:

- они представляют собой схемы с высоким коэффициентом подавления синфазного сигнала;
- в них сравнительно просто можно осуществить сдвиг уровня выходного потенциала, что также облегчает решение проблемы каскадирования при непосредственных связях;
- они имеют два входа и два выхода, что позволяет строить инвертирующие и неинвертирующие усилители, сравнительно просто согласовывать цепи обратных связей, используя для этого соответствующие входы и выходы.

Преимущества дифференциальных каскадов особенно сильно проявляются в ИМС, так как изготовление пары транзисторов на одной подложке в непосредственной близости друг от друга при помощи одного и того же цикла технологических операций позволяет формировать транзисторные структуры с идентичными параметрами, а, как известно, при этом условии дифференциальные каскады обладают почти идеальными характеристиками [3]. На рисунке 7.16 представлена схема дифференциального усилителя на биполярных транзисторах.

Выходом дифференциального каскада являются коллекторы транзисторов VT1, VT2. Схема относительно выхода симметрична. При этом для всех элементов (симметричных относительно выхода) дрейф полностью компенсируется, если элементы абсолютно одинаковы и с одинаковым дрейфом. По этой же причине одинаковое изменение входных сигналов при одинаковой их полярности не приводит к изменениям выходного сигнала.

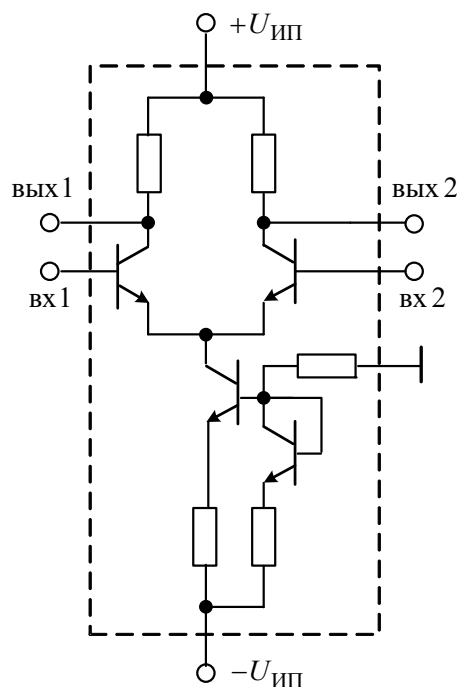


Рисунок 7.16 – Симметричный дифференциальный усилитель с источником постоянного тока

Дифференциальный усилитель управляется разностью напряжений, которая приложена между его входами. Напряжение, определяемое формулой $U_{\text{диф}} = U_{\text{вх1}} - U_{\text{вх2}}$, называется *дифференциальным входным напряжением*. *Синфазное входное напряжение* определяется как средне-

арифметическое двух входных напряжений, то есть $U_{\text{сн}} = \frac{U_{\text{вх1}} + U_{\text{вх2}}}{2}$.

Важным свойством дифференциального усилителя является его способность подавлять синфазный сигнал. Она проявляется в том, что при подаче на входы дифференциального каскада одинаковых (синфазных) сигналов напряжение на выходе меняется весьма мало.

Дифференциальный усилитель на биполярных транзисторах.

Соотношения между токами и напряжениями симметричного дифференциального усилителя можно получить при рассмотрении схемы, представленной на рисунке 7.17.

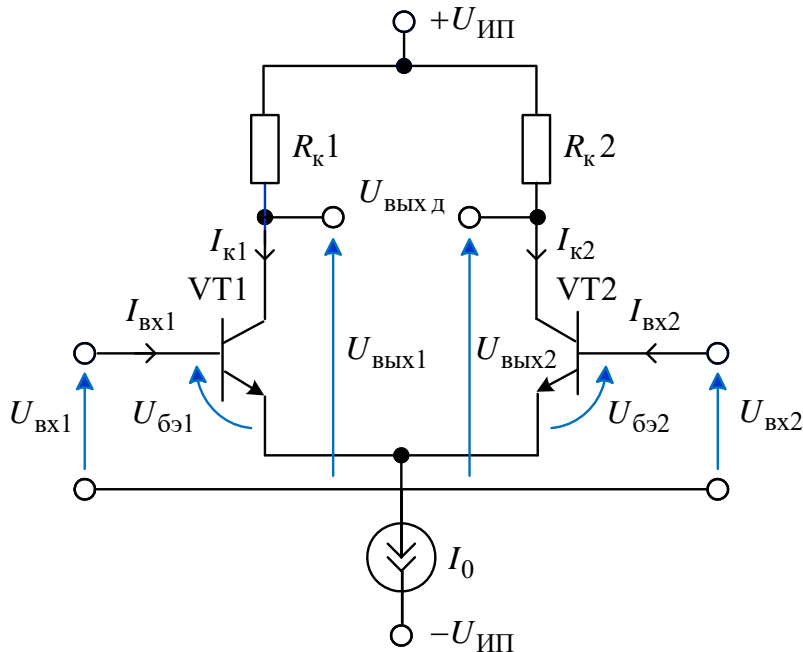


Рисунок 7.17 – Симметричный дифференциальный усилитель с нагрузочными резисторами

Предположим, что оба транзистора дифференциальной пары работают в нормальном активном режиме и их базовые токи малы по сравнению с токами коллектора. Для тока коллектора транзистора VT1 можно записать

$$I_{К1} = I_{Т1} \exp \frac{U_{бэ1}}{\varphi_T}, \quad (7.42)$$

где $U_{бэ1}$, $I_{Т1}$ – напряжение база-эмиттер и обратный ток коллектора транзистора VT1 соответственно.

Аналогичное соотношение можно записать для тока коллектора транзистора VT2:

$$I_{К2} = I_{Т2} \exp \frac{U_{бэ2}}{\varphi_T}. \quad (7.43)$$

При строго идентичных транзисторах $I_{T1} = I_{T2}$. В реальных схемах транзисторы VT1 и VT2, даже выполненные на одном кристалле, всегда несколько отличаются друг от друга, что приводит к появлению э.д.с. смещения $E_{см}$. Для биполярных транзисторов $E_{см}$ определяется разностью база-эмиттерных напряжений $U_{бэ}$ транзисторов VT1, VT2 дифференциальной пары и приближенно рассчитывается по формуле

$$E_{см} \approx \varphi_T \ln \left(\frac{I_{э1} I_{Т2}}{I_{э2} I_{Т1}} \right),$$

где $I_{э1}, I_{э2}$ – эмиттерные токи транзисторов VT1 и VT2 соответственно.

Обычно в дифференциальном каскаде $I_{э1} = I_{э2}$, поэтому $E_{см}$ определяется разбросом тепловых токов, обусловленным неидентичностью площадей переходов и концентраций примесей при изготовлении транзисторов:

$$E_{см} \approx \varphi_T \ln \frac{I_{Т2}}{I_{Т1}}. \quad (7.44)$$

Для планарных транзисторов $E_{см} = \pm(1-2)$ мВ и менее [3].

Используя выражение для э.д.с. смещения, уравнение для коллекторного тока $I_{к2}$ транзистора VT2 представим в виде

$$I_{к2} = I_{Т2} \exp \frac{U_{бэ2}}{\varphi_T} = I_{Т1} \exp \frac{U_{бэ2} + E_{см}}{\varphi_T}.$$

Поскольку $I_{к1} + I_{к2} = I_0$, имеем

$$I_0 = I_{Т1} \left(\exp \frac{U_{бэ1}}{\varphi_T} + \exp \frac{U_{бэ2} + E_{см}}{\varphi_T} \right), \quad (7.45)$$

откуда

$$I_{Т1} = \frac{I_0}{\exp \frac{U_{бэ1}}{\varphi_T} + \exp \frac{U_{бэ2} + E_{см}}{\varphi_T}}. \quad (7.46)$$

Подстановка выражения (7.46) в уравнение (7.42) дает

$$I_{к1} = I_0 \exp \left(\frac{U_{бэ1}}{\varphi_T} \right) \left(\exp \frac{U_{бэ1}}{\varphi_T} + \exp \frac{U_{бэ2} + E_{см}}{\varphi_T} \right)^{-1}. \quad (7.47)$$

Разделив числитель и знаменатель на $\exp \frac{U_{\delta\delta 1}}{\varphi_T}$, получим

$$I_{k1} = \frac{I_0}{1 + \exp \frac{U_{\delta\delta 2} - U_{\delta\delta 1} + E_{cm}}{\varphi_T}}. \quad (7.48)$$

Для коллекторного тока транзистора VT2 имеем

$$I_{k2} = I_0 \exp \left(\frac{U_{\delta\delta 2} + E_{cm}}{\varphi_T} \right) \left(\exp \frac{U_{\delta\delta 1}}{\varphi_T} + \exp \frac{U_{\delta\delta 2} + E_{cm}}{\varphi_T} \right)^{-1}. \quad (7.49)$$

То есть

$$I_{k2} = \frac{I_0}{1 + \exp \frac{U_{\delta\delta 1} - U_{\delta\delta 2} - E_{cm}}{\varphi_T}}. \quad (7.50)$$

Поскольку $U_{вх1} = U_{\delta\delta 1} + U_{\delta}$ и $U_{вх2} = U_{\delta\delta 2} + U_{\delta}$, то $U_{\delta\delta 1} - U_{\delta\delta 2} = U_{вх1} - U_{вх2}$.

Используя формулу $U_{диф} = U_{вх1} - U_{вх2}$ для дифференциального входного напряжения, выразим коллекторные токи транзисторов VT1 и VT2 через напряжение $U_{диф}$:

$$I_{k1} = \frac{I_0}{1 + \exp \frac{-U_{диф} + E_{cm}}{\varphi_T}} = \frac{I_0}{1 + \exp \left(-\frac{U_{диф} - E_{cm}}{\varphi_T} \right)}; \quad (7.51)$$

$$I_{k2} = \frac{I_0}{1 + \exp \frac{U_{диф} - E_{cm}}{\varphi_T}}. \quad (7.52)$$

Графическое изображение зависимости токов I_{k1} , I_{k2} от $U_{диф} - E_{cm}$ дает *передаточную характеристику дифференциального усилителя* (рисунки 7.18).

Здесь коллекторные токи нормированы по отношению к току I_0 источника тока. Отметим, что если $U_{диф} = E_{cm}$, то $I_{k1} = I_{k2} = \frac{I_0}{2}$. Другими словами, при $U_{диф} = E_{cm}$ дифференциальный усилитель сбалансирован,

то есть ток источника тока распределяется между двумя транзисторами дифференциальной пары поровну.

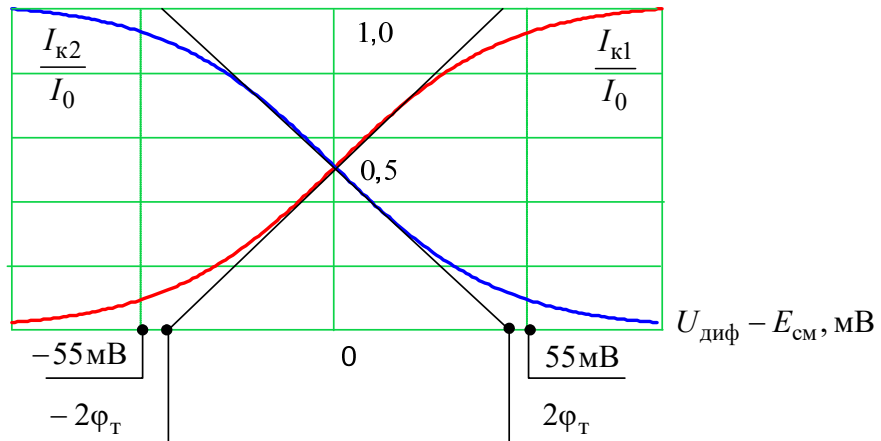


Рисунок 7.18 – Передаточная характеристика дифференциального усилителя

Из выражений (7.51), (7.52), а также из передаточных характеристик дифференциального усилителя (см. рисунок 7.18) следует, что по мере изменения $U_{\text{диф}}$ в ту или другую сторону относительно нулевого потенциала все больший ток протекает через один транзистор и все меньший – через другой. Однако нет такой точки, где весь ток протекал бы только через один транзистор, а другой был полностью закрыт.

Общий диапазон $\Delta U_{\text{диф}}$ дифференциального входного напряжения, необходимый для перераспределения тока дифференциального усилителя от $I_{\text{к1}}=0,9I_0$ и $I_{\text{к2}}=0,1I_0$ до $I_{\text{к1}}=0,1I_0$ и $I_{\text{к2}}=0,9I_0$, называется *переходным напряжением*.

Определим переходное напряжение. Когда $I_{\text{к1}}=0,9I_0$ и $I_{\text{к2}}=0,1I_0$,

можно записать
$$0,1I_0 = \frac{I_0}{1 + \exp \frac{U_{\text{диф}} - E_{\text{см}}}{\varphi_T}}, \text{ то есть } \exp \frac{U_{\text{диф}} - E_{\text{см}}}{\varphi_T} = 9,$$

следовательно $U_{\text{диф}} - E_{\text{см}} = \varphi_T \ln 9 = 25 \cdot 10^{-3} \cdot 2,1972 \approx 55 \text{ мВ}$. Когда

$I_{\text{к1}}=0,1I_0$, то $U_{\text{диф}} - E_{\text{см}} \approx -55 \text{ мВ}$.

Таким образом, переходное напряжение симметричного дифференциального усилителя на биполярных транзисторах $\Delta U_{\text{диф}} \approx 110 \text{ мВ}$.

Передаточные характеристики $\frac{I_{к1}}{I_0} = f_1(U_{\text{диф}} - E_{\text{см}})$ и

$\frac{I_{к2}}{I_0} = f_1(U_{\text{диф}} - E_{\text{см}})$, представленные на рисунке 7.18, показывают,

что дифференциальный усилитель является нелинейным устройством. Однако в некоторой ограниченной области передаточной характеристики

ки $\frac{I_{к1}}{I_0} = f_1(U_{\text{диф}} - E_{\text{см}})$ или передаточной характеристики

$\frac{I_{к2}}{I_0} = f_1(U_{\text{диф}} - E_{\text{см}})$ зависимость между током $I_{к1}$ и входным напряже-

нием, а также между током $I_{к2}$ и входным напряжением практически линейная. Входные напряжения, при которых передаточная характеристика практически линейная, лежат в пределах от $-\varphi_T$ до $+\varphi_T$.

Если источник тока дифференциального усилителя является идеальным источником постоянного тока I_0 , то ток I_0 не зависит от падения напряжения на источнике тока, а следовательно, не будет зависеть от выходных напряжений $U_{\text{вых1}}$ и $U_{\text{вых2}}$. Анализ выражений для токов $I_{к1}$, $I_{к2}$ показывает, что при $I_0 = \text{const}$ токи $I_{к1}$, $I_{к2}$ являются функциями только дифференциального входного напряжения и абсолютно не зависят от любой синфазной составляющей входного напряжения. Таким образом, усилитель действительно является дифференциальным, или разностным, поскольку реагирует только на разность напряжений, поданных на его входы, и абсолютно не реагирует на любое напряжение, общее для обоих входов.

Дифференциальные усилители на полевых транзисторах. Дифференциальные усилители на основе полевых транзисторов, в принципе, работают так же, как и дифференциальные усилители на биполярных транзисторах. Достоинствами дифференциального усилителя на полевых транзисторах являются очень высокое входное сопротивление ($10^9 - 10^{12}$ Ом) и очень малый входной ток смещения ($10^{-9} - 10^{-12}$ А).

К его недостаткам можно отнести довольно низкую передаточную проводимость и, как следствие, низкий коэффициент передачи напряжения. Другой недостаток – относительно большое напряжение смещения пары полевых транзисторов по сравнению с парой биполярных транзисторов.

Схема дифференциального усилителя на полевых транзисторах с управляющим p - n -переходом и каналом n -типа приведена на рисунке 7.19.

Для простоты будем полагать, что оба транзистора имеют идентичные характеристики. Для каждого транзистора, работающего в нормальном активном режиме, можно записать уравнение передаточной характеристики

$$I_C = I_{C.нач} \left(1 - \frac{U_{ЗИ}}{U_{отс}} \right)^2 \text{ в виде } U_{ЗИ} = U_{отс} \left[1 - \left(\frac{I_C}{I_{C.нач}} \right)^{\frac{1}{2}} \right].$$

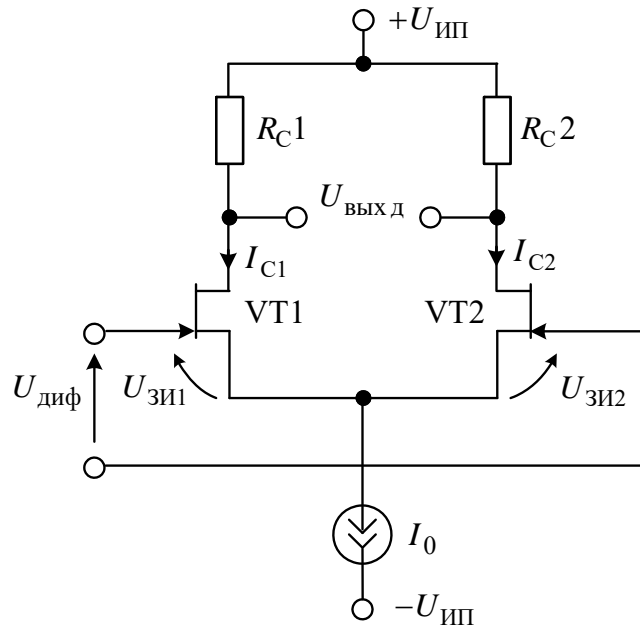


Рисунок 7.19 – Дифференциальный усилитель на полевых транзисторах с p - n -переходом

В состоянии покоя токи стоков транзисторов VT1, VT2 определяются как $I_{C1} = \frac{I_0}{2}$ и $I_{C2} = \frac{I_0}{2}$ соответственно. Если подать входное дифференциальное напряжение $U_{диф}$, токи стоков изменятся на величину ΔI от своего начального значения: $I_{C1} = \frac{I_0}{2} + \Delta I$ и $I_{C2} = \frac{I_0}{2} - \Delta I$. Соответствующие напряжения затвор-исток транзисторов VT1 и VT2 будут определяться выражениями

$$U_{ЗИ1} = U_{отс} \left[1 - \left(\frac{I_0 + \Delta I}{2 I_{С.нач}} \right)^{\frac{1}{2}} \right], \quad U_{ЗИ2} = U_{отс} \left[1 - \left(\frac{I_0 - \Delta I}{2 I_{С.нач}} \right)^{\frac{1}{2}} \right]. \quad (7.53)$$

Получим уравнение, связывающее величину ΔI и дифференциальное входное напряжение:

$$U_{диф} = U_{ЗИ1} - U_{ЗИ2} = U_{отс} \left(\frac{I_0}{I_{С.нач}} \right)^{\frac{1}{2}} \left[\left(\frac{1 - \Delta I}{2 I_0} \right)^{\frac{1}{2}} - \left(\frac{1 + \Delta I}{2 I_0} \right)^{\frac{1}{2}} \right], \quad (7.54)$$

где значение тока I_0 должно быть меньше $I_{С.нач}$.

На рисунке 7.20 представлен нормированный график передаточной характеристики дифференциального усилителя на полевых транзисторах с управляющим p - n -переходом.

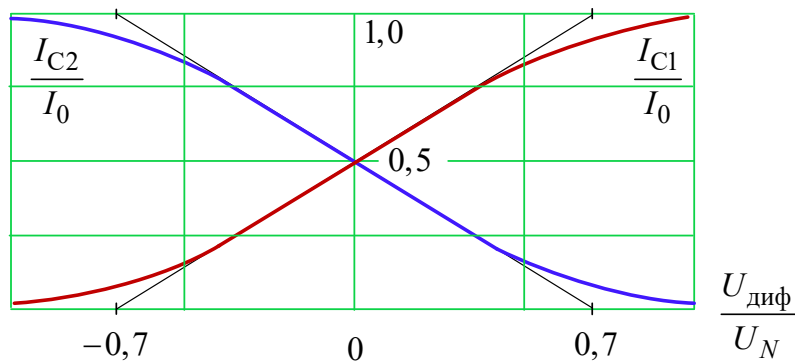


Рисунок 7.20 – Передаточная характеристика дифференциального усилителя на полевых транзисторах с p - n -переходом

Для малых значений $U_{диф}$ и $\frac{\Delta I}{I_0}$ выражение (7.54) можно линейно

аппроксимировать, используя приближённое равенство $(1+x)^{\frac{1}{2}} \approx 1 + \frac{x}{2}$

для $x \leq 1$. В этом случае зависимость между $U_{диф}$ и ΔI примет вид

$$U_{диф} \approx U_{отс} \left(\frac{I_0}{I_{С.нач}} \right)^{\frac{1}{2}} \cdot \frac{1}{\sqrt{2}} \left[\left(1 - \frac{\Delta I}{I_0} \right) - \left(1 + \frac{\Delta I}{I_0} \right) \right] = - \frac{U_{отс} (2\Delta I)}{\sqrt{2 I_0 I_{С.нач}}}.$$

Схема дифференциального усилителя на МОП-транзисторах приведена на рисунке 7.21.

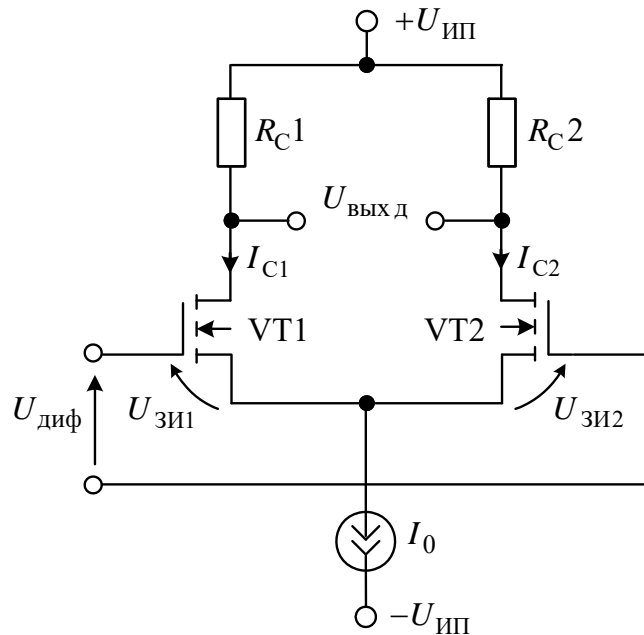


Рисунок 7.21 – Дифференциальный усилитель на МОП-транзисторах

В нормальном активном режиме передаточная характеристика МОП-транзистора определяется выражением

$$I_C = k(U_{ЗИ} - U_{пор})^2,$$

где $U_{пор}$ – напряжение затвор-исток, соответствующее открытию канала в равновесных условиях.

Решая данное уравнение относительно напряжения $U_{ЗИ}$, получим

$$U_{ЗИ} = U_{пор} + \left(\frac{I_C}{k}\right)^{\frac{1}{2}}.$$

При подаче дифференциального входного напряжения $U_{диф}$ токи стоков транзисторов VT1 и VT2 будут определяться выражениями

$$I_{C1} = \frac{I_0}{2} + \Delta I, \quad I_{C2} = \frac{I_0}{2} - \Delta I.$$

Тогда

$$U_{\text{ЗИ1}} = U_{\text{пор}} + \left(\frac{I_0 + \Delta I}{2k} \right)^{\frac{1}{2}}, \quad U_{\text{ЗИ2}} = U_{\text{пор}} + \left(\frac{I_0 - \Delta I}{2k} \right)^{\frac{1}{2}} \quad (7.55)$$

и выражение, связывающее параметр ΔI и дифференциальное входное напряжение $U_{\text{диф}}$, можно записать в виде

$$U_{\text{диф}} = U_{\text{ЗИ1}} - U_{\text{ЗИ2}} = \left(\frac{I_0}{k} \right)^{\frac{1}{2}} \left[\left(\frac{1}{2} + \frac{\Delta I}{I_0} \right)^{\frac{1}{2}} - \left(\frac{1}{2} - \frac{\Delta I}{I_0} \right)^{\frac{1}{2}} \right]. \quad (7.56)$$

Нетрудно заметить, что выражение (7.56) по форме похоже на выражение (7.54) для передаточной характеристики дифференциального усилителя на полевых транзисторах с управляющим p - n -переходом. Поэтому передаточные характеристики дифференциальных усилителей на полевых транзисторах с p - n -переходом и на МОП-транзисторах будут совпадать, если нормирующий множитель для дифференциального уси-

лителя на полевых транзисторах принять равным $U_N = -U_{\text{отс}} \left(\frac{I_0}{I_{\text{С.нач}}} \right)^{\frac{1}{2}}$,

а для дифференциального усилителя на МОП-транзисторах –

$$U_N = \left(\frac{I_0}{k} \right)^{\frac{1}{2}} = \sqrt{2} (U_{\text{ЗИ}} - U_{\text{пор}}).$$

Использование приближенного равенства $(1+x)^{\frac{1}{2}} \approx 1 + \frac{x}{2}$ позволяет представить выражение (7.56) в виде

$$U_{\text{диф}} \approx \Delta I \left(\frac{2}{k I_0} \right)^{\frac{1}{2}}. \quad (7.57)$$

Из анализа передаточной характеристики дифференциального усилителя на полевых транзисторах (см. рисунок 7.20) следует, что её можно линейно аппроксимировать в достаточно большом диапазоне нормированного входного напряжения. Этот линейный участок лежит в интервале от $U_{\text{диф}} = -0,5U_N$ до $U_{\text{диф}} = +0,5U_N$.

Дифференциальные усилители с активной нагрузкой. Если на вход дифференциального усилителя подать напряжение $U_{\text{диф}}$, то в кол-

латорных цепях транзисторов VT1, VT2 будут протекать переменные токи. Для преобразования переменного тока в выходное напряжение необходима нагрузка. Нагрузка может быть *пассивной*, состоящей из двух нагрузочных резисторов $R_{к1}, R_{к2}$, как, например, для дифференциального усилителя на биполярных транзисторах, либо *активной*. В случае активной нагрузки для преобразования тока в напряжение используются транзисторы.

Известно, что коэффициент передачи напряжения несимметричного выхода дифференциального усилителя на биполярных транзисторах

$$k_U = \frac{I_0 R_{к}}{4\varphi_T}.$$

Поскольку величина тока I_0 в дифференциальных усилителях обычно очень мала, часто порядка нескольких микроампер, то для получения достаточно большого коэффициента передачи напряжения требуется очень большое сопротивление $R_{к}$ (порядка 1 МОм). Однако такое большое сопротивление нагрузки является причиной ряда недостатков, особенно в интегральных дифференциальных усилителях.

- Резистор с очень большим сопротивлением занимает слишком много места на кристалле ИМС, поскольку площадь, необходимая под него, примерно пропорциональна сопротивлению резистора.

- У резистора с большим сопротивлением велика паразитная емкость и соответственно постоянная времени, что накладывает ограничения на частотную характеристику дифференциального усилителя.

- Для нормальной работы дифференциального усилителя транзисторы всегда должны оставаться в нормальном активном режиме. Это ограничивает максимальное входное напряжение, подаваемое на базы транзисторов VT1 и VT2. Оно должно быть таким, чтобы переход коллектор-база был смещен в прямом направлении не более чем на 0,5 В. На нагрузочном резисторе создается падение напряжения $\frac{I_0}{2} R_{к}$, а напряже-

ние на коллекторе $U_{к} = U_{ИП} - \frac{I_0}{2} R_{к}$ оказывается много меньше, чем напряжение источника питания $+U_{ИП}$. В результате диапазон изменения входного напряжения дифференциального усилителя значительно уменьшается.

Вследствие указанных недостатков в большинстве интегральных дифференциальных усилителей применяют активную нагрузку в виде токового зеркала (рисунок 7.22).

Токовое зеркало является одной из простых схем активной нагрузки в дифференциальных усилителях.

Падение напряжения на транзисторах VT3, VT4 активной нагрузки примерно равно $2U_{бэ}$, напряжение на коллекторах транзисторов VT1 и VT2 равно $U_{ИП} - 2U_{бэ}$. Падение напряжения на переходе база-эмиттер связано логарифмической зависимостью с током через него и при изменении тока в отношении 10:1 результирующее напряжение $U_{бэ}$ составляет всего 60 мВ. А это значит, что падение напряжения на активной нагрузке в реальных условиях будет примерно постоянным, равным $(1,2 \pm 0,06)$ В. Поскольку напряжение на базах транзисторов VT1 и VT2, не приводящее к насыщению транзисторов, не должно превышать напряжение на коллекторах более чем на 0,5 В, то диапазон изменения входного напряжения ограничен сверху величиной $(U_{ИП} - 1,2 + 0,5)$ В = $(U_{ИП} - 0,7)$ В, что всего на 0,7 В меньше положительного напряжения питания.

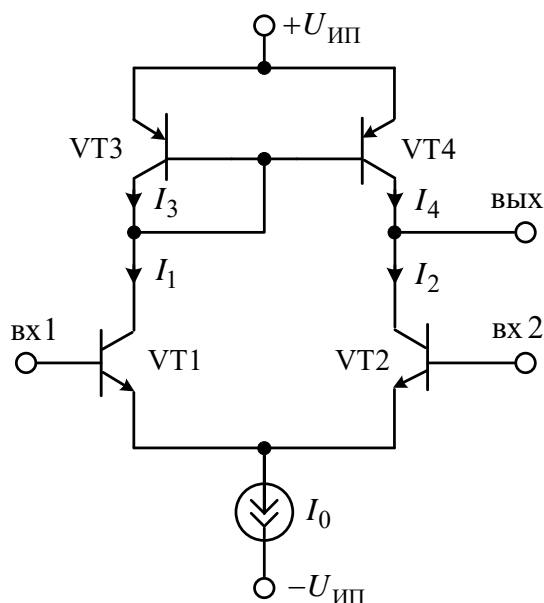


Рисунок 7.22 – Дифференциальный усилитель с активной нагрузкой в виде токового зеркала

Активная нагрузка содержит два транзистора, поэтому занимает очень мало места на кристалле ИМС. Выходная или коллекторная емкость транзистора VT4 определяет паразитную емкость активной нагрузки и приблизительно равна 3–10 пФ, то есть относительно невелика. Активная нагрузка позволяет получить коэффициент усиления

каскада дифференциального усилителя более 10^3 , причём падение напряжения на ней не более 1,2 В. Таким образом, активная нагрузка не подвержена недостаткам пассивной нагрузки. Кроме того, коэффициент усиления дифференциального каскада с активной нагрузкой в виде токового зеркала не зависит от тока I_0 источника постоянного тока. Значение тока I_0 можно выбрать достаточно малым (порядка 20 мкА), причём коэффициент усиления в этом случае останется большим. Желательно, чтобы значение тока I_0 было мало, так как это обеспечит малый входной ток, а входное сопротивление станет большим. Выбор слишком малой величины тока I_0 нежелателен, так как это приведёт к уменьшению частотного диапазона и ухудшению переходной характеристики усилителя. В большинстве случаев, когда необходимо, чтобы значение входного тока было мало, в дифференциальном усилителе лучше использовать полевые МОП-транзисторы, работающие при относительно больших токах I_0 (рисунок 7.23).

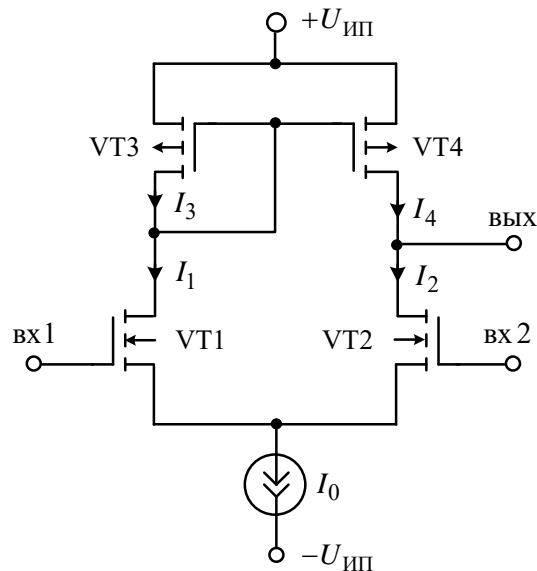


Рисунок 7.23 – Дифференциальный усилитель на МОП-транзисторах с активной нагрузкой в виде токового зеркала

Дифференциальные усилители на составных транзисторах. Во многих схемах дифференциальных усилителей применение составных транзисторов обеспечивает ряд существенных преимуществ. В частности, схема дифференциального усилителя с транзисторами Дарлингтона

(рисунок 7.24) позволяет получить очень высокое входное сопротивление и очень низкий входной ток смещения по сравнению со схемой, представленной на рисунке 7.17.

Один из недостатков дифференциального усилителя с транзисторами Дарлингтона – несколько большее напряжение смещения $U_{см}$, так как дифференциальный усилитель в этом случае содержит четыре транзистора. Статистически это напряжение смещения примерно в $\sqrt{2}$ раз больше по сравнению с симметричным дифференциальным усилителем на биполярных транзисторах с нагрузочными резисторами.

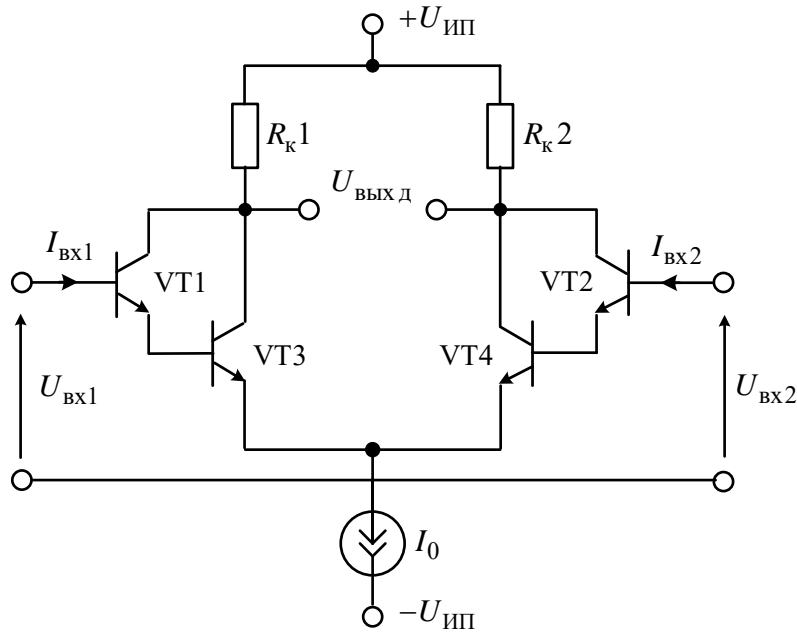


Рисунок 7.24 – Дифференциальный усилитель на составных транзисторах по схеме Дарлингтона

Можно показать, что в схеме составного транзистора Дарлингтона зависимость между выходным током $I_к$ и входным напряжением $U_{бэ} = U_{бэ1} + U_{бэ2}$ экспоненциальная и определяется выражением

$$I_к = \exp \frac{U_{бэ}}{2\varphi_T}. \text{ Приведённая экспоненциальная зависимость справедлива}$$

только в том случае, если оба транзистора, входящие в схему Дарлингтона, работают в нормальном активном режиме. Сравнивая экспоненциальную характеристику схемы Дарлингтона с аналогичной характеристикой для одного транзистора, можно видеть, что характеристика схемы

Дарлингтона отличается только множителем $\frac{1}{2\varphi_T}$ под знаком экспоненты. Поэтому все соотношения, полученные для дифференциального усилителя, схема которого показана на рисунке 7.17, можно распространить на схему дифференциального усилителя с транзисторами Дарлингтона, если заменить во всех уравнениях φ_T на $2\varphi_T$.

Последовательное включение двух базовых цепей позволяет, по крайней мере, удвоить предельно допустимое входное дифференциальное напряжение по сравнению с дифференциальным усилителем, изображенным на рисунке 7.17. Уменьшение коэффициента усиления по напряжению на 50 % можно скомпенсировать увеличением тока I_0 , который не может быть столь же малым, как в простом дифференциальном усилителе. Напряжение смещения является относительно большим, поскольку эмиттерные токи транзисторов VT1 и VT2 оказываются различными вследствие неравенства коэффициентов усиления по току этих транзисторов.

На рисунке 7.25 приведена модификация схемы, представленной на рисунке 7.24, в которой заданные значения токов эмиттеров транзисторов VT1 и VT2 поддерживаются при помощи двух источников тока.

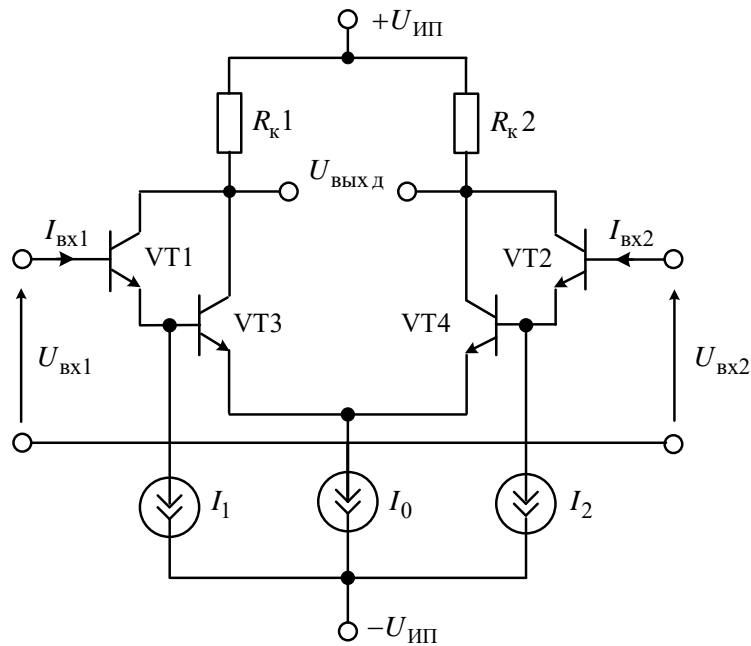


Рисунок 7.25 – Дифференциальный усилитель на составных транзисторах по схеме Дарлингтона и с источниками тока в эмиттерных цепях

Влияние увеличения тока эмиттера на входное сопротивление и входной ток смещения оказывается не очень значительным, поскольку в микроамперном диапазоне по мере увеличения тока эмиттера возрастает также коэффициент усиления по току.

7.4 Выходные каскады

Схемотехника выходных каскадов интегральных усилителей обеспечивает малое выходное сопротивление, малые нелинейные искажения, высокие уровни напряжения, тока или мощности. Известно, что схема с общим коллектором (ОК) имеет наименьшее выходное сопротивление, а также относительно малые нелинейные искажения и по этой причине применяется в выходных каскадах аналоговых ИМС [3]. Простейшая схема выходного каскада на биполярном транзисторе при его включении по схеме с ОК показана на рисунке 7.26,а.

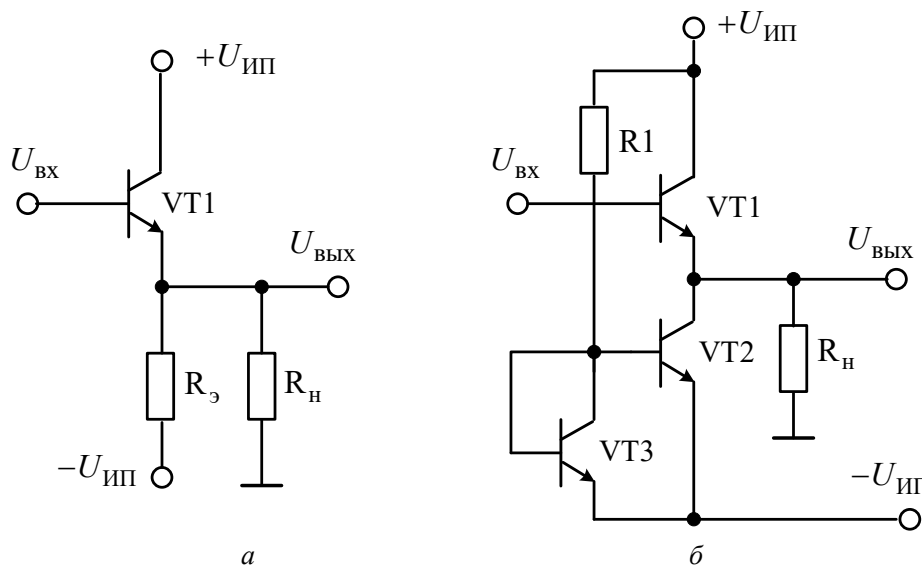


Рисунок 7.26 – Выходные каскады на транзисторах при включении по схеме с общим коллектором

Если выходные каскады на транзисторах при включении по схеме с ОК предназначены для использования в качестве каскада с непосредственной связью, то напряжение на базе транзистора VT1 обычно задается таким, чтобы напряжение на эмиттере было равно нулю. При этом

ток покоя $I_3 = \frac{U_{ИП}^-}{R_3}$. Если выходное напряжение положительное, ток транзистора составит

$$I_3^+ = \frac{-U_{ИП}^- + U_{ВЫХ}^+}{R_3} + \frac{U_{ВЫХ}^+}{R_H} = I_3 + \frac{U_{ВЫХ}^+ (R_3 + R_H)}{R_3 R_H}. \quad (7.58)$$

Из выражения (7.58) видно, что единственным элементом, практически ограничивающим ток транзистора, а следовательно, и допустимый размах напряжения, является сопротивление нагрузки R_H .

Таким образом, напряжение $U_{ВЫХ.маx}^+$ может быть очень близким к напряжению питания $U_{ИП}^+$. Если выходное напряжение отрицательно, ток транзистора уменьшается до значения $I_3^- = I_3 + \frac{U_{ВЫХ}^- (R_3 + R_H)}{R_3 R_H}$ и ограничивается током покоя эмиттера. В предельном случае, когда $I_3^- = 0$, ток покоя эмиттера определяется выражением

$$I_3 = \frac{U_{ИП}^-}{R_3} = \frac{U_{ВЫХ.маx}^- (R_3 + R_H)}{R_3 R_H},$$

откуда максимальная амплитуда отрицательного напряжения

$$U_{ВЫХ.маx}^- = \frac{U_{ИП}^- R_H}{R_3 + R_H} < U_{ВЫХ.маx}^+. \quad (7.59)$$

В случае синусоидального управляющего сигнала максимально возможная выходная мощность $P_{ВЫХ.маx}$ и потребляемая мощность P определяются выражениями

$$P_{ВЫХ.маx} = \frac{(U_{ВЫХ.маx}^-)^2}{2R_H} = \frac{(U_{ИП}^-)^2 R_H}{2(R_3 + R_H)^2}, \quad (7.60)$$

$$P = I_3 (U_{ИП}^+ - U_{ИП}^-) = \frac{U_{ИП}^- (U_{ИП}^+ - U_{ИП}^-)}{R_3}. \quad (7.61)$$

Тогда коэффициент полезного действия

$$\eta = \frac{P_{\text{вых.мах}}}{P} = \frac{U_{\text{ИП}}^- R_3 R_H}{2(U_{\text{ИП}}^+ - U_{\text{ИП}}^-)(R_3 + R_H)^2} \quad (7.62)$$

и при $U_{\text{ИП}}^+ = |U_{\text{ИП}}^-|$ коэффициент полезного действия $\eta = \frac{R_3 R_H}{4(R_3 + R_H)^2}$.

Поскольку $U_{\text{вых.мах}}^- < U_{\text{вых.мах}}^+$ и, кроме того, коэффициент полезного действия невелик, простейшая схема выходного каскада на биполярном транзисторе при его включении по схеме с ОК широкого применения не находит.

Введение в схему на рисунке 7.26,а резистора с сопротивлением $R_1 > \frac{U_{\text{ИП}}^-}{R_3}$ и замена резистора R_3 источником тока, как это показано на рисунке 7.26,б, позволяет получить $U_{\text{вых.мах}}^- = U_{\text{вых.мах}}^+$ (симметричный размах) и повысить коэффициент полезного действия.

В интегральных усилителях в качестве выходного каскада обычно используется каскад на биполярном транзисторе при включении по схеме с общим коллектором и положительной обратной связью (рисунок 7.27). В такой схеме транзисторы VT1 и VT2 являются усилителями с положительной обратной связью, при этом управление транзистором VT1 обеспечивает источник постоянного тока, формирующий на его базе напряжение U_A .

В интегральных схемах напряжения база-эмиттерных переходов биполярных транзисторов, как правило, равны и если в рассматриваемой схеме $U_{\text{бэ}1} \approx U_{\text{бэ}2} \approx U_{\text{бэ}}$, то входное и выходное напряжения связаны соотношением

$$U_{\text{вых}} = \frac{U_{\text{вх}}}{1 - \frac{R_1 R_4}{R_3 R_4 + R_2 (R_3 + R_4)}} - \frac{U_A R_1 (R_3 + R_4) - U_{\text{ИП}}^- R_1 R_3 - U_{\text{бэ}} [(R_1 - R_2)(R_3 + R_4) - R_3 R_4]}{R_2 (R_3 + R_4) + R_4 (R_3 - R_1)}. \quad (7.63)$$

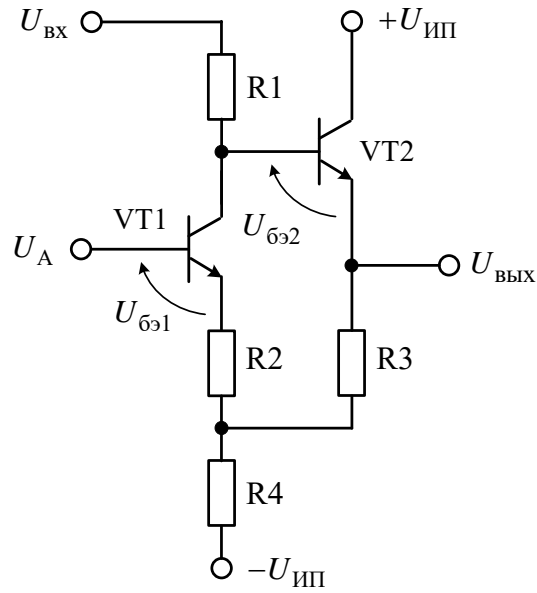


Рисунок 7.27 – Выходной каскад на транзисторе при включении по схеме с общим коллектором и положительной обратной связью

Тогда коэффициент передачи напряжения выходного каскада на базе биполярного транзистора при его включении по схеме с общим коллектором и положительной обратной связью будет

$$k_U = \frac{dU_{\text{ВЫХ}}}{dU_{\text{ВХ}}} = \frac{1}{1 - \frac{R_1 R_4}{R_3 R_4 + R_2 (R_3 + R_4)}} > 1. \quad (7.64)$$

Дополнительное свойство схемы заключается в возможности смещения уровня напряжения на величину

$$U_{\text{ВЫХ}} = \frac{U_A R_1 (R_3 + R_4) - U_{\text{ИП}}^- R_1 R_3 - U_{\text{бэ}} \left[(R_1 - R_2) (R_3 + R_4) - R_3 R_4 \right]}{R_2 (R_3 + R_4) + R_4 (R_3 - R_1)}.$$

Из-за наличия положительной обратной связи входное сопротивление становится отрицательным и определяется по формуле

$$R_{\text{ВХ}} = \frac{dU_{\text{ВХ}}}{dI_{\text{ВХ}}} = - \frac{R_2 (R_3 + R_4) + R_4 (R_3 - R_1)}{R_4}. \quad (7.65)$$

Симметричный размах $U_{\text{ВЫХ.МАХ}}^- = U_{\text{ВЫХ.МАХ}}^+$ и малые искажения выходного сигнала можно обеспечить в *двухтактных выходных каскадах*. На рисунке 7.28 показана схема выходного каскада класса А, построенного на биполярных транзисторах *n-p-n*-типа.

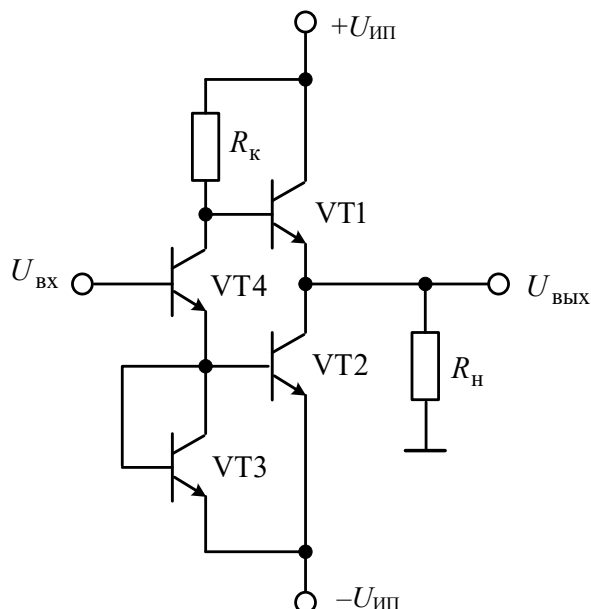


Рисунок 7.28 – Двухтактный выходной каскад класса А

Транзистор VT4 управляет транзисторами VT1, VT2. Транзисторы VT2 и VT3 используются в качестве источника тока, коэффициент передачи которого зависит от отношения активных площадей транзисторов VT2 и VT3:

$$B_2 = \frac{S_2}{S_3}.$$

Увеличение входного напряжения сопровождается уменьшением тока коллектора транзистора VT1, при этом коллекторный ток транзистора VT2 растет. Максимальные коллекторные токи $I_{\text{к2маx}}$, $I_{\text{к4маx}}$ соответственно транзисторов VT2, VT4 определяются уравнениями

$$I_{\text{к2маx}} = B_2 I_{\text{к4маx}} \approx \frac{B_2 (U_{\text{ИП}}^+ - U_{\text{ИП}}^-)}{R_{\text{к}}}, \quad I_{\text{к4маx}} \approx \frac{U_{\text{ИП}}^+ - U_{\text{ИП}}^-}{R_{\text{к}}}.$$

Если выходное напряжение равно нулю, то токи покоя транзисторов VT1 и VT2 равны: $I_{к1} = I_{к2} \approx \beta_2 U_{ИП}^+ (R_к)^{-1}$.

Поскольку каскад работает в режиме класса А, потребляемая на холостом ходу мощность довольно велика. Если входное напряжение уменьшается, токи транзисторов VT2 и VT4 также уменьшаются, а ток транзистора VT1 увеличивается. Если транзистор VT4 закрывается, выходной ток определяется выражением

$$I_{к1} = \frac{\beta_1 (U_{ИП}^+ - U_{ВЫХ} - U_{бэ})}{R_к}. \quad (7.66)$$

Из выражения (7.66) следует, что при закрытом транзисторе VT4 выходной ток ограничивается коэффициентом передачи тока базы β_1 транзистора VT1 и сопротивлением резистора $R_к$ в цепи коллектора транзистора VT4.

Высокий к.п.д., симметричный размах $U_{ВЫХ.маx}^- = U_{ВЫХ.маx}^+$ и малые нелинейные искажения выходного напряжения могут быть получены в схеме, в которой используются эмиттерные повторители на комплементарных транзисторах, работающие в режиме АВ (рисунок 7.29).

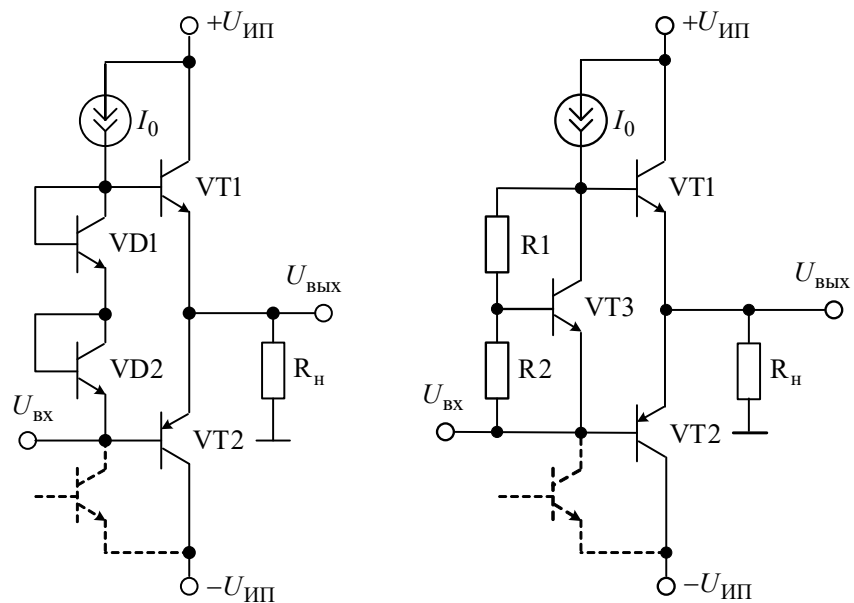


Рисунок 7.29 – Двухтактные выходные каскады на комплементарных парах транзисторов VT1 и VT2, работающие в режиме АВ, с диодной (а) и транзисторной (б) схемами смещения

Токи покоя транзисторов VT1 и VT2 можно задавать при помощи диодов (рисунок 7.29,а) или схемы смещения (рисунок 7.29,б). В двухтактных каскадах на комплементарных парах *n-p-n*- и *p-n-p*-транзисторов передача на выход сигналов отпирающей полярности обеспечивается *n-p-n*-транзистором VT1, а сигналов запирающей полярности – *p-n-p*-транзистором VT2. Под действием напряжения соответствующей полярности один из транзисторов VT1, VT2 открывается и, работая как повторитель напряжения, формирует выходное напряжение.

Чтобы гарантировать отсутствие переходных искажений и одновременно низкий уровень потребления мощности в режиме холостого хода, ток покоя обычно выбирается больше нескольких десятков, но не более нескольких сотен микроампер. Фактическое значение может быть задано путем выбора соотношения активных площадей транзисторов или отношения $R_1(R_2)^{-1}$ сопротивлений резисторов.

В случае синусоидального управляющего напряжения, изменяющегося по закону синусоидальной функции, выходное напряжение $U_{\text{ВЫХ}}(t)$, выходная мощность $P_{\text{ВЫХ}}$ и потребляемая мощность $P|_{U_{\text{ИП}}^+ = U_{\text{ИП}}^-}$ определяются выражениями

$$U_{\text{ВЫХ}}(t) = U_{m \text{ Вых}} \sin(\omega t); \quad P_{\text{ВЫХ}} = \frac{U_{m \text{ Вых}}^2}{2R_{\text{H}}}; \quad (7.67)$$

$$P|_{U_{\text{ИП}}^+ = U_{\text{ИП}}^-} = \frac{4}{\pi} \frac{U_{\text{ИП}}}{U_{m \text{ Вых}}} P_{\text{ВЫХ}}.$$

Коэффициент полезного действия двухтактного выходного каскада на комплементарных парах

$$\eta|_{U_{\text{ИП}}^+ = U_{\text{ИП}}^-} = \frac{P_{\text{ВЫХ}}}{P} = \frac{\pi U_{m \text{ Вых}}}{4U_{\text{ИП}}}, \quad (7.68)$$

откуда следует, что к.п.д. является функцией амплитудного значения $U_{m \text{ Вых}}$ выходного напряжения и теоретически достигает максимального значения 0,768.

Максимальная мощность, выделяемая на транзисторах, определяется выражением

$$P_{\text{VT max}} = P_{\text{ИМС max}} - P_0 = \frac{2}{\pi^2} \frac{U_{\text{ИП}}^2}{R_{\text{H}}}, \quad (7.69)$$

где $P_{\text{ИМС max}}$ – максимально допустимая полная мощность, рассеиваемая ИМС; P_0 – мощность, потребляемая в состоянии покоя.

Минимально допустимое сопротивление нагрузки $R_{\text{н.min}}$ и максимально возможная мощность $P_{\text{вых.max}}$ на выходе определяются выражениями

$$R_{\text{н.min}} = \frac{2U_{\text{ИП}}^2}{\pi^2 (P_{\text{ИМС max}} - P_0)}; \quad (7.70)$$

$$P_{\text{вых.max}} = \left(\frac{\pi U_{\text{мвых}}}{2U_{\text{ИП}}} \right)^2 (P_{\text{ИМС max}} - P_0).$$

В двухтактных каскадах в качестве $p-n-p$ -транзистора используют торцевой транзистор, недостатком которого является низкое значение коэффициента β , что ведет к уменьшению коэффициента усиления выходного каскада для напряжения запирающей полярности. Для увеличения коэффициента β применяют составной транзистор, образующий одно плечо двухтактного выходного каскада. Составной транзистор строят либо на элементарных парах, либо на паре торцевых $p-n-p$ -транзисторов [3].

7.5 Интегральные операционные усилители и их основные свойства

Операционный усилитель (ОУ) представляет собой усилитель постоянного тока с высоким входным и низким выходным сопротивлениями, обеспечивающий большой коэффициент усиления по напряжению.

Известно, что усилители постоянного тока с малым дрейфом и гальваническими связями могут быть построены только с дифференциальными каскадами на входе [3]. Поэтому операционные усилители всегда имеют два входа – инвертирующий «и» и неинвертирующий «н» (рисунок 7.30).

Вследствие использования дифференциального входного каскада ОУ имеет очень большой коэффициент подавления синфазной составляющей сигнала, что позволяет в первом приближении связь между входным и выходным напряжениями представить в виде

$$U_{\text{вых}} = k_U (U_{\text{вх.н}} - U_{\text{вх.и}}), \quad (7.71)$$

где k_U – коэффициент усиления ОУ по напряжению.

Выражение (7.71) означает, что в идеале выходное напряжение операционного усилителя зависит только от дифференциальной составляющей входного напряжения $U_{\text{вх.д}} = U_{\text{вх.н}} - U_{\text{вх.и}}$ и коэффициенты усиления для инвертирующего и неинвертирующего входов равны и противоположны по знаку.

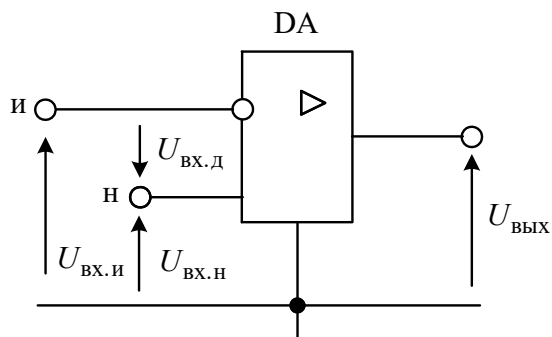


Рис. 7.30 – Условное графическое обозначение интегрального операционного усилителя

Идеальная передаточная характеристика ОУ показана на рисунке 7.31. На ней можно выделить *линейную область* (область усиления), где $U_{\text{вых}} = k_U U_{\text{вх.д}}$, ограниченную сверху и снизу *областями насыщения*, где выходное напряжение не реагирует на изменение дифференциальной составляющей входного напряжения $U_{\text{вх.д}}$.

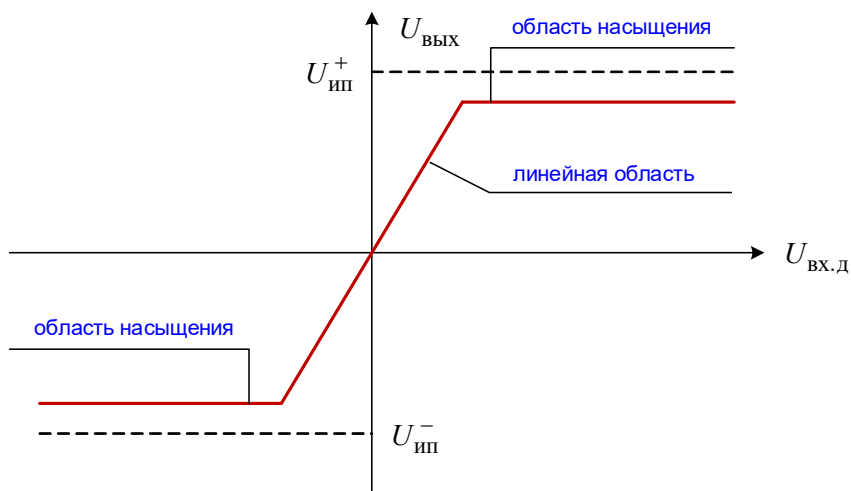


Рисунок 7.31 – Передаточная характеристика операционного усилителя

Поскольку усиление k_U очень велико, особенно на низких частотах, где оно лежит в пределах $k_U = 10^5 - 10^6$, ширина линейной зоны весьма незначительна и может быть определена из выражения

$$\Delta U_{\text{вх.д}} = \frac{U_{\text{ИП}}^+ + |U_{\text{ИП}}^-| - 2}{k_U}.$$

Если напряжение питания ОУ равно ± 10 В, то $\Delta U_{\text{вх.д}} \approx 20 - 200$ мкВ. Следовательно, чтобы напряжение на выходе ОУ было равно усиленному значению напряжения на входе, амплитуда входного напряжения должна быть достаточно малой, как правило, менее 1 мВ. В противном случае ОУ попадает в область насыщения и выходное напряжение не повторяет входное, а форма выходного сигнала сильно искажается.

ОУ обычно охватывают петлей обратной связи, так что часть выходного напряжения подаётся на инвертирующий вход (рисунок 7.32).

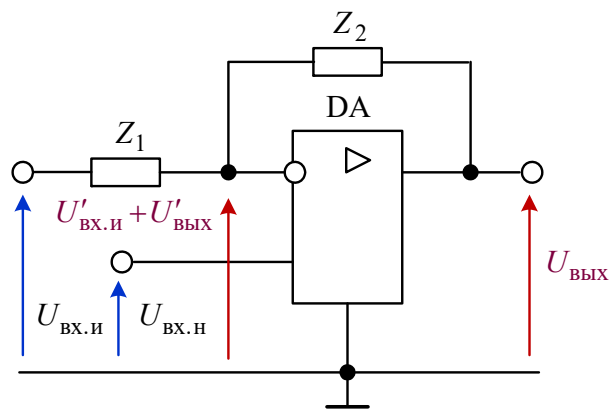


Рисунок 7.32 – Схема включения операционного усилителя с отрицательной обратной связью

При этом выполняются условия реализации *отрицательной обратной связи*. Наличие большого коэффициента усиления прямой передачи позволяет применять глубокую отрицательную обратную связь, что открывает возможности для получения характеристик, определяемых только пассивными элементами цепи обратной связи.

Коэффициент, показывающий, какая часть выходного напряжения возвращается на инвертирующий вход, называют *коэффициентом обратной связи* F . Для схемы на рисунке 7.32 коэффициент обратной связи определяется соотношением

$$F = \frac{U'_{\text{ВЫХ}}}{U_{\text{ВЫХ}}} = \frac{Z_1}{Z_1 + Z_2}. \quad (7.72)$$

Используя основное уравнение $U_{\text{ВЫХ}} = k_U (U_{\text{ВХ.Н}} - U_{\text{ВХ.И}})$ функционирования ОУ и учитывая, что дифференциальная составляющая входного напряжения больше не равна $U_{\text{ВХ.Д}} = U_{\text{ВХ.Н}} - U_{\text{ВХ.И}}$, а подчиняется равенству

$$U_{\text{ВХ.Д}} = U_{\text{ВХ.Н}} - (U'_{\text{ВХ.И}} + U'_{\text{ВЫХ}}) = U_{\text{ВХ.Н}} - U'_{\text{ВХ.И}} - F U_{\text{ВЫХ}},$$

получим

$$U_{\text{ВЫХ}} = \frac{k_U}{1 + F k_U} (U_{\text{ВХ.Н}} - U'_{\text{ВХ.И}}) = k_{U_{\text{ос}}} (U_{\text{ВХ.Н}} - U'_{\text{ВХ.И}}). \quad (7.73)$$

При этом

$$U'_{\text{ВХ.И}} = \frac{Z_2}{Z_1 + Z_2} U_{\text{ВХ.И}}.$$

Из соотношения (7.73) следует, что коэффициент усиления ОУ с отрицательной обратной связью

$$k_{U_{\text{ос}}} = \frac{k_U}{1 + F k_U} \quad (7.74)$$

и меньше коэффициента усиления ОУ без обратной связи. Величину $F k_U$ называют *петлевым усилением*. При большом петлевом усилении, когда $F k_U \gg 1$, коэффициент усиления ОУ с отрицательной обратной связью практически не зависит от коэффициента без обратной связи, а определяется главным образом параметрами петли обратной связи.

Для схемы на рисунке 7.32 $F = \frac{Z_1}{Z_1 + Z_2}$, откуда следует, что

$$k_{U_{\text{ос}}} = \frac{1}{F} = 1 + \frac{Z_2}{Z_1},$$

а значит, $k_{U_{\text{ос}}}$ определяется соотношением сопротивлений Z_1 и Z_2 .

При этом

$$U_{\text{ВЫХ}} = \frac{k_U}{1 + Fk_U} \left(U_{\text{ВХ.Н}} - \frac{Z_2 U_{\text{ВХ.И}}}{Z_1 + Z_2} \right) \Big|_{Fk_U \gg 1} =$$

$$= \left(1 + \frac{Z_2}{Z_1} \right) \left(U_{\text{ВХ.Н}} - \frac{Z_2 U_{\text{ВХ.И}}}{Z_1 + Z_2} \right) = \left(1 + \frac{Z_2}{Z_1} \right) U_{\text{ВХ.Н}} - \frac{Z_2}{Z_1} U_{\text{ВХ.И}}. \quad (7.75)$$

Из выражения (7.75) следует, что входной сигнал $U_{\text{ВХ.Н}}$, который поступает на *неинвертирующий вход* ОУ, передается на выход ОУ с коэффициентом усиления $1 + \frac{Z_2}{Z_1}$, а коэффициент усиления входного сигнала $U_{\text{ВХ.И}}$, во-первых, имеет отрицательный знак, во-вторых, учитывает преобразование делителем напряжения $(Z_1 - Z_2)$ и составляет

$$\frac{Z_2}{Z_1 + Z_2} \left[- \left(1 + \frac{Z_2}{Z_1} \right) \right] = - \frac{Z_2}{Z_1}.$$

При анализе схем включения ОУ с отрицательной обратной связью чаще всего придерживаются следующей последовательности.

- Проводят анализ методом узловых потенциалов, полагая ОУ идеальным с бесконечно большим коэффициентом усиления. Несмотря на то что такой режим практически неосуществим, он является хорошей аппроксимацией реальных ситуаций, поэтому результаты его анализа имеют большую практическую ценность.

- Проводят анализ, полагая ОУ идеальным с конечным коэффициентом усиления.

- Рассматривают особенности работы ОУ при условии, что его характеристики не являются идеальными.

Проведём анализ схемы, представленной на рисунке 7.33. Предположим, что ОУ – идеальный усилитель напряжения и его входы не потребляют ток от источника входных сигналов.

Если предположить, что коэффициент усиления ОУ без обратной связи стремится к бесконечности (*аппроксимация с большим коэффициентом усиления*), то входное напряжение $U_{\text{ВХ.Д}}$ будет стремиться к нулю

$\left(U_{\text{вх.д}} = \frac{U_{\text{вых}}}{k_U} \rightarrow 0 \right)$ при $k_U \rightarrow \infty$, так как выходное напряжение $U_{\text{вых}}$ конечно. Следовательно, в узлах x и y $U_x = U_y = U_1$.

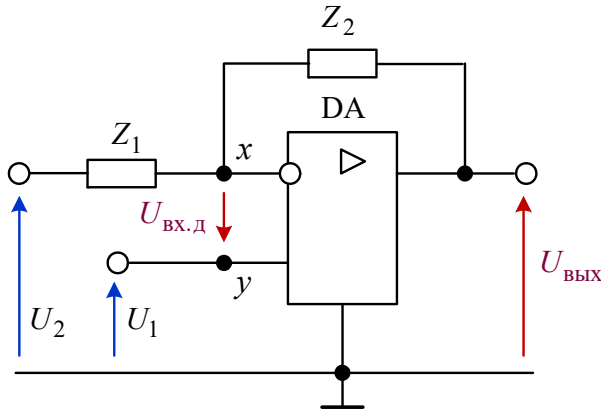


Рисунок 7.33 – Схема включения операционного усилителя для анализа методом узловых потенциалов

Для узла x справедливо уравнение $(U_2 - U_1) \frac{1}{Z_1} = (U_1 - U_{\text{вых}}) \frac{1}{Z_2}$.

Решая это уравнение относительно $U_{\text{вых}}$, получим

$$U_{\text{вых}} = \left(1 + \frac{Z_2}{Z_1} \right) U_1 - \frac{Z_2}{Z_1} U_2. \quad (7.76)$$

Если коэффициент усиления ОУ без обратной связи имеет конечное значение, то $U_{\text{вх.д}} = \frac{U_{\text{вых}}}{k_U}$, $U_x = U_1 - \frac{U_{\text{вых}}}{k_U}$.

Для узла x справедливо уравнение

$$\left(U_2 - U_1 + \frac{U_{\text{вых}}}{k_U} \right) Y_1 = \left(U_1 - \frac{U_{\text{вых}}}{k_U} - U_{\text{вых}} \right) Y_2,$$

где $Y_1 = \frac{1}{Z_1}$ и $Y_2 = \frac{1}{Z_2}$.

Решая это уравнение относительно $U_{\text{вых}}$, получим

$$U_{\text{вых}} = \left[\left(1 + \frac{Z_2}{Z_1} \right) U_1 - \frac{Z_2}{Z_1} U_2 \right] \left[1 + \frac{1}{k_U} \left(1 + \frac{Z_2}{Z_1} \right) \right]^{-1}. \quad (7.77)$$

Анализ выражения (7.77) показывает, что выходное напряжение, а следовательно, и коэффициент усиления ОУ с обратной связью являются функцией коэффициента усиления ОУ без обратной связи. Очевидно также и то, что при достижении коэффициентом усиления ОУ без обратной связи очень больших значений по сравнению с $1 + \frac{Z_2}{Z_1}$ коэффициент

усиления ОУ с обратной связью будет всё меньше зависеть от коэффициента усиления ОУ без обратной связи и всё больше приближаться к значению, которое определено аппроксимацией с бесконечно большим коэффициентом усиления.

Например, если в формуле (7.77) $U_2 = 0$, то

$$U_{\text{вых}} = \left(1 + \frac{Z_2}{Z_1} \right) U_1 \left[1 + \frac{1}{k_U} \left(1 + \frac{Z_2}{Z_1} \right) \right]^{-1},$$

откуда коэффициент усиления ОУ с обратной связью

$$k_{U_{\text{ос}}} = \frac{U_{\text{вых}}}{U_1} = \left(1 + \frac{Z_2}{Z_1} \right) \left[1 + \frac{1}{k_U} \left(1 + \frac{Z_2}{Z_1} \right) \right]^{-1}.$$

По мере приближения коэффициента усиления k_U к бесконечности получим $k_{U_{\text{ос}}}(\infty)$. В данном примере $k_{U_{\text{ос}}}(\infty) = 1 + \frac{Z_2}{Z_1}$ и можно записать

$$k_{U_{\text{ос}}} = k_{U_{\text{ос}}}(\infty) \left[1 + \frac{k_{U_{\text{ос}}}(\infty)}{k_U} \right]^{-1}.$$

Отсюда следует, что при малых значениях k_U , удовлетворяющих условию $k_U \ll k_{U_{\text{ос}}}(\infty)$, $k_{U_{\text{ос}}} \approx k_U$. Если $k_U = k_{U_{\text{ос}}}(\infty)$, то $k_{U_{\text{ос}}} = \frac{1}{2} k_{U_{\text{ос}}}(\infty)$. При $k_U \gg k_{U_{\text{ос}}}(\infty)$ (наиболее часто встречающийся на практике случай) $k_{U_{\text{ос}}}$ будет стремиться к $k_{U_{\text{ос}}}(\infty)$ и можно записать

$$k_{U_{oc}} = \frac{k_{U_{oc}}(\infty)}{1 + \frac{k_{U_{oc}}(\infty)}{k_U}} \approx k_{U_{oc}}(\infty) \left(1 - \frac{k_{U_{oc}}(\infty)}{k_U} \right) \approx k_{U_{oc}}(\infty)(1 + \varepsilon), \quad (7.78)$$

где ε – относительная погрешность усиления, которая определяется как относительное изменение коэффициента усиления с обратной связью при изменении коэффициента усиления ОУ от бесконечно большого до некоторого конечного значения.

Относительная погрешность усиления может быть выражена в виде

$$\varepsilon = \frac{k_{U_{oc}}(\infty) - k_{U_{oc}}}{k_U}. \quad (7.79)$$

В то же время из выражения (7.78) вытекает, что $\varepsilon \approx \frac{k_{U_{oc}}(\infty)}{k_U}$, следовательно, чем больше k_U , тем меньше погрешность усиления ОУ с обратной связью.

Другими словами, коэффициент усиления с обратной связью практически не зависит от изменения коэффициента усиления собственно ОУ, так как значительным изменениям коэффициента усиления без обратной связи соответствуют незначительные изменения коэффициента усиления с обратной связью.

На рисунке 7.34 показана схема неинвертирующего ОУ, напряжение на выходе которой определяется выражением

$$U_{\text{вых}} = k_{U_{oc}} U_1 = \left(1 + \frac{Z_2}{Z_1} \right) U_1. \quad (7.80)$$

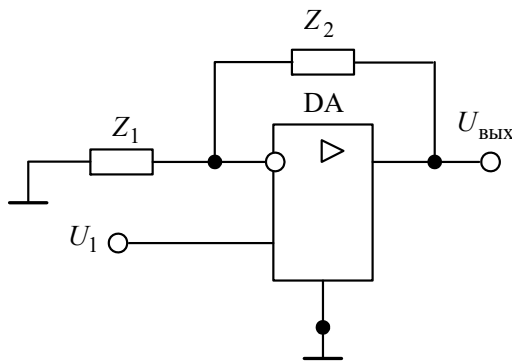


Рисунок 7.34 – Схема неинвертирующего операционного усилителя

На рисунке 7.35 изображены передаточные характеристики ОУ с обратной связью и без неё. Поскольку коэффициент усиления ОУ с обратной связью может быть много меньше коэффициента усиления ОУ без обратной связи, то динамический диапазон входного напряжения для линейного режима ОУ можно значительно расширить по сравнению с ОУ без обратной связи.

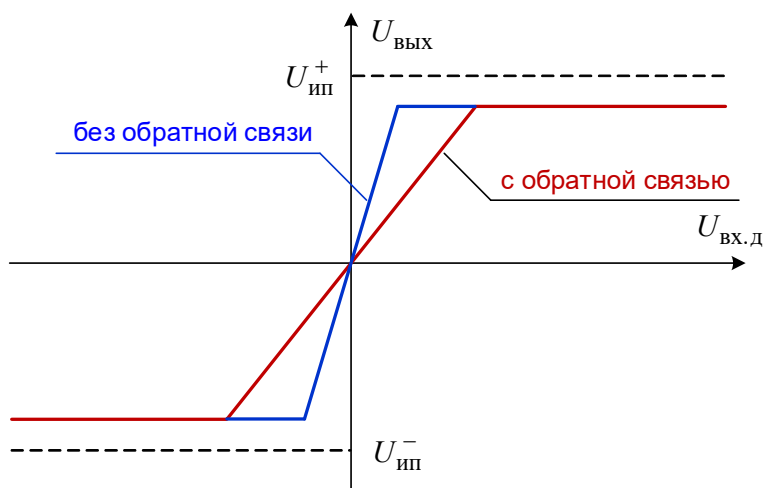


Рисунок 7.35 – Передаточные характеристики операционных усилителей с обратной связью и без обратной связи

Коэффициенты усиления ОУ без обратной связи обычно сильно отличаются друг от друга даже в пределах партии однотипных изделий. Расхождения в значениях k_U между отдельными образцами могут достигать отношения 3:1 и даже 10:1. Коэффициент усиления ОУ без обратной связи сильно зависит от частоты входного сигнала и может меняться от 10^6 на низких частотах (от 0 до 10 Гц) до значений менее единицы на частотах несколько мегагерц. Кроме того, коэффициент усиления зависит от колебаний напряжения питания ОУ и температурных воздействий.

Охват петель отрицательной обратной связи приводит к относительной независимости коэффициента усиления $k_{U_{oc}}$ от k_U . В этих условиях $k_{U_{oc}}$ главным образом зависит от параметров петли. В частности, в рассматриваемом случае $k_{U_{oc}} = 1 + \frac{Z_2}{Z_1}$. Поскольку отношение сопротивлений резисторов можно подобрать равным необходимому значению и

обеспечить условия независимости этого отношения от питающих напряжений, температуры и частоты, использование отрицательной обратной связи позволяет получить не только точно установленное, но и *стабильное значение коэффициента усиления*.

На рисунке 7.36 показана простая схема включения ОУ. Для данной схемы напряжение на выходе $U_{\text{ВЫХ}} = -\frac{Z_2}{Z_1}U_2$, следовательно, это *инвертирующий усилитель* с коэффициентом усиления $k_{U_{\text{ос}}} = -\frac{Z_2}{Z_1}$.

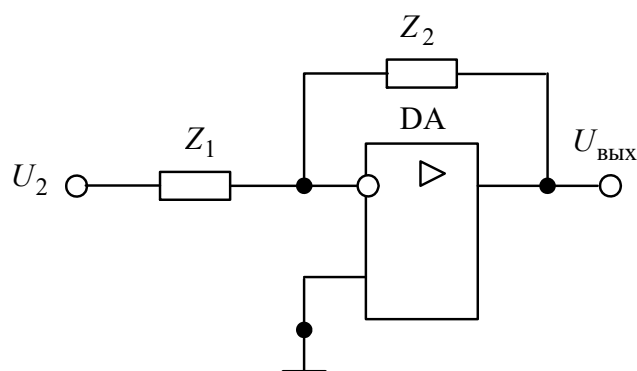


Рисунок 7.36 – Схема инвертирующего операционного усилителя

Усилитель с обратной связью, в котором используется идеальный ОУ, всегда можно свести к двум базовым включениям: *инвертирующий усилитель* и *неинвертирующий усилитель*.

Идеальный ОУ имеет нулевое выходное сопротивление и бесконечную полосу пропускания, коэффициент подавления синфазной составляющей сигнала, коэффициент усиления по напряжению, входные сопротивления для дифференциальной и синфазной составляющих. При отсутствии дифференциальной составляющей входного сигнала выходной сигнал равен нулю, что означает отсутствие в ОУ начальных смещения, дрейфа и шума.

Реальный ОУ не обладает свойствами идеального. Назовем различия между ними.

- Коэффициент усиления реального ОУ конечный, обычно 60–140 дБ, поэтому коэффициент усиления ОУ с обратной связью является функцией коэффициента усиления ОУ без обратной связи.

- Выходное напряжение ОУ ограничено динамическим диапазоном напряжения выходного каскада.

- Выходной ток ОУ ограничен динамическим диапазоном тока выходного каскада, поэтому сопротивление нагрузки не может быть сколь угодно малым, даже если выходное сопротивление ОУ очень мало.

- Коэффициент усиления по напряжению с ростом частоты уменьшается со скоростью, определяемой числом и предельными частотами усилительных каскадов ОУ. Это необходимо учитывать в практике применения ОУ прежде всего потому, что коэффициент усиления усилителя с обратной связью уже не является функцией только сопротивлений элементов цепи обратной связи, а также потому, что фазовые сдвиги, вносимые ОУ и цепью обратной связи, могут складываться таким образом, что усилитель с обратной связью становится динамически неустойчивым. Поэтому необходимо обеспечивать достаточный запас устойчивости посредством выбора соответствующей формы частотной характеристики коэффициента усиления петли (коэффициента обратной связи).

- Приведенные к входу ток и напряжение смещения имеют конечное значение. Суммарное напряжение смещения, которое они определяют при данном сопротивлении источника сигнала, вызывает сдвиг характеристики передачи вдоль оси x на величину входного напряжения смещения.

- Для нормальной работы входного дифференциального каскада необходимо обеспечить входной ток покоя $I_{ВХ} = (I_{ВХ1} + I_{ВХ2})/2$. Протекание токов $I_{ВХ1}$ и $I_{ВХ2}$ через постоянные сопротивления цепей, подключённых к входам ОУ, вызывает пропорциональные падения напряжения. Если сопротивления этих цепей одинаковы, то падения напряжения воспринимаются как синфазная составляющая входного напряжения. Если сопротивления различны, то падения напряжения вызывают дополнительное напряжение смещения.

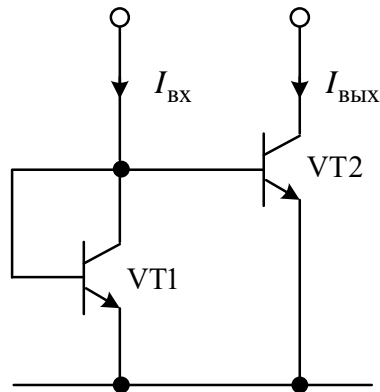
- Входное и выходное сопротивления имеют конечные значения, которые необходимо учитывать при определении коэффициента усиления по напряжению усилителя с обратной связью.

- Коэффициент подавления синфазной составляющей имеет конечное значение, поэтому выходное напряжение зависит как от дифференциальной, так и от синфазной составляющей входного напряжения.

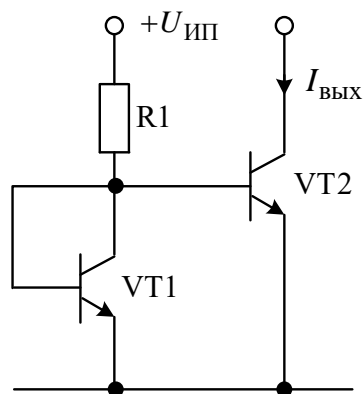
- Выходное напряжение ОУ наряду с усиленным входным напряжением содержит напряжение шума.

Контрольные вопросы

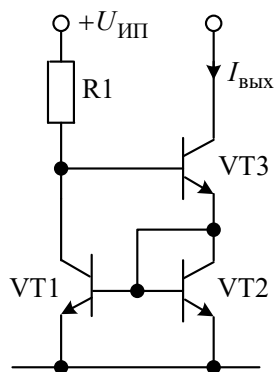
1. Определите выходной ток интегрального источника тока, управляемого током, если задающий ток $I_{ВХ} = 1 \text{ мА}$, а коэффициент передачи тока базы транзисторов $\beta = 30$.



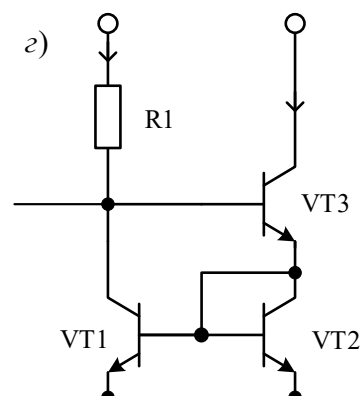
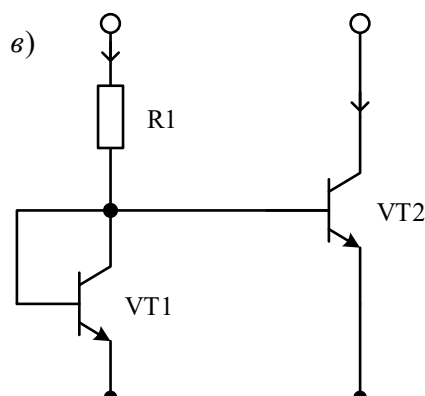
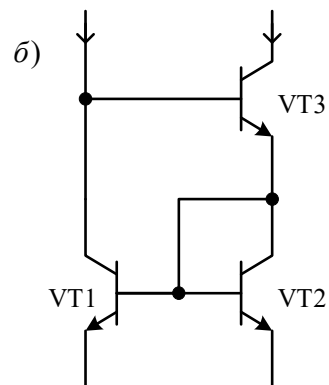
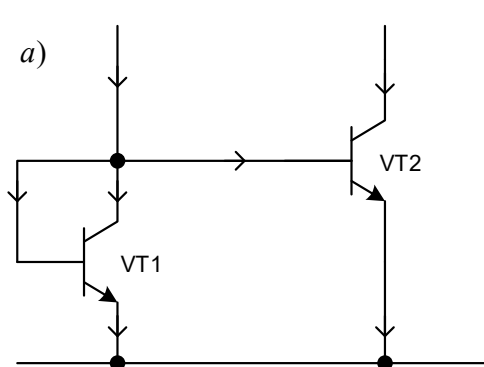
2. Определите сопротивление резистора, обеспечивающее выходной ток источника тока $I_{ВЫХ} = 1 \text{ мА}$, если коэффициент передачи тока базы транзисторов $\beta = 30$, напряжение источника питания $U_{ИП} = 15 \text{ В}$, а напряжение на прямосмещенном эмиттерном переходе $U_{0,7} = 0,7 \text{ В}$.



3. Определите максимально допустимое значение выходного тока, если коэффициент передачи тока базы транзисторов $\beta = 30$, напряжение источника питания $U_{ИП} = 15 \text{ В}$, напряжение на прямосмещенном эмиттерном переходе $U_{0,7} = 0,7 \text{ В}$, а максимально допустимое значение сопротивления резистора ограничено величиной $R_{1\text{max}} = 50 \text{ кОм}$.



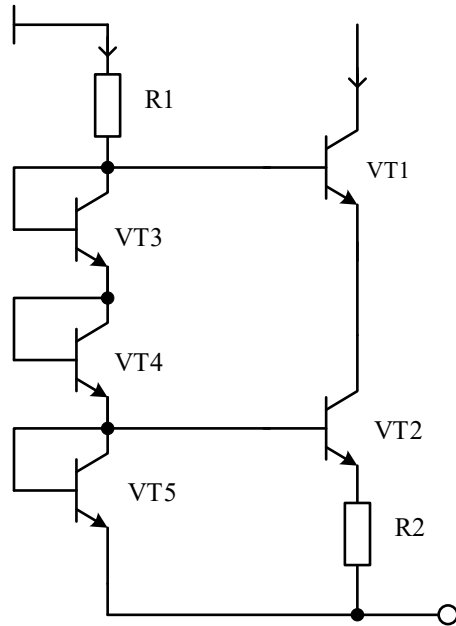
4. Представлены схемы интегральных источников тока. Укажите токовое зеркало Уилсона.



5. Представлена схема одного из функциональных узлов аналоговой ИМС. Укажите функциональное назначение схемы:

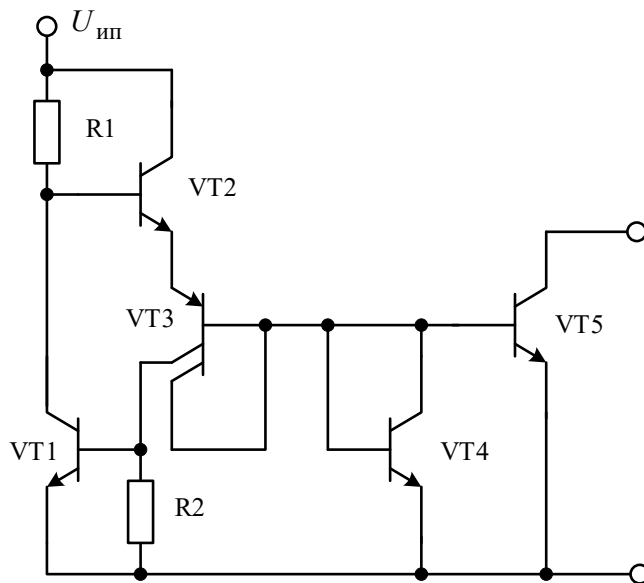
- а) интегральный источник постоянного тока;
- б) интегральный источник постоянного напряжения;
- в) каскад сдвига потенциального уровня;

г) выходной каскад интегрального усилителя.



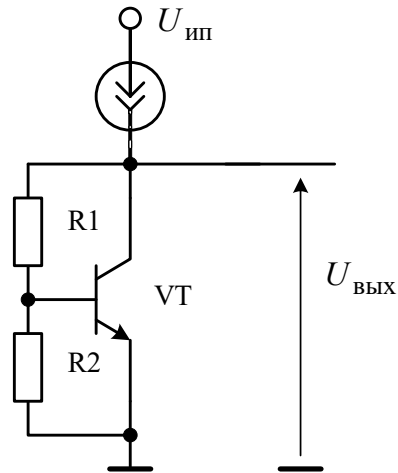
6. Представлена схема одного из функциональных узлов аналоговой ИМС. Укажите функциональное назначение схемы:

- а) интегральный источник постоянного тока;
- б) интегральный источник постоянного напряжения;
- в) каскад сдвига потенциального уровня;
- г) выходной каскад интегрального усилителя.



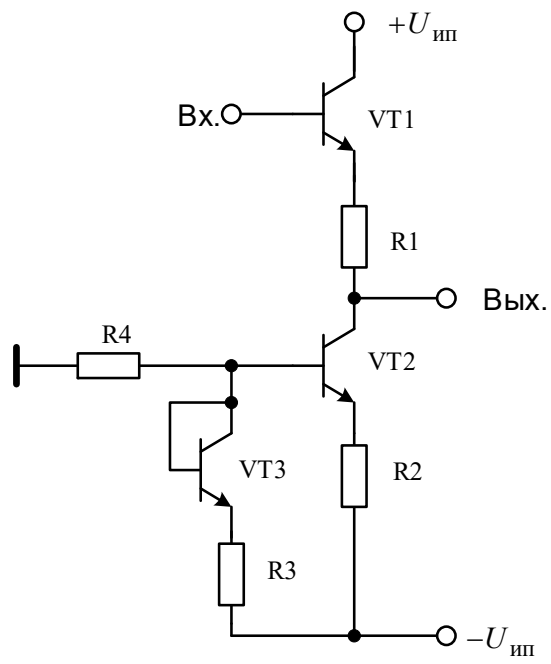
7. Представлена схема одного из функциональных узлов аналоговой ИМС. Укажите функциональное назначение схемы:

- а) интегральный источник постоянного тока;
- б) интегральный источник постоянного напряжения;
- в) каскад сдвига потенциального уровня;
- г) выходной каскад интегрального усилителя.



8. Представлена схема одного из функциональных узлов аналоговой ИМС. Укажите функциональное назначение схемы:

- а) интегральный источник постоянного тока;
- б) интегральный источник постоянного напряжения;
- в) каскад сдвига потенциального уровня;
- г) выходной каскад интегрального усилителя.



8 ЦИФРОАНАЛОГОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

8.1 Параметры и характеристики преобразователей

Особенности построения и функционирования цифроаналоговых преобразователей (ЦАП) и аналого-цифровых преобразователей (АЦП) отражают несколько десятков электрических параметров, которые регламентируются нормативно-технической документацией, например ГОСТ 24736-81 «Преобразователи интегральные цифроаналоговые и аналого-цифровые. Основные параметры».

Число разрядов N – максимальное число кодовых комбинаций на входе цифроаналоговых или аналого-цифровых преобразователей.

Младший значащий разряд (LSB, Least Significant Bit) – минимальное входное напряжение, разрешаемое АЦП.

Разрешающая способность – приращение входного напряжения АЦП при изменении выходного кода на 1 LSB.

Частота дискретизации – частота, с которой производится аналого-цифровое преобразование сигнала.

Время преобразования – интервал времени от момента изменения сигнала на входе аналого-цифровых преобразователей до появления на выходе соответствующего устойчивого кода.

Ошибка смещения – отклонение фактической передаточной характеристики АЦП от передаточной характеристики идеального АЦП в начальной точке шкалы. Измеряется в долях LSB. При ошибке смещения переход выходного кода от ...0000 до ...0001 происходит при входном напряжении, отличном от 0,5 LSB.

Дифференциальная нелинейность (DNL, Differential nonlinearity) – максимальное отклонение разности двух аналоговых сигналов, соответствующих последовательной смене кодов, от значения, соответствующего единице младшего значащего разряда. Дифференциальная нелинейность цифроаналоговых и аналого-цифровых преобразователей должна выбираться из ряда: 1/16; 1/8; 1/4; 1/2; 3/4; 1 младшего значащего разряда.

Интегральная нелинейность (INL, Integral nonlinearity) – разница по вертикали между реальной передаточной характеристикой и идеальной. Отрицательная INL указывает на то, что реальная характеристика находится ниже идеальной в данной точке шкалы. Для положительной INL реальная характеристика находится выше идеальной.

Время установления по току (время установления по напряжению) – интервал времени от момента заданного изменения кода или аналогового сигнала на входах преобразователя до момента, при котором выходной аналоговый сигнал преобразователя окончательно войдет в зону установившегося состояния, соответствующего $1/2$ младшего значащего разряда.

8.2 Цифроаналоговые преобразователи на базе двоично-взвешенных резисторов

Аналоговые устройства обработки сигналов занимают важное место в промышленной электронике, так как большинство первичных преобразователей физических величин, например датчики температуры или давления, являются источниками аналоговых сигналов. Однако обработку и хранение информации удобнее производить в цифровой форме. По этой причине основу сложных систем управления составляют цифровые вычислительные комплексы, которые обеспечивают сопряжение с объектом управления, например электрическим двигателем постоянного тока, с помощью аналого-цифровых и цифроаналоговых преобразователей. Все это стимулирует ежегодное появление в мире многих десятков новых моделей цифроаналоговых и аналого-цифровых интегральных микросхем.

Цифроаналоговый преобразователь – интегральная схема, преобразующая входной цифровой код в выходное аналоговое напряжение (ток), которое (который) является двоично-взвешенным эквивалентом входного цифрового кода.

Схемотехника цифроаналоговых преобразователей достаточно широкая. На рисунке 8.1 представлена общая классификация ЦАП по способам преобразования входного кода и схемам формирования выходного напряжения (тока). Способ преобразования входного цифрового кода в аналоговый сигнал большинства схем параллельных ЦАП основан на суммировании токов, сила каждого из которых пропорциональна весу разряда входного кода уровня логической «1». Простым примером такого ЦАП может служить N -разрядный ЦАП на базе двоично-взвешенных резисторов.

ЦАП на основе двоично-взвешенных резисторов состоит из матрицы $R, 2R, \dots, R^{N-2}, R^{N-1}$ двоично-взвешенных резисторов, N аналоговых ключей $S_0, S_1, \dots, S_{N-2}, S_{N-1}$ на каждый разряд, управляемых цифровыми сигналами, источника опорного напряжения U_{REF} и суммирующего элемента на базе операционного усилителя DA (рисунок 8.2).

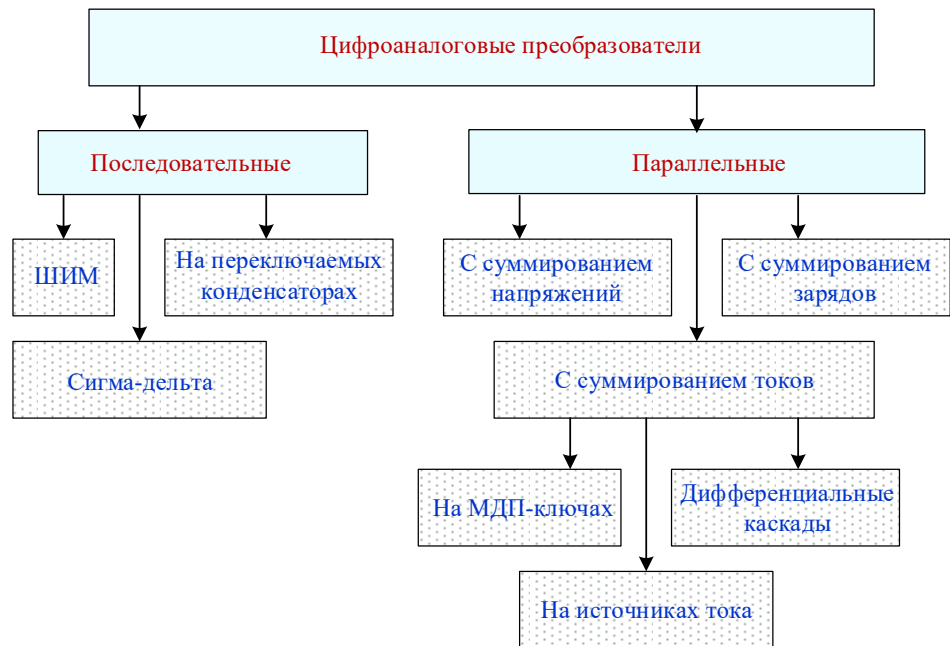


Рисунок 8.1 – Обобщенная классификация цифроаналоговых преобразователей

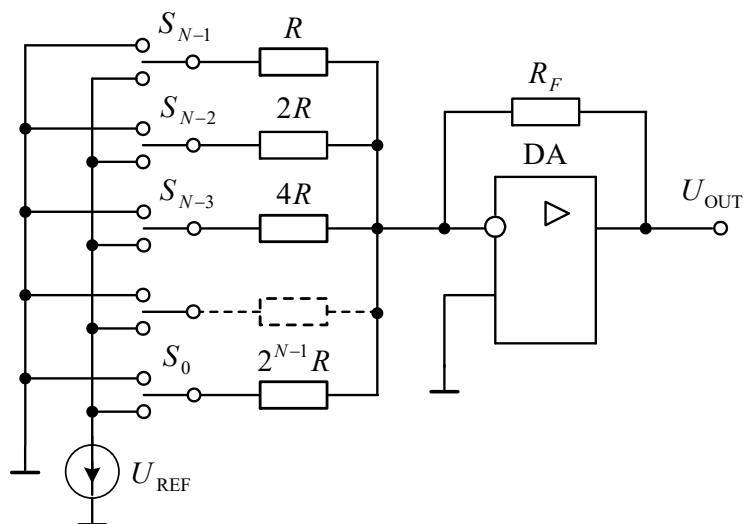


Рисунок 8.2 – N -разрядный цифроаналоговый преобразователь на базе двоично-взвешенных резисторов

Сопротивления резисторов выбирают так, чтобы при замкнутых ключах через них протекал ток, соответствующий весу разряда входного

двоичного кода $2^{N-1}2^{N-2}\dots2^12^0$. При этом ключ должен быть замкнут тогда, когда соответствующий ему бит входного кода равен логической «1». Выходное напряжение в этом случае определяется выражением

$$U_{\text{OUT}} = R_F \left(\frac{b_0 U_{\text{REF}}}{R} + \frac{b_2 U_{\text{REF}}}{2R} + \frac{b_3 U_{\text{REF}}}{4R} + \dots + \frac{b_{N-1} U_{\text{REF}}}{2^{N-1} R} \right) =$$

$$= 2 \frac{R_F}{R} U_{\text{REF}} \left(\frac{b_0}{2} + \frac{b_2}{4} + \frac{b_3}{8} + \dots + \frac{b_{N-1}}{2^{N-1}} \right),$$

где b_0 – старший значащий разряд (MSB); b_{N-1} – младший значащий разряд (LSB).

Выходное напряжение, соответствующее входному коду (...0001), записывается в виде

$$U_{\text{OUT(LSB)}} = 2 \frac{R_F}{R} U_{\text{REF}} \frac{2}{2^N} = \frac{R_F}{R} U_{\text{REF}} \frac{2}{2^{N-1}}.$$

Выходное напряжение, соответствующее входному коду (1000...), определяется выражением

$$U_{\text{OUT(MSB)}} = U_{\text{OUT(LSB)}} 2^{N-1}.$$

Максимальное напряжение на выходе ЦАП при формировании двоичного кода (1111...) на аналоговых ключах рассчитывается по формуле

$$U_{\text{OUT(max)}} = 2U_{\text{OUT(MSB)}} - U_{\text{OUT(LSB)}} =$$

$$= (2^{N-1} - 1)U_{\text{OUT(LSB)}} = 2U_{\text{OUT(MSB)}} \left(1 - \frac{1}{2^N} \right).$$

Номинальное выходное напряжение полной разрядной сетки определяется выражением

$$U_{\text{OUT(FS)}} = 2U_{\text{OUT(MSB)}} = 2^N U_{\text{OUT(LSB)}}, \quad (8.1)$$

таким образом, оно больше максимального выходного напряжения ЦАП на величину $U_{\text{OUT(LSB)}}$.

Во многих ИМС ЦАП выходное напряжение полной разрядной сетки устанавливается равным 10,000 В. Тогда, например, в четырехразрядном ($N = 4$) ЦАП выходное напряжение, соответствующее входному

двоичному коду (0001), составит $U_{\text{OUT(LSB)}} = \frac{10,000}{2^N} = \frac{10,000}{2^4} = 0,625$ В,

а выходное напряжение, соответствующее входному двоичному коду (1000), будет $U_{\text{OUT(MSB)}} = \frac{10,000}{2^N} = \frac{10,000}{2^1} = 5,000$ В. Выходное напряжение при входном двоичном коде (1111) принимает значение $U_{\text{OUT(max)}} = U_{\text{OUT(FS)}} - U_{\text{OUT(LSB)}} = 10,00 - 0,625 = 9,375$ В.

На рисунке 8.3 показана идеальная передаточная характеристика 4-разрядного ЦАП. Для такого идеального ЦАП огибающая передаточной характеристики – прямая линия, проходящая через начало координат и точку $U_{\text{OUT(max)}} = 9,375$ В.

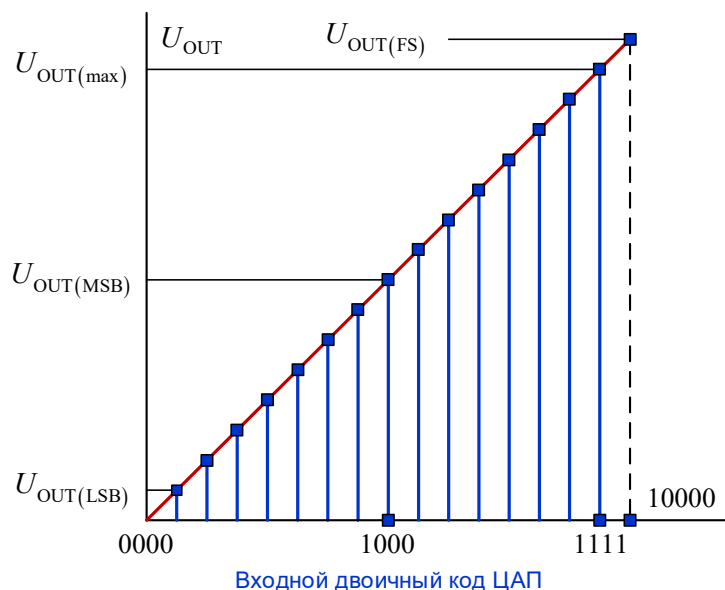


Рисунок 8.3 – Передаточная характеристика идеального 4-разрядного цифроаналогового преобразователя

При высокой разрядности ЦАП сопротивления резисторов $R, 2R, \dots, R^{N-2}, R^{N-1}$ должны быть согласованы с высокой точностью. Наиболее жесткие требования по точности предъявляются к резисторам старших разрядов. Поскольку разброс весовых токов не должен превышать доли тока младшего разряда (LSB), то погрешность сопротивления в i -м разряде должна удовлетворять условию $\frac{\Delta R}{R} < 2^{-N}$. Из этого условия следует, что относительная погрешность сопротивления резисторов должна снижаться по мере роста разрядности ЦАП. Например, в старшем

разряде (MSB) относительная погрешность сопротивлений резисторов 4-разрядного ЦАП не должна превышать 6%, а в старшем разряде 10-разрядного ЦАП – 0,1%. Кроме того, сопротивления матрицы двоично-взвешенных резисторов отличаются в $\frac{2^{N-1}R}{R} = 2^{N-1}$ раз, что делает

весьма затруднительной реализацию этих резисторов в полупроводниковых ИМС независимо от технологии изготовления. В связи с этим при построении многоразрядных ЦАП с двоично-взвешенными резисторами используют их одинаковые тетрады $2^{N-1}R \Big|_{N=1,2,3,4} = R - 2R - 4R - 8R$ с

последующим весовым согласованием. Согласование заключается в том, что между тетрадами резисторов располагается токовый делитель, составленный из двух резисторов, который обеспечивает коэффициент деления между тетрадами, равный 16 для ЦАП с входным двоичным кодом, и коэффициент деления 10 для входного двоично-десятичного кода ЦАП (рисунок 8.4).

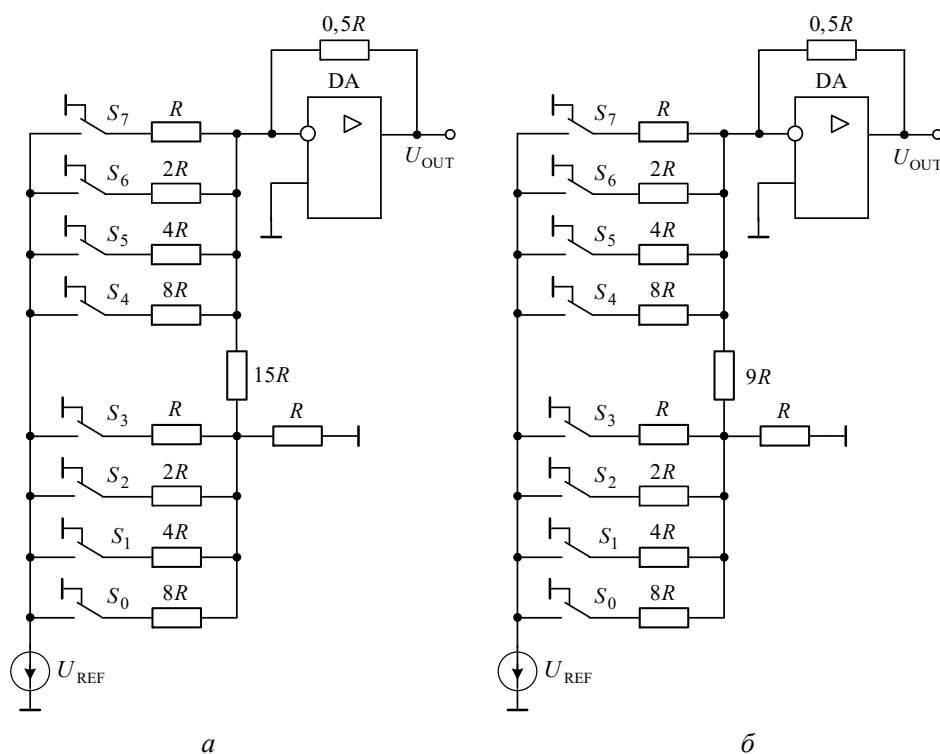


Рисунок 8.4 – Многоразрядные двоичные (а) и двоично-десятичные (б) цифроаналоговые преобразователи на базе двоично-взвешенных резистивных матриц

8.3 Цифроаналоговые преобразователи на базе резисторной матрицы типа $R-2R$

Недостатки ЦАП на базе матрицы двоично-взвешенных резисторов во многом устранены в цифроаналоговых преобразователях, в которых задание весовых коэффициентов их ступеней осуществляется посредством последовательного деления опорного напряжения U_{REF} с помощью резисторной матрицы постоянного импеданса – матрицы $R-2R$ (рисунки 8.5).

Характерной особенностью резисторной матрицы $R-2R$ является то, что ее выходное сопротивление не зависит от количества звеньев и равно $2R$. В результате токи, коммутируемые соседними ключами, различаются вдвое, как и веса двоичного кода, а выходной ток резисторной матрицы определяется выражением

$$I_{OUT} = \frac{U_{REF}}{2R} b_{N-1} + \dots + \frac{U_{REF}}{2^{N-3}R} b_3 + \frac{U_{REF}}{2^{N-2}R} b_2 + \frac{U_{REF}}{2^{N-1}R} b_1 + \frac{U_{REF}}{2^N R} b_0 = \\ = \frac{U_{REF}}{2^N R} \sum_{i=0}^{N-1} b_i 2^i.$$

Токи, коммутируемые всеми ключами, суммируются и преобразуются в выходное напряжение U_{OUT} с помощью суммирующего элемента на базе операционного усилителя ДА, на выходе которого формируется напряжение

$$U_{OUT} = -R_F I_{OUT} = -U_{REF} \frac{R_F}{2^N R} \sum_{i=0}^{N-1} b_i 2^i.$$

Резисторные матрицы $R-2R$, в отличие от матриц двоично-взвешенных резисторов, не требуют широкого диапазона сопротивлений резисторов, занимают меньшую площадь на поверхности кристалла, позволяют до минимума снизить паразитные емкости и индуктивности резисторов, что особенно важно для быстродействующих ИМС ЦАП. Однако ЦАП с матрицей $R-2R$ имеют также недостатки, наиболее существенный из которых влияние нестабильности сопротивления ключей в замкнутом состоянии на точность преобразования.

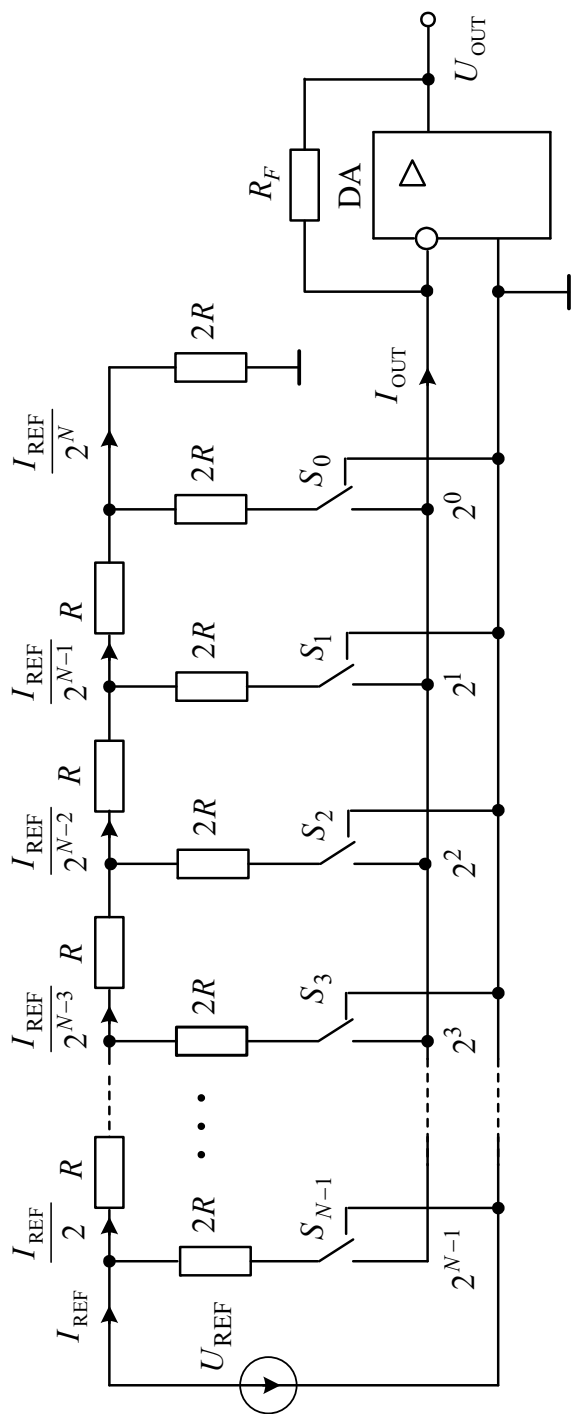


Рисунок 8.5 – N -разрядный цифроаналоговый преобразователь с матрицей $R-2R$

8.4 Аналого-цифровые преобразователи последовательного приближения

Возможность непосредственного преобразования различных физических величин в цифровую форму не исключена и эту задачу удастся решить, но из-за сложности таких преобразователей в редких случаях. Поэтому наиболее рациональным признается способ, когда различные физические величины сначала преобразуют в ток или напряжение, изменяющиеся по закону непрерывной функции, с амплитудой, пропорциональной измеряемой физической величине, а затем с помощью аналого-цифровых преобразователей их переводят в цифровую форму с последующей передачей в цифровые вычислительные комплексы.

Аналого-цифровые преобразователи переводят аналоговое входное напряжение в выходной двоичный цифровой код, соответствующий квантованному аналоговому входному напряжению. Можно дать и другое определение АЦП. Аналого-цифровой преобразователь – микроэлектронное устройство, которое принимает входные аналоговые сигналы и генерирует соответствующие им цифровые коды, пригодные для обработки микропроцессорами и другими цифровыми микроэлектронными устройствами.

Процедура преобразования аналогового сигнала представляет собой превращение непрерывной во времени функции $U(t)$ в последовательность цифровых кодов чисел $\{U^*(t_j)\}, j = 0, 1, 2, \dots$, отнесенных к некоторым фиксированным моментам времени и соответствующих значению непрерывной функции в эти моменты времени. Процедура преобразования аналогового сигнала осуществляется в два этапа, первый из которых называется *дискретизацией во времени*, а второй – *квантованием по уровню*. Дискретизация во времени состоит в преобразовании непрерывной во времени функции $U(t)$ в последовательность выборок $U(t_j)$ – замеров значений функции $U(t)$ в моменты времени t_j . Квантование по уровню заключается в преобразовании выборок $U(t_j)$ в последовательность $U^*(t_j)$ цифровых кодов, соответствующих значениям выборок $U(t_j)$.

В настоящее время известно большое число методов преобразования напряжение-код. Эти методы существенно отличаются друг от друга

потенциальной точностью, скоростью преобразования и сложностью аппаратной реализации. На рисунке 8.6 представлена классификация АЦП по методам преобразования.



Рисунок 8.6 – Классификация аналого-цифровых преобразователей

В основу классификации АЦП положен признак, указывающий на процесс преобразования аналоговой величины в цифровую. Для преобразования выборочных значений сигнала в цифровые эквиваленты используются операции квантования и кодирования. Они могут осуществляться с помощью либо последовательной, либо параллельной, либо последовательно-параллельной процедуры приближения цифрового эквивалента к преобразуемой величине.

На рисунке 8.7,*a* показана передаточная характеристика АЦП. Выходной цифровой код АЦП может принимать только определенные дискретные значения, что неизбежно ведет к *ошибкам квантования*.

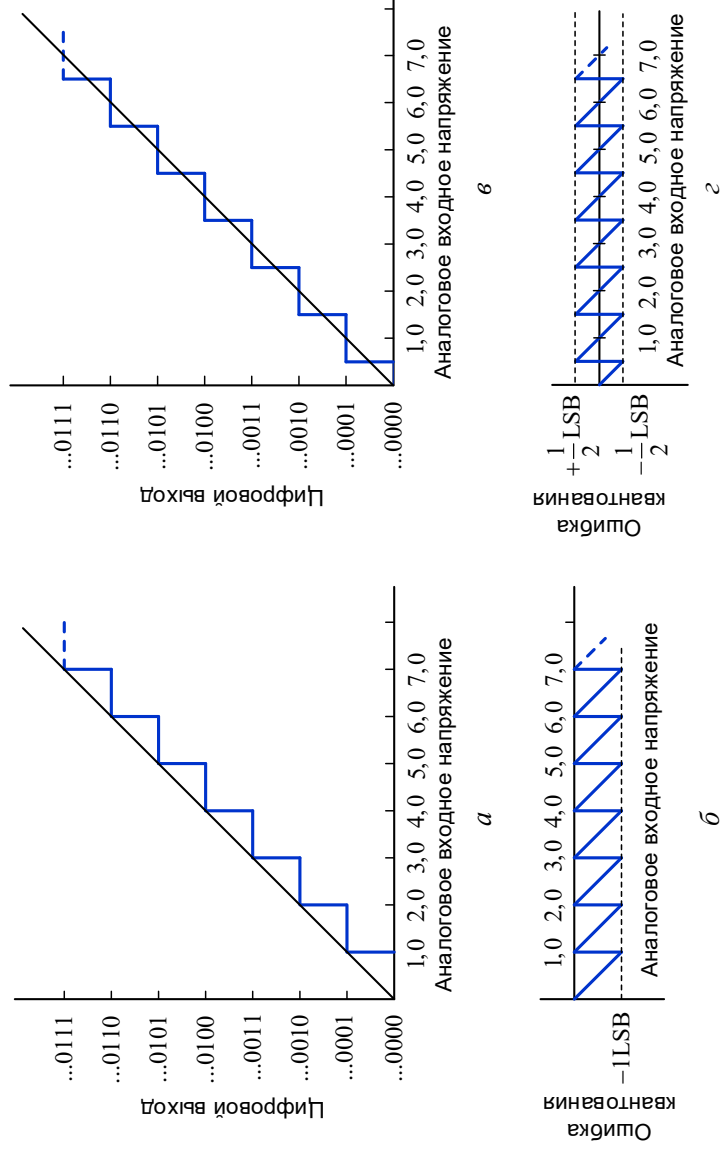


Рисунок 8.7 – Передаточная характеристика (а), ошибка квантования (б), передаточная характеристика при смещении аналогового входного напряжения на 0,5 LSB (в), ошибка квантования при смещении аналогового входного напряжения на 0,5 LSB (г) аналого-цифрового преобразователя

Ошибка квантования определяется как разность между аналоговым напряжением, которое соответствует цифровому входному коду, и реальным входным аналоговым напряжением. На рисунке 8.7,б представлен график ошибки квантования, соответствующий передаточной характеристике, изображенной на рисунке 8.7,а. Следует отметить, что максимальная ошибка квантования равна цене младшего разряда цифрового кода (1 LSB).

Максимальная ошибка квантования может быть уменьшена до $\pm 0,5\text{LSB}$ при дополнительном смещении входного аналогового напряжения на $-0,5\text{LSB}$ или опорного напряжения, с которым сравнивается аналоговое входное напряжение, на $+0,5\text{LSB}$. Передаточная характеристика, полученная при смещении входного аналогового напряжения на $+0,5\text{LSB}$, показана на рисунке 8.7, в, а соответствующее распределение ошибки квантования – на рисунке 8.7, г. В этом случае максимальная ошибка квантования, равная $\pm 0,5\text{LSB}$, присутствует в каждом поддиапазоне входного напряжения.

Рассмотрим влияние сдвига $+0,5\text{LSB}$ на ошибку квантования на примере 3-разрядного АЦП. Предположим, что напряжение, соответствующее кванту младшего разряда, равно 1,0 В, а входное напряжение полной разрядной сетки составляет 8 В. Без сдвига на $+0,5\text{LSB}$ опорные напряжения семи компараторов напряжения равны 1,0; 2,0; 3,0; 4,0; 5,0; 6,0; 7,0 В. Тогда передаточная характеристика 3-разрядного АЦП будет определяться таблицей 8.1.

Таблица 8.1 – Передаточная характеристика 3-разрядного аналого-цифрового преобразователя без сдвига опорного напряжения

Входное напряжение	Выходной код $b_2 b_1 b_0$	Аналоговый эквивалент выходного кода
$0 < U_{\text{IN}} < 1,0$	000	0,0
$1,0 < U_{\text{IN}} < 2,0$	001	1,0
$2,0 < U_{\text{IN}} < 3,0$	010	2,0
$3,0 < U_{\text{IN}} < 4,0$	011	3,0
$4,0 < U_{\text{IN}} < 5,0$	100	4,0
$5,0 < U_{\text{IN}} < 6,0$	101	5,0
$6,0 < U_{\text{IN}} < 7,0$	110	6,0
$7,0 < U_{\text{IN}} < 8,0$	111	7,0

Максимальный цифровой выходной код АЦП равен 111, а ошибка квантования в каждом поддиапазоне входного напряжения составляет $+1\text{LSB}=1,0\text{ В}$. Если опорные напряжения уменьшить на $+0,5\text{LSB}$, то передаточная характеристика 3-разрядного АЦП будет определяться таблицей 8.2.

Максимальная ошибка квантования в каждом поддиапазоне входного напряжения составит $0,5\text{LSB}=0,5\text{ В}$.

Таблица 8.2 – Передаточная характеристика 3-разрядного аналого-цифрового преобразователя при сдвиге опорного напряжения на $+0,5\text{LSB}$

Входное напряжение	Выходной код $b_2 b_1 b_0$	Аналоговый эквивалент выходного кода
$0 < U_{\text{IN}} < 0,5$	000	0,0
$0,5 < U_{\text{IN}} < 1,5$	001	1,0
$1,5 < U_{\text{IN}} < 2,5$	010	2,0
$2,5 < U_{\text{IN}} < 3,5$	011	3,0
$3,5 < U_{\text{IN}} < 4,5$	100	4,0
$4,5 < U_{\text{IN}} < 5,5$	101	5,0
$5,5 < U_{\text{IN}} < 6,5$	110	6,0
$6,5 < U_{\text{IN}} < 7,5$	111	7,0

АЦП последовательных приближений является наиболее распространенным вариантом последовательных АЦП, поскольку обеспечивает высокую точность и скорость преобразования. Другое название АЦП последовательного приближения – *АЦП поразрядного уравнивания* [2].

На рисунке 8.8 представлена обобщенная структурная схема АЦП последовательного приближения. В N -разрядном АЦП регистр RG последовательного приближения состоит из N триггеров, которые поочередно устанавливаются в единичное состояние ($b = 1$), а их выходы являются цифровыми входами ЦАП. Выходное напряжение ЦАП сравнивается с аналоговым входным напряжением U_{IN} .

Первым в единичное состояние устанавливается триггер старшего разряда, так что сначала аналоговое входное напряжение U_{IN} сравнивается с выходным напряжением ЦАП, которое соответствует напряжению

старшего значащего разряда $U_{\text{OUT(MSB)}} = \frac{U_{\text{OUT(FS)}}}{2}$, где $U_{\text{OUT(FS)}}$ – номинальное выходное напряжение полной разрядной сетки.

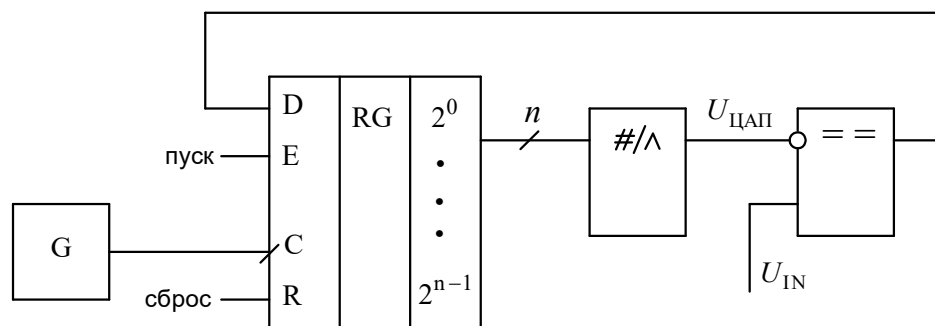


Рисунок 8.8 – Структурная схема аналого-цифрового преобразователя последовательного приближения

Если аналоговое входное напряжение больше $U_{\text{OUT(MSB)}}$, то триггер старшего разряда остается в единичном состоянии ($b_1=1$) в течение всего последующего цикла преобразования. Если же аналоговое входное напряжение меньше $U_{\text{OUT(MSB)}}$, то триггер старшего разряда устанавливается в состояние логического «0» ($b_1=0$) и остается в этом состоянии до конца цикла преобразования.

Затем в единичное состояние устанавливается следующий триггер, при этом выходное напряжение ЦАП равно $U_{\text{OUT(FS)}} \left(\frac{b_1}{2} + \frac{b_2}{4} \right)$, причем $b_2=1$. Если это напряжение меньше аналогового входного напряжения U_{IN} , то второй разряд остается равным логической «1» ($b_2=1$). Если же это напряжение больше аналогового, то второй разряд устанавливается в состояние «0» ($b_2=0$). Этот процесс повторяется для всех триггеров до полного завершения цикла преобразования, то есть N раз. В каждом случае если аналоговое входное напряжение больше напряжения ЦАП, то очередной триггер сохраняет свое текущее состояние. Если аналоговое входное напряжение меньше напряжения ЦАП, то триггер, который последним был установлен в состояние «1» ($b=1$), устанавливается в «0» ($b=0$).

Таким образом осуществляется последовательное приближение напряжения АЦП и, следовательно, соответствующих цифровых кодов к аналоговому входному напряжению, при этом производится проверка каждого разряда, начиная со старшего в начале цикла преобразования и заканчивая младшим в конце цикла преобразования.

Для примера рассмотрим 10-разрядный АЦП последовательного приближения с номинальным выходным напряжением полной разрядной сетки $U_{OUT(FS)}=10,24$ В, напряжением $U_{OUT(LSB)}=10$ мВ и смещением выходного напряжения на $+0,5LSB$ для сведения ошибки квантования к минимуму.

Для аналогового входного напряжения $U_{IN}=7,500$ В значения выходных кодов регистра последовательных приближений и соответствующих выходных напряжений ЦАП приведены в таблице 8.3.

Таблица 8.3 – Цифроаналоговый преобразователь последовательных приближений

Номер синхроимпульса	Состояние триггеров регистра $b_1(MSB) \cdots b_N(LSB)$	Выходное напряжение ЦАП (смещение на $+0,5LSB$), В
1	100000000	5,125
2	110000000	7,685 (сброс $b_2, b_2=0$)
3	101000000	6,405
4	101100000	7,045
5	101110000	7,365
6	101111000	7,525 (сброс $b_6, b_6=0$)
7	101110100	7,445
8	101110110	7,485
9	101110111	7,525 (сброс $b_9, b_9=0$)
10	1011101101	7,495

Через 10 тактов цикл преобразования завершается, при этом окончательное состояние триггеров регистра последовательных приближений 1011101101, что соответствует выходному напряжению ЦАП $U_{OUT}=7,495$ В. Результирующая ошибка квантования 5 мВ, или 0,5 LSB.

При аналоговом входном напряжении менее 5 мВ выходной код равен 000000000, а выходное напряжение ЦАП (с учетом смещения на 0,5 LSB) составляет 5 мВ. При входном аналоговом напряжении от 5

до 15 мВ значение выходного кода 0000000001. Максимальное выходное напряжение ЦАП (с учетом смещения на 0,5 LSB), соответствующее цифровому выходному коду 111111111, равно $U_{\text{OUT}(\text{max})} = 10,24 - 10 \cdot 10^{-3} + 5 \cdot 10^{-3} = 10,235$ В. Максимальное аналоговое входное напряжение, которое может быть преобразовано с ошибкой квантования, не превышающей 0,5 LSB (5 мВ), равно 10,240 В, что соответствует выходному напряжению полной разрядной сетки ЦАП.

Общее время преобразования N -разрядного АЦП последовательных приближений примерно равно $(N+2)T_c$, где T_c – период тактовых импульсов.

8.5 Параллельный аналого-цифровой преобразователь

АЦП параллельного действия предназначены для преобразования быстроизменяющихся аналоговых сигналов. N -разрядный АЦП этого типа содержит $2^N - 1$ быстродействующих компараторов, 2^N согласованных резисторов, приоритетный шифратор PRCD, преобразующий выходные сигналы компараторов в двоичный цифровой код, и N синхронных D-триггеров, обеспечивающих хранение двоичного кода в промежутках времени между двумя соседними отсчетами. Число компараторов, необходимое для реализации N -разрядного АЦП параллельного действия, очень быстро растет с увеличением разрядности АЦП и по этой причине создание таких АЦП с разрядностью $N > 3-4$ становится неэкономичным.

На рисунке 8.9 показана реализация параллельного метода аналого-цифрового преобразования для 3-разрядного АЦП. С помощью делителя напряжения опорное напряжение U_{REF} распределяется между

компараторами К1 – К7 следующим образом: $U_1 = \frac{R/2}{7R} U_{\text{REF}} = \frac{1}{14} U_{\text{REF}}$;

$U_2 = \frac{3}{14} U_{\text{REF}}$; $U_3 = \frac{5}{14} U_{\text{REF}}$; $U_4 = \frac{7}{14} U_{\text{REF}}$; $U_5 = \frac{9}{14} U_{\text{REF}}$; $U_6 = \frac{11}{14} U_{\text{REF}}$ и

$U_7 = \frac{13}{14} U_{\text{REF}}$. Входное аналоговое напряжение U_{IN} подается на прямые

входы компараторов, а на инверсные входы поступают опорные напряжения с делителя опорного напряжения U_{REF} , определяющего шкалу преобразуемого аналогового сигнала.

Если, например, $\frac{5}{14}U_{REF} < U_{IN} < \frac{7}{14}U_{REF}$, то компараторы с 1-го по 3-й устанавливаются в состояние логической «1», а компараторы с 4-го по 7-й – в состояние логического «0».

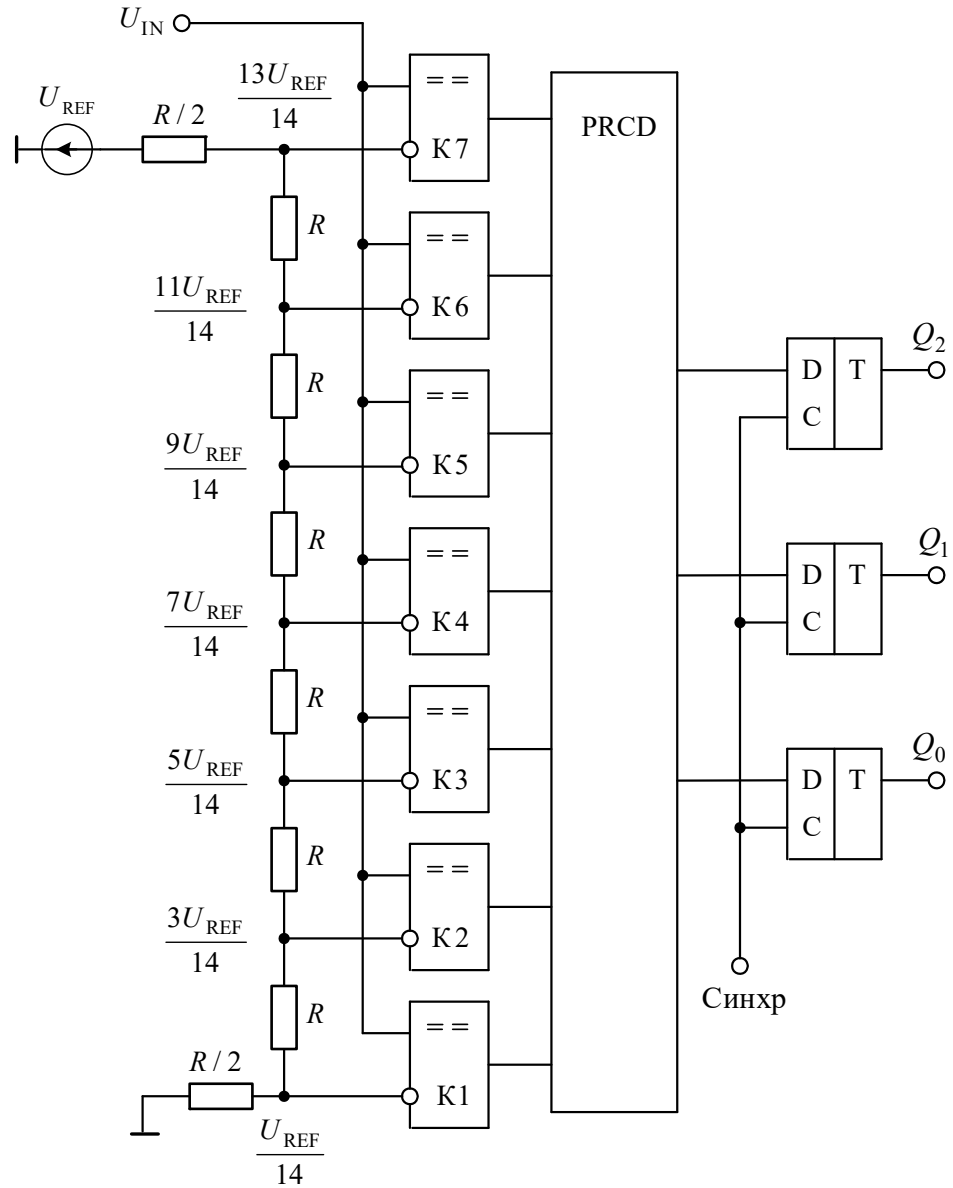


Рисунок 8.9 – Структурная схема параллельного аналого-цифрового преобразователя

Преобразование этой группы кодов в трехзначное двоичное число выполняет приоритетный шифратор PRCD, диаграмма состояний которого приведена в таблице 8.4.

Таблица 8.4 – Диаграмма состояний приоритетного шифратора PRCD 3-разрядного параллельного аналого-цифрового преобразователя

Входное напряжение $U_{IN} \left(\frac{U_{REF}}{7} \right)^{-1}$	Состояние компараторов $K_1 K_2 K_3 K_4 K_5 K_6 K_7$	Выходы $Q_2 Q_1 Q_0$
0	0 0 0 0 0 0 0	0 0 0
1	0 0 0 0 0 0 1	0 0 1
2	0 0 0 0 0 1 1	0 1 0
3	0 0 0 0 1 1 1	0 1 1
4	0 0 0 1 1 1 1	1 0 0
5	0 0 1 1 1 1 1	1 0 1
6	0 1 1 1 1 1 1	1 1 0
7	1 1 1 1 1 1 1	1 1 1

Как видно из таблицы 8.4, при увеличении входного аналогового напряжения компараторы устанавливаются в состояние «1» в очередности $K_1 \rightarrow K_2 \rightarrow K_3 \rightarrow K_4 \rightarrow K_5 \rightarrow K_6 \rightarrow K_7$. Следует отметить, что такая очередность не гарантируется при быстром нарастании входного напряжения, так как из-за различия во временах задержки компараторы могут переключаться в другом порядке.

Благодаря одновременной работе компараторов параллельный АЦП является самым быстрым. Например, 8-разрядный АЦП типа MAX108 позволяет получить $1,5 \cdot 10^6 \frac{\text{отсчетов}}{\text{с}}$ при времени задержки прохождения сигнала не более $2,2 \cdot 10^{-9}$ с. Недостатком этой схемы является высокая сложность. Действительно, 8-разрядный АЦП содержит $2^8 - 1 = 255$ компараторов и $2^8 = 256$ согласованных резисторов.

Контрольные вопросы

1. Определите выходное напряжение 4-разрядного ЦАП на базе двоично взвешенных резисторов, соответствующее входному коду 0001, если выходное напряжение полной разрядной сетки 10,000 В.

2. Определите выходное напряжение 4-разрядного ЦАП на базе двоично-взвешенных резисторов, соответствующее входному коду 1000, если выходное напряжение полной разрядной сетки 10,000 В.

3. Представьте структурную схему АЦП последовательного приближения.

4. Какие недостатки ЦАП на базе матрицы двоично-взвешенных резисторов во многом устранены в ЦАП на базе резисторной матрицы $R-2R$?

5. Представьте диаграмму состояний приоритетного шифратора 3-разрядного параллельного АЦП.

Заключение

Микроэлектроника интегрирует в себе три равнозначных аспекта: физический, технологический и схемотехнический. Знание этих трех аспектов позволяет оценивать перспективные варианты элементной базы микроэлектронных структур.

Цифровая и аналоговая составляющие микросхемотехники обладают внутренним единством, совместно используются в микроэлектронных системах и базируются на единой технологической основе.

Теоретической базой микросхемотехники являются идеализированные функции, отображающие электронные структуры различного назначения (цифровые, аналоговые, цифроаналоговые), и технология проектирования по схеме «блочная компоновка – структурный синтез подсистем с идеализированными функциями – анализ синтезированной структуры с помощью макромоделей, учитывающих статические и динамические параметры микроэлектронной структуры».

Литература

1. Легостаев Н. С., Четвергов К. В. Микроэлектроника: учеб. пособие. Томск: Эль Контент, 2013. 172 с.
2. Преснухин Л. Н., Воробьев Н. В., Шишкевич А. А. Расчет элементов цифровых устройств: учеб. пособие / под ред. Л. Н. Преснухина. 2-е изд., перераб. и доп. М.: Высшая школа, 1991. 526 с.
3. Легостаев Н. С., Четвергов К. В. Микросхемотехника. Аналоговая микросхемотехника: учеб. пособие. Томск: Изд-во Томск. гос. ун-та систем упр. и радиоэлектроники, 2014. 238 с.
4. ГОСТ Р57435-2017. Микросхемы интегральные. Термины и определения. Введ. 2017-08-01. М.: Стандартинформ, 2017. 29 с.

Список сокращений и условных обозначений

- АИМС – аналоговая интегральная микросхема
ДНФ – дизъюнктивная нормальная форма
ИМС – интегральная микросхема
КНФ – конъюнктивная нормальная форма
КЦУ – комбинационное цифровое устройство
ОУ – операционный усилитель
ПЦУ – последовательностное цифровое устройство
СДНФ – совершенная дизъюнктивная нормальная форма
СКНФ – совершенная конъюнктивная нормальная форма
ТКН $_{U_{\text{ВЫХ}}}$ – температурный коэффициент выходного напряжения
ТКН $_{U_{\text{СМ}}}$ – температурный коэффициент напряжения смещения
ТТЛ – транзисторно-транзисторная логика
ТТЛШ – транзисторно-транзисторная логика с транзисторами Шоттки
ЦИМС – цифровая интегральная микросхема
 $A_{\text{П}}$ – работа переключения
 $E_{\text{СМ}}$ – электродвижущая сила смещения
 F – коэффициент обратной связи
 f_1 – частота единичного усиления
 $f_{\text{ГР}}$ – граничная частота
 $f_{\text{П}}$ – рабочая частота переключения
 $f_{\text{С}}$ – частота сопряжения
 $f_{\text{СР}}$ – частота среза
 I_{0p} – остаточный ток в стоковой цепи транзистора p -типа
 I_{0n} – остаточный ток в стоковой цепи транзистора n -типа
 $I_{\text{ВХ}}$ – входной ток покоя операционного усилителя
 $I_{\text{ВХ}}^0$ – входной ток логического нуля
 $I_{\text{ВХ}}^1$ – входной ток логической единицы
 $I_{\text{ВХ.СМ}}$ – входной ток смещения операционного усилителя
 $I_{\text{ВЫХ}}^0$ – выходной ток логического нуля
 $I_{\text{ВЫХ}}^1$ – выходной ток логической единицы

$I_{\text{вых. max}}$ – выходной ток операционного усилителя
 $I_{\text{С. нач}}$ – начальный ток стока полевого транзистора с управляющим p - n -переходом
 I_{T} – обратный ток коллектора биполярного транзистора
 $k_{\text{дел}}$ – коэффициент деления частоты
 $k_{\text{к}}$ – коэффициент компонентной интеграции
 $k_{\text{нас}}$ – коэффициент насыщения биполярного транзистора
 $k_{\text{об}}$ – коэффициент объединения по входу логического элемента
 $k_{\text{об. И}}$ – коэффициент объединения по входу И логического элемента
 $k_{\text{об. ИЛИ}}$ – коэффициент объединения по входу ИЛИ логического элемента
 $k_{\text{осс}}$ – коэффициент ослабления синфазного сигнала операционного усилителя
 $k_{\text{раз}}$ – коэффициент разветвления по выходу логического элемента (нагрузочная способность)
 $k_{\text{раз}}^1$ – коэффициент разветвления выключенного логического элемента
 $k_{\text{раз}}^0$ – коэффициент разветвления включенного логического элемента
 $k_{\text{сч}}$ – коэффициент пересчета (модуль счета) счетчика
 $k_{\text{ф}}$ – коэффициент функциональной интеграции
 $k_{\text{экв}}$ – удельная крутизна эквивалентного транзистора основного логического элемента КМОП
 k_n – удельная крутизна МДП-транзистора n -типа
 k_p – удельная крутизна МДП-транзистора p -типа
 k_U – коэффициент усиления операционного усилителя по напряжению
 $k_U(0)$ – коэффициент усиления по напряжению операционного усилителя без обратной связи на нулевой частоте
 $k_{U \text{ ос}}$ – коэффициент усиления по напряжению операционного усилителя с обратной связью
 $k_{U \text{ сн}}$ – коэффициент усиления синфазного сигнала операционного усилителя
 m_i – минтерм
 M_i – макстерм

N_k – общее число элементов и компонентов, расположенных на кристалле
 N_3 – количество логических элементов И-НЕ либо ИЛИ-НЕ, расположенных на кристалле микросхемы
 P_{Π}^0 – мощность потребления логического элемента в состоянии логического нуля
 P_{Π}^1 – мощность потребления логического элемента в состоянии логической единицы
 $P_{\text{п.ср}}$ – средняя мощность потребления логического элемента
 $Q_{\text{сч.кон}}$ – конечное состояние счетчика
 $Q_{\text{сч.нач}}$ – начальное состояние счетчика
 $R_{\text{ут.}n}$ – сопротивление утечки между стоком и истоком транзистора n -типа
 $R_{\text{ут.}p}$ – сопротивление утечки между стоком и истоком транзистора p -типа
 $t^{1,0}$ – время перехода на выходе логического элемента из состояния логической единицы в состояние логического нуля
 $t^{0,1}$ – время перехода на выходе логического элемента из состояния логического нуля в состояние логической единицы
 $t_{\text{в}}$ – время восстановления операционного усилителя
 $t_{\text{зд}}^{1,0}$ – время задержки включения логического элемента
 $t_{\text{зд}}^{0,1}$ – время задержки выключения логического элемента
 $t_{\text{зд.р}}^{1,0}$ – время задержки распространения сигнала при включении логического элемента
 $t_{\text{зд.р}}^{0,1}$ – время задержки распространения сигнала при выключении логического элемента
 $t_{\text{зд.р.ср}}$ – среднее время задержки распространения сигнала
 $t_{\text{уст}}$ – время установления выходного напряжения операционного усилителя
 U^0 – уровень напряжения логического нуля
 U^1 – уровень напряжения логической единицы
 U^* – падение напряжения на прямосмещенном p - n -переходе

$U_{\text{вх.диф.мах}}$ – диапазон дифференциальной составляющей входного напряжения операционного усилителя
 $U_{\text{вх.сн мах}}$ – диапазон синфазной составляющей входного напряжения операционного усилителя
 $U_{\text{вых.пор}}^1$ – значение выходного порогового напряжения логической единицы
 $U_{\text{вых.пор}}^0$ – значение выходного порогового напряжения логического нуля
 $U_{\text{вых.мах}}$ – диапазон выходного напряжения операционного усилителя
 $U_{\text{диф}}$ – дифференциальное входное напряжение дифференциального усилителя
 $U_{\text{ИП}}$ – напряжение источника питания
 $U_{\text{ост.МЭТ}}$ – остаточное напряжение на насыщенном многоэмиттерном транзисторе
 $U_{\text{отс}}$ – напряжение отсечки полевого транзистора с управляющим p - n -переходом
 $U_{\text{п}}^+$ – запас помехоустойчивости по уровню логического нуля
 $U_{\text{п}}^-$ – запас помехоустойчивости по уровню логической единицы
 $U_{\text{п}}^0$ – помехозащищенность по уровню логического нуля
 $U_{\text{п}}^1$ – помехозащищенность по уровню логической единицы
 $U_{\text{пор}}$ – пороговое напряжение логического элемента
 $U_{\text{пор.}n}$ – пороговое напряжение МДП-транзистора n -типа
 $U_{\text{пор.}p}$ – пороговое напряжение МДП-транзистора p -типа
 $U_{\text{см}}$ – напряжение смещения операционного усилителя
 $U_{\text{сн}}$ – синфазное входное напряжение дифференциального усилителя
 $U_{\text{Ш}}^*$ – падение напряжения на открытом переходе Шоттки
 $V_{U_{\text{вых.мах}}}$ – максимальная скорость нарастания выходного напряжения операционного усилителя
 $Z_{\text{вх.диф}}$ – дифференциальное входное сопротивление операционного усилителя
 $Z_{\text{вх.сн}}$ – синфазное входное сопротивление операционного усилителя
 β – коэффициент передачи тока базы биполярного транзистора

β_I – инверсный коэффициент передачи тока базы биполярного транзистора

Δf – полоса пропускания операционного усилителя без обратной связи

Δf_{oc} – полоса пропускания операционного усилителя с обратной связью

ΔU – логический перепад

φ_T – температурный потенциал

Глоссарий

Аналоговая микросхема – микросхема, предназначенная для преобразования и (или) обработки сигналов, изменяющихся по закону непрерывной или прерывистой функции.

Аналоговый сигнал – сигнал, непрерывный по уровню и во времени.

Аналого-цифровой преобразователь – устройство, преобразующее входной аналоговый сигнал в цифровой.

Базовый кристалл микросхемы – часть полупроводниковой пластины с определенным набором сформированных и электрически соединенных или не соединенных между собой элементов или стандартных ячеек, используемая для создания микросхем заданного функционального назначения путем изготовления межэлементных соединений.

Бескорпусная микросхема – микросхема, конструктивно выполненная в виде кристалла (или совокупности кристаллов, сформированных на пластине без разделения), с выводами или с контактными площадками, предназначенная для монтажа в корпус или другие сборочные единицы.

Большая интегральная микросхема (БИС) – интегральная микросхема, содержащая свыше 1000 элементов и (или) компонентов для цифровых интегральных микросхем и свыше 500 – для аналоговых интегральных микросхем.

Время задержки включения – интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логической единицы к уровню логического нуля, измеренный на уровне 0,1 логического перепада входного сигнала и 0,9 логического перепада выходного сигнала.

Время задержки выключения – интервал времени между входным и выходным сигналами при переходе выходного напряжения от уровня логического нуля к уровню логической единицы, измеренный на уровне 0,9 логического перепада входного сигнала и 0,1 логического перепада выходного сигнала.

Входная характеристика – зависимость входного тока от входного напряжения.

Выходная характеристика – зависимость выходного тока от выходного напряжения.

Гибридная микросхема – микросхема, содержащая компоненты или совокупность компонентов и элементов.

Группа типов интегральных микросхем – совокупность типов интегральных микросхем в пределах одной серии, имеющих аналогичное функциональное назначение и принцип действия, свойства которых описываются одинаковыми или близкими по составу электрическими параметрами.

Демультимплексор – комбинационное цифровое устройство, распределяющее сигналы с одного информационного входа по нескольким выходам.

Дешифратор – преобразователь двоичного кода в унитарный код.

Дискретизированный сигнал – сигнал, значения которого заданы только в моменты времени, называемые моментами дискретизации.

Инструментальная аналоговая ИМС – многоцелевая ИМС, осуществляющая прецизионные преобразования аналоговых сигналов с обеспечением выполнения комплекса требований по точности, частотным свойствам и электрическим параметрам.

Интегральная микросхема – микроэлектронное изделие, состоящее из совокупности элементов (компонентов), электрически соединенных или не соединенных между собой в объеме и (или) на поверхности подложки (кристалла), и предназначенное для выполнения заданной функции.

Квантованный сигнал – сигнал, который может принимать только определенные значения, соответствующие уровням квантования.

Компонент микросхемы – часть гибридной микросхемы, реализующая заданную функцию какого-либо изделия электронной техники, которая может быть выделена как самостоятельное изделие с точки зрения требований к испытаниям, приемке, поставке и эксплуатации.

Конституента единицы (минтерм) от L аргументов – булева функция, которая принимает единичное значение только на одном логическом наборе значений аргументов, а на остальных $2L - 1$ логических наборах обращается в нуль.

Конституента нуля (макстерм) от L аргументов – булева функция, которая принимает нулевое значение только на одном логическом наборе значений аргументов, а на остальных $2L - 1$ логических наборах обращается в единицу.

Контактная площадка интегральной микросхемы – металлизированный участок на подложке, кристалле или корпусе интегральной микросхемы, служащий для присоединения выводов компонентов и кристаллов, перемычек, а также для контроля ее электрических параметров и режимов.

- Корпус интегральной микросхемы** – часть конструкции интегральной микросхемы, предназначенная для ее защиты от внешних воздействий и для соединения с внешними электрическими цепями посредством выводов.
- Коэффициент объединения по входу логического элемента** – число входов логического элемента, по которым реализуется логическая функция.
- Коэффициент разветвления по выходу логического элемента (нагрузочная способность)** – число единичных нагрузок, которые можно одновременно подключить к выходу логического элемента.
- Кристалл полупроводниковой микросхемы** – часть полупроводниковой пластины, в объеме и (или) на поверхности которой сформированы элементы полупроводниковой микросхемы, межэлементные соединения и контактные площадки.
- Малая интегральная микросхема (МИС)** – интегральная микросхема, содержащая до 100 элементов и (или) компонентов включительно.
- Микросхема** – микроэлектронное устройство, рассматриваемое как единое целое, имеющее высокую плотность расположения элементов и/или компонентов, эквивалентных элементам обычной схемы.
- Микросхемотехника** – раздел микроэлектроники, охватывающий исследование и разработку электрических и структурных схем, используемых в ИМС и электронной аппаратуре на их основе.
- Микроэлектроника** – область электроники, охватывающая исследование, конструирование, производство и применение микроэлектронных изделий, основной разновидностью которых являются интегральные микросхемы.
- Мультиплексор** – коммутатор с нескольких входов на один выход.
- Неиспользуемый вывод микросхемы** – вывод микросхемы, который имеет электрическое соединение с контактной площадкой кристалла или подложки, но не используется в режиме, указанном в технических условиях.
- Операционный усилитель** – многоцелевая ИМС, предназначенная для построения схем с фиксированным коэффициентом и точно синтезированной передаточной функцией.
- Передаточная характеристика** – зависимость выходного напряжения от входного напряжения.
- Пластина микросхемы** – заготовка из полупроводникового материала, предназначенная для изготовления полупроводниковых микросхем.
- Пленочная микросхема** – микросхема, все элементы которой выполнены в виде пленок на поверхности подложки.

- Плотность упаковки интегральной микросхемы** – отношение суммы элементов интегральной микросхемы и (или) элементов, содержащихся в составе компонентов, к объему интегральной микросхемы.
- Подложка микросхемы** – несущая конструкция, в объеме или на поверхности которой формируют элементы, межэлементные и межкомпонентные соединения, контактные площадки и монтируют компоненты.
- Полупроводниковая микросхема** – микросхема, все элементы и межэлементные соединения которой выполнены в объеме и (или) на поверхности кристалла.
- Рабочая частота переключения** – максимальная частота, на которой в наилучших условиях гарантируется срабатывание счетного триггера, составленного из логических элементов данной серии.
- Сверхбольшая интегральная микросхема (СБИС)** – интегральная микросхема, содержащая свыше 100 000 элементов и (или) компонентов для цифровых интегральных микросхем с регулярной структурой построения, свыше 50 000 – для цифровых интегральных микросхем с нерегулярной структурой построения и свыше 10 000 – для аналоговых интегральных микросхем.
- Сверхскоростная интегральная микросхема (ССИС)** – цифровая интегральная микросхема, функциональное быстродействие которой не менее 10 Гц/см^2 на один логический элемент.
- Свободный вывод микросхемы** – вывод микросхемы, не имеющий внутреннего соединения, который может использоваться в качестве опорной площадки для внешнего монтажа, не влияя на работу микросхемы.
- Серия микросхем** – совокупность типов (типономиналов) микросхем, объединенных с учетом функционального назначения и (или) конструктивно-технологического подобия, изготавливаемых, как правило, в одном базовом технологическом процессе (процессах).
- Система счисления** – совокупность ограниченного числа специальных символов и правил записи с их помощью численных значений и результатов арифметических операций над числами.
- Средняя интегральная микросхема (СИС)** – интегральная микросхема, содержащая свыше 100 до 1000 элементов и (или) компонентов для цифровых интегральных микросхем и свыше 100 до 500 – для аналоговых интегральных микросхем.

- Степень интеграции микросхемы** – показатель степени сложности микросхемы, характеризуемый числом содержащихся в ней элементов.
- Счетчик** – последовательностное цифровое устройство, циклически переходящее из одного состояния в другое под воздействием счетных (тактовых) сигналов, поступающих на его счетный (тактовый) вход.
- Тип микросхемы** – микросхема конкретного функционального назначения и определенного схмотехнического решения, имеющая индивидуальное условное обозначение и технические условия.
- Типономинал микросхемы** – микросхема конкретного типа, отличающаяся от других микросхем того же типа значениями одного или нескольких параметров и (или) показателей стойкости к внешним воздействующим факторам.
- Триггер** – последовательностное цифровое устройство, которое может находиться в одном из двух устойчивых состояний и переходить из одного состояния в другое под воздействием входных сигналов.
- Цифроаналоговый преобразователь** – устройство, преобразующее входной цифровой сигнал в аналоговый.
- Цифровая микросхема** – микросхема, предназначенная для преобразования и (или) обработки сигналов, изменяющихся по закону дискретной функции.
- Цифровой компаратор** – комбинационное цифровое устройство сравнения двух n -разрядных чисел, заданных в двоичном (двоично-десятичном) коде.
- Цифровой сигнал** – сигнал, квантованный по уровню и дискретизированный во времени.
- Шифратор** – комбинационная схема, реализующая преобразование унитарного кода «1 из n » в m -разрядный двоичный код.
- Элемент микросхемы** – часть микросхемы, реализующая функцию какого-либо изделия электронной техники, которая выполнена нераздельно от кристалла и не может быть выделена как самостоятельное изделие с точки зрения требований к испытаниям, приемке, поставке и эксплуатации.

Оглавление

Введение.....	3
1 МЕТОДОЛОГИЧЕСКИЕ ОСНОВЫ АНАЛИЗА И ПРОЕКТИРОВАНИЯ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ.....	5
1.1 Основные и специальные функции микроэлектронных структур	5
1.2 Принципы схемотехники интегральных микросхем	9
1.3 Процесс проектирования интегральных микросхем.....	13
1.4 Классификация интегральных микросхем.....	16
Контрольные вопросы	22
2 ХАРАКТЕРИСТИКИ И ПАРАМЕТРЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ.....	24
2.1 Схемотехнические и конструктивные параметры ЦИМС	24
2.2 Статические характеристики и параметры ЦИМС	25
2.3 Динамические характеристики и параметры ЦИМС.....	29
2.4 Энергетические характеристики и параметры ЦИМС	31
2.5 Характеристики и параметры интегральных операционных усилителей	34
Контрольные вопросы	37
3 ЭЛЕМЕНТЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ	38
3.1 Резисторы и конденсаторы.....	38
3.2 Диоды	40
3.3 Многоэмиттерный транзистор	47
3.4 Составные транзисторы.....	51
Контрольные вопросы	54
4 ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ	56
4.1 Элементарный диодный ключ	56
4.2 Многовходовый диодный ключ.....	60
4.3 Транзисторные ключи на биполярных транзисторах	67
4.4 МДП-транзисторные ключи.....	75
4.5 Переключатель тока.....	89
4.6 Бистабильные ячейки.....	93
Контрольные вопросы	96
5 СХЕМОТЕХНИКА ЦИФРОВЫХ МИКРОЭЛЕКТРОННЫХ СТРУКТУР	98
5.1 Диодно-транзисторные логические элементы.....	98
5.2 Транзисторно-транзисторные логические элементы	106
5.3 Логические элементы ТТЛ с диодами и транзисторами Шоттки....	118
5.4 Транзисторные логические элементы на переключателях тока	120
5.5 Логические элементы на комплементарных МДП-транзисторах....	125
Контрольные вопросы	127

6 КОМБИНАЦИОННЫЕ И ПОСЛЕДОВАТЕЛЬНОСТНЫЕ МИКРОЭЛЕКТРОННЫЕ СТРУКТУРЫ	130
6.1 Элементы анализа и синтеза цифровых микроэлектронных структур	130
6.2 Цифровые микроэлектронные структуры комбинационного типа	135
6.3 Цифровые микроэлектронные структуры последовательностного типа	146
6.4 Особенности выходов логических элементов ТТЛ.....	156
Контрольные вопросы	161
7 ОСНОВНЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ АНАЛОГОВОЙ ИНТЕГРАЛЬНОЙ МИКРОЭЛЕКТРОНИКИ.....	164
7.1 Источники постоянного тока	164
7.2 Источники постоянного напряжения	178
7.3 Дифференциальные усилители	191
7.4 Выходные каскады	207
7.5 Интегральные операционные усилители и их основные свойства..	214
Контрольные вопросы	225
8 ЦИФРОАНАЛОГОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ	230
8.1 Параметры и характеристики преобразователей	230
8.2 Цифроаналоговые преобразователи на базе двоично-взвешенных резисторов.....	231
8.3 Цифроаналоговые преобразователи на базе резисторной матрицы типа $R-2R$	236
8.4 Аналого-цифровые преобразователи последовательного приближения.....	238
8.5 Параллельный аналого-цифровой преобразователь	245
Контрольные вопросы	247
Заключение	249
Литература	250
Список сокращений и условных обозначений	251
Глоссарий	256

Учебное издание
Легостаев Николай Степанович
МИКРОСХЕМОТЕХНИКА
Учебное пособие

Подписано в печать 7.11.22. Формат 70x100/16.

Усл. печ. л. 21,29. Тираж 100 экз. Заказ № 269.

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Томский государственный университет систем управления
и радиоэлектроники»

634050, г. Томск, пр. Ленина, 40. Тел. (3822) 533018.